

令和 3 年 6 月 5 日現在

機関番号：17102

研究種目：若手研究

研究期間：2019～2020

課題番号：19K15028

研究課題名（和文）Ge-on-Insulator基板上のSteep SlopeトンネルFETの実現

研究課題名（英文）The realization of steep slope tunnel FET on Ge-on-Insulator substrate

研究代表者

山本 圭介（YAMAMOTO, Keisuke）

九州大学・総合理工学研究院・助教

研究者番号：20706387

交付決定額（研究期間全体）：（直接経費） 3,200,000円

研究成果の概要（和文）：本課題では、集積回路の超低消費電力化に向けて、新動作原理トランジスタである「Geトンネル電界効果トランジスタ（FET）」実現に向けた基盤技術の構築を行った。具体的には「（1）高品質Ge-on-Insulator（GOI）作製技術の確立」「（2）高品質ゲートスタックの低温形成」「（3）電流駆動力の改善に向けたデバイス構造の検討」に取り組んだ。それぞれの項目に対して、「（1）エッチバック法によるGOI作製プロセスの構築」「（2）Yの低温加湿酸化法による高品質ゲートスタックの実現」「（3）リセスチャネル構造による電流駆動力の1桁向上」の成果が得られた。

研究成果の学術的意義や社会的意義

情報通信需要の爆発的増加に伴い、電子機器を構成する集積回路の超低消費電力化が切望されている。本課題はこの社会的要請に応えるべく、低消費電力を達成可能なTFETの実現を目指した研究である。Si基板上への集積化を念頭に置いてIV元素であるGeを対象材料としており、将来的な実用化も意識している点で社会的な意義も大きい。

代表者のオリジナルである金属/Ge接合の電子・正孔障壁技術をキャリア注入に応用している点が特徴の一つである。また、本研究で得られたGOI作製・低温ゲートスタック・キャリア注入の高効率化は、TFET以外のGe応用デバイスへも展開が可能で、この点でも学術的・社会的意義を有していると考えられる。

研究成果の概要（英文）：We studied fundamental process technologies for “Ge tunnel field-effect transistor (FET)” which works by novel operation principle for the realization of large scale integration with ultra-low power consumption. Specifically, the following three topics were researched; “1. High-quality Ge-on-Insulator fabrication”, “2. Fabrication of high-quality Ge gate stack at low temperature”, and “3. Consideration of device structure for improvement of current drivability”. We achieved the following fruits for each topic; “1. Etchback process establishment for GOI fabrication”, “2. Low-temperature wet oxidation of yttrium for high-quality gate stack”, and “3. Current drivability improvement by introduction of recessed channel structure”.

研究分野：半導体工学

キーワード：ゲルマニウム トンネルFET Ge-on-Insulator

様式 C - 19、F - 19 - 1、Z - 19 (共通)

1. 研究開始当初の背景

情報通信需要の爆発的増加に伴い、電子機器を構成する集積回路の超低消費電力化が切望されている。この社会的要請に対し、従来の MOS 型電界効果トランジスタ (MOSFET) とは異なる動作原理により論理演算を司るスイッチングを急峻に遷移させて、消費電力の劇的な低下を図る Steep Slope FET が活発に研究されている。Steep Slope FET の代表格がトンネル FET (TFET) で、実際に Si/Ge, InGaAs, MoS₂, InGa ナノワイヤ等による TFET が研究室レベルで実証されている。一方で実用化の観点では、Steep Slope FET は Si 基板上への集積化が必須となるので、既存の Si 集積回路と親和性の良い材料・プロセスで構成されることが極めて望ましい。

こうした背景のもと、実用化に最も近い材料・デバイス候補として、Si と同じ IV 元素であるゲルマニウム (Ge) を用いた Ge TFET が注目されている。一方で、Ge は不純物の拡散係数が高いため、Steep Slope 動作に必要な急峻な pn 接合形成が困難という課題もある。実際に pn 接合をソース (キャリア供給源) /チャンネル (伝導路) 接合とした Ge TFET の動作も報告されているが、その ON/OFF 遷移 (SS) は室温で 100 mV/dec 以上と、低消費電力への応用には遠く及んでいないのが現状である (図 1 左)。

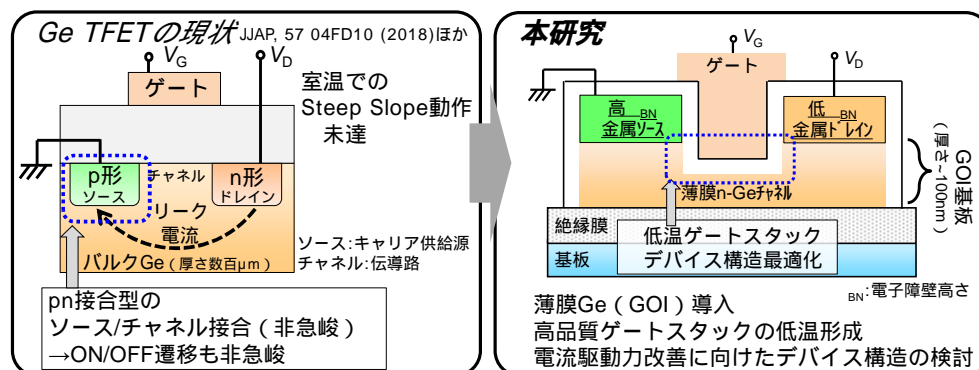


図 1 pn 接合ソース/チャンネル接合を用いた現状の Ge TFET 構造(左)と、本研究で検討する非対称メタル・ソース/ドレインをベースとした Ge TFET (右)。

この課題を解決する新しいデバイス構造として、代表者は pn 接合に代わって金属/Ge 接合をベースとした非対称メタル・ソース/ドレイン (S/D) 型 Ge TFET を提案している。一般に、金属/Ge 界面では電子・正孔障壁の制御がほぼ不可能であり、メタル S/D への応用が難しい。しかし、代表者は金属/Ge 接合の電子・正孔障壁をバンドギャップのほぼ全域に渡って制御できる世界でも類を見ない独自技術を有している [Semicond. Sci. Technol. **33**, 114011 (2018)ほか]。実際に、バルク n-Ge 基板上に PtGe ソース (低正孔障壁) と TiN ドレイン (低電子障壁) ゲートスタックを設けたメタル S/D TFET を試作し、トランジスタ動作に成功している [Mat. Sci. Semicond. Proc. **70**, 283 (2017)]。その特性は、現状では Steep Slopeこそ実現できていないものの、デバイス特性を詳細に解析したところ、「OFF リーク電流が大きい為 ON/OFF 比が小さい事」「伝導機構が非効率のため電流駆動力が小さい事」の二点の課題があることが判明している。

2. 研究の目的

急峻かつ高い ON/OFF 特性を有するメタル S/D 型の Ge Steep Slope TFET 実現に向けた基盤技術を構築する。前述した課題を解決する具体的な方策として「(1)高品質 Ge-on-Insulator (GOI) 作製技術の確立」「(2)高品質ゲートスタックの低温形成」「(3)電流駆動力の改善に向けたデバイス構造の検討」の3点を新たに研究した。

3. 研究の方法

(1) 高品質 GOI 作製技術の確立

デバイス OFF 状態の高いリーク電流を抑制するために、現状のバルク Ge 基板(厚膜)に代わって薄膜単結晶基板である GOI を導入する。高品質な単結晶 GOI を得る為に、Si-on-Insulator (SOI) で実用化されている貼り合せ + イオン剥離法 (Smart-Cut™) で GOI 基板を作製した。さらに、Smart-Cut™ とは異なる GOI 作製手法を新規に検討した。

(2) 高品質ゲートスタックの低温形成

ゲートスタックは FET の ON/OFF を司る重要な部位であるが、Ge デバイスに於いては低温で形成する必要がある。代表者はこれまでに、Ge 上に堆積した金属イットリウム (Y) を 500°C の乾燥酸素雰囲気中で酸化させることで、良好な界面特性を有するゲート絶縁膜の形成に成功している。本研究ではこの手法の低温化に取り組んだ。

(3) 電流駆動力の改善に向けたデバイス構造の検討

一般にトンネル FET は ON 電流の駆動力が小さいため、その改善に向けた様々な素子構造が提案されている。本研究では、キャリア注入源であるソース電極と伝導路であるチャンネルとの接合の形状と、電流駆動力との関係を調査し、改善を試みた。

4. 研究成果

(1) 高品質 GOI 作製技術の確立

図 2 に、Smart-Cut™ 法で作製した GOI の移動度およびキャリア密度の熱処理温度依存性を示す。p 形に関しては 500°C の熱処理によって特性が元のバルク Ge 基板並みに改善しているのに対して、n 形は同条件の熱処理によって伝導型が p 形へと変化している。この理由は、Smart-Cut™ に於ける水素イオン (H⁺) 注入工程で Ge に欠陥が導入され、しかもこの欠陥がその後の工程で回復できないためと判明した(図 3)。この問題に対して、H⁺ 注入後に新たに Ge 層をエピタキシャル成長させて欠陥を回避する方法を着想した(図 4 左)。この手法の導入により、伝導型制御 (n 形の実現) および 500°C までの熱処理で安定した電気特性を得ることに成功した(図 4 右)。

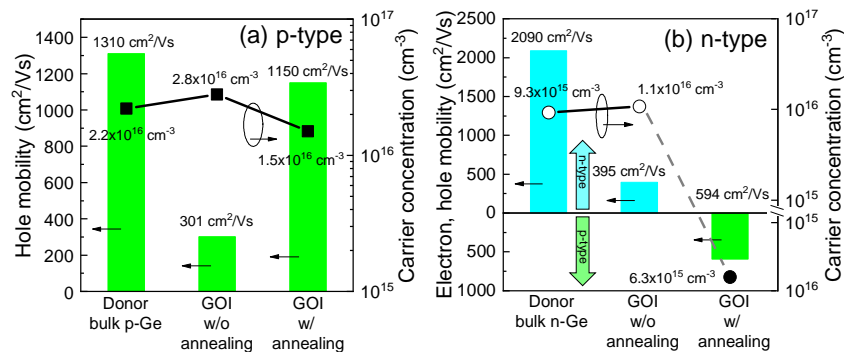


図 2 従来の Smart-Cut™ 法で作製した GOI の移動度とキャリア密度. (a) p 形(正孔). (b) n 形(電子).

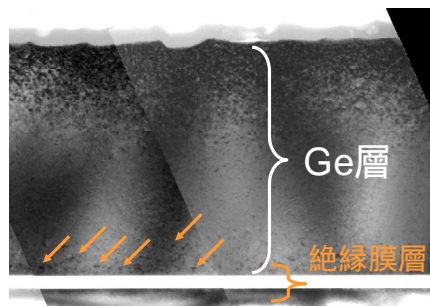


図 3 GOI の断面電子顕微鏡像。Ge/絶縁膜界面近くに欠陥(黒い点)が多数見られる。

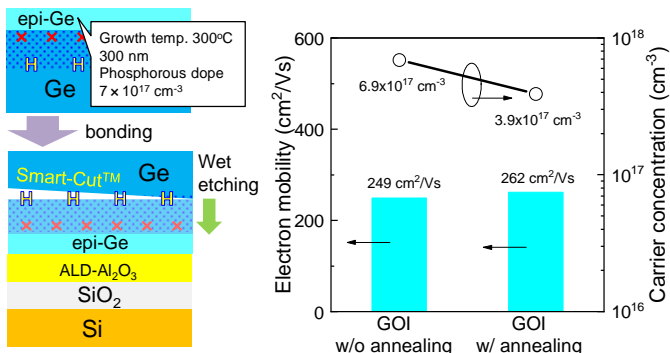


図 4 改善した Smart-Cut™ 法(左)と、作製した GOI の移動度とキャリア密度。

しかしながら、上記の手法で作製した GOI の電子移動度は低く、すなわち依然として残留欠陥の量が無視できない点が課題である。そこで新規に、SOI の研究開発の初期に提唱されていた、貼り合わせとエッチングによる薄膜化（エッチバック）法に着目した（図 5）。エッチバック法では、バルク Ge 基板を用いてなおかつ欠陥導入を引き起こす H⁺ 注入を伴わないため、Smart-Cut™ よりも高品質な GOI の作製が期待できる。エッチバック法による GOI 作製の実現には、Ge を適切な速度でかつ表面平坦性を維持・改善しながら薄膜化する手法が必要である。検討の結果、フッ酸・過酸化水素・酢酸の混合溶液がこれらの条件を満たして Ge をエッチングできることを見出した（図 6, 7）。また、Si 基板上に貼り合わせたバルク Ge をこの溶液を用いてエッチバックを行い、高品質な GOI の作製に成功した。本手法はバルク基板を出発材料として用いるため、他の手法と比較して極めて低欠陥・高品質の GOI 作製が可能である。

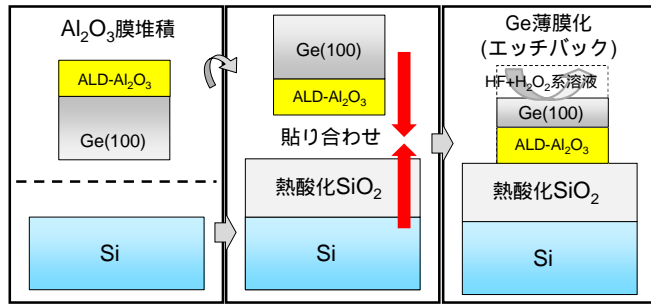


図 5 エッチバック法による GOI の作製手順.

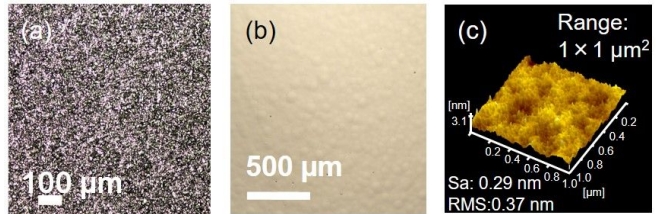


図 6 (a)未処理、および(b) HF, H₂O₂, 酢酸溶液でエッチング後の Ge 非研磨面の光学顕微鏡写真と、(c) エッチング後試料の原子間力顕微鏡像.

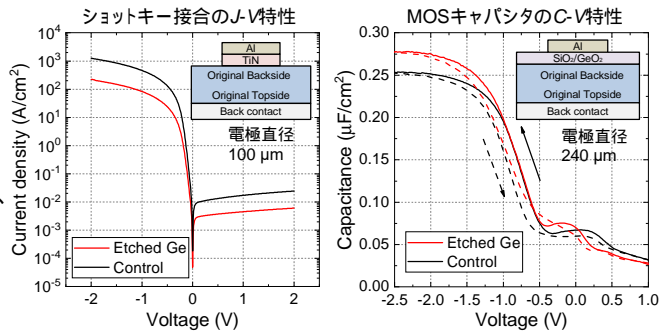


図 7 エッチングで平坦化した Ge 非研磨面上に作製した素子の電気特性(赤線). (左)ショットキー接合. (右)MOS キャパシタ. Ge 研磨面(黒線)と同等の特性が得られている.

(2) 高品質ゲートスタックの低温形成

前述した Y の乾燥熱酸化法の低温化のために、Si 酸化膜の形成法として知られる加湿酸化法を応用した。乾燥酸化法では酸化に寄与する分子が O₂ であるのに対して、加湿酸化法では H₂O となり、より小さな分子であるために材料中の拡散係数が大きく、結果的に低温での酸化の進行が期待できる。MOS 界面層として低温 (300°C) 加湿酸化 Y 酸化物を用いた Ge ゲートスタックは、高温 (500°C) 乾燥酸化に匹敵する電気特性を示した (図 8)。XPS を用いた化学結合評価からも、Y の低温加湿酸化により高温乾燥酸化と同等品質の絶縁膜を形成できることが裏付けられた。

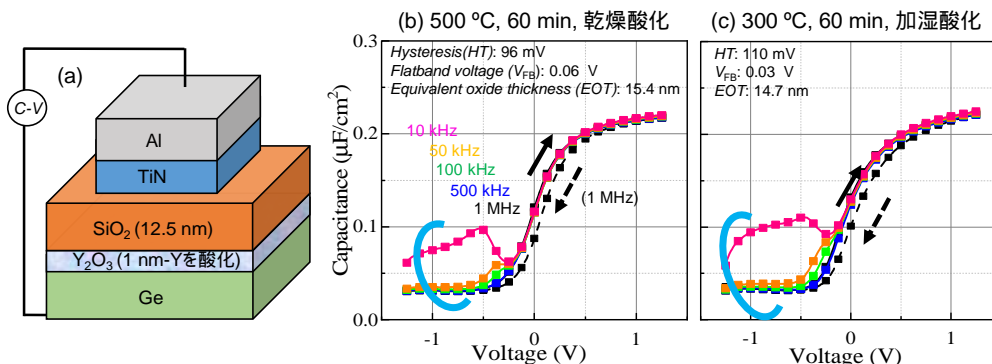


図 8 (a) 本研究で作製した Ge ゲートスタック模式図. (b) 高温乾燥酸化および(c)加湿低温酸化で作製したゲートスタックの C-V 特性. 同等の特性が得られている.

(3) 電流駆動力の改善に向けたデバイス構造の検討

本研究では通常の MOSFET を用いて、キャリア注入源であるソース電極と伝導路であるチャネルとの接合の形状と、電流駆動力との関係性を調査した。検討の結果、反応性イオンエッチングによってチャネルを掘り込み(リセス)構造にすることで、電流駆動力が約 1 桁向上することが判明した(図 8)。これは、リセス構造化によりソース/チャネル接合面積が増加したためと考えられ、トンネル FET においても電流駆動力の改善が期待できる。

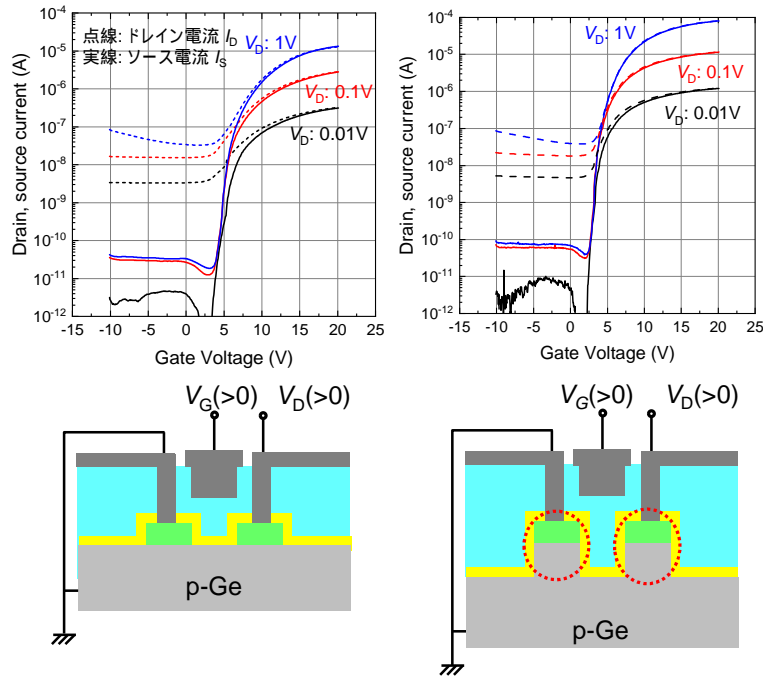


図 8 従来型の平面構造 MOSFET(左)と、リセスチャネル構造 MOSFET(右)の伝達特性と断面構造模式図.リセスチャネル構造では ON 電流が一桁近く向上している。

本研究で構築された技術は、TFET 以外にも下記のような応用・派生が期待できる。

(1) 高品質 GOI 作製技術の確立

従来型の MOSFET (寄生容量やリーク電流の低減) や Ge 受光・発光デバイス (キャリア閉じ込め効果による発光強度改善、等)。

(2) 高品質ゲートスタックの低温形成

低温プロセスが必須となる、Ge スピン MOSFET やフレキシブル TFT への応用。

(3) 電流駆動力の改善に向けたデバイス構造の検討

従来型のメタル S/D MOSFET の電流駆動力改善。

なお本研究の GOI 作製における H⁺注入は、中国科学院 上海マイクロシステム研究所の協力のもと行われた。また、同じく GOI の作製については、ベルギー imec との共同研究に発展している。

5. 主な発表論文等

〔雑誌論文〕 計5件（うち査読付論文 5件/うち国際共著 1件/うちオープンアクセス 0件）

1. 著者名 Keisuke Yamamoto, Kohei Nakae, Hiroshi Akamine, Dong Wang, Hiroshi Nakashima, Md. M Alam, Kentarou Sawano, Zhongying Xue, Miao Zhang, Zengfeng Di	4. 巻 93
2. 論文標題 Conduction Type Control of Ge-on-Insulator: Combination of Smart-Cut(TM) and Defect Elimination	5. 発行年 2019年
3. 雑誌名 ECS transactions	6. 最初と最後の頁 73-77
掲載論文のDOI (デジタルオブジェクト識別子) 10.1149/09301.0073ecst	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する
1. 著者名 Hiroshi Nakashima, Wei-Chen Wen, Keisuke Yamamoto, Dong Wang	4. 巻 92
2. 論文標題 Border-Trap Characterization for Ge Gate Stacks Using Deep-Level Transient Spectroscopy	5. 発行年 2019年
3. 雑誌名 ECS transactions	6. 最初と最後の頁 3-10
掲載論文のDOI (デジタルオブジェクト識別子) 10.1149/09204.0003ecst	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Wei-Chen Wen, Yuta Nagatomi, Hiroshi Akamine, Keisuke Yamamoto, Dong Wang, Hiroshi Nakashima	4. 巻 10
2. 論文標題 Interface trap and border trap characterization for Al ₂ O ₃ /GeO _x /Ge gate stacks and influence of these traps on mobility of Ge p-MOSFET	5. 発行年 2020年
3. 雑誌名 AIP Advances	6. 最初と最後の頁 065119-065119
掲載論文のDOI (デジタルオブジェクト識別子) 10.1063/5.0002100	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Hiroshi Nakashima, Wei-Chen Wen, Keisuke Yamamoto, Dong Wang	4. 巻 98
2. 論文標題 Border-Trap Characterization for Ge Gate Stacks with Thin GeO _x layer Using Deep-Level Transient Spectroscopy	5. 発行年 2020年
3. 雑誌名 ECS Transactions	6. 最初と最後の頁 395-404
掲載論文のDOI (デジタルオブジェクト識別子) 10.1149/09805.0395ecst	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Keisuke Yamamoto, Dong Wang, Hiroshi Nakashima	4. 巻 102
2. 論文標題 Schottky Barrier Height Control at Metal/Ge Interface by Insertion of Nitrogen Contained Amorphous Layer	5. 発行年 2021年
3. 雑誌名 ECS Transactions	6. 最初と最後の頁 63-71
掲載論文のDOI (デジタルオブジェクト識別子) 10.1149/10204.0063ecst	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計15件 (うち招待講演 5件 / うち国際学会 10件)

1. 発表者名 Hiroshi Nakashima, Wei-Chen Wen, Keisuke Yamamoto, Dong Wang
2. 発表標題 Border-Trap Evaluation for SiO ₂ /GeO ₂ /Ge Gate Stacks Using Deep-Level Transient Spectroscopy
3. 学会等名 8th International Symposium on Control of Semiconductor Interfaces (ISCSI-VIII) (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 Wei-Chen Wen, Hiroshi Nakashima, Keisuke Yamamoto, Dong Wang
2. 発表標題 Study on Position of Border Traps in Al ₂ O ₃ /GeO _x /p-Ge Gate Stacks Using Deep-Level Transient Spectroscopy
3. 学会等名 8th International Symposium on Control of Semiconductor Interfaces (ISCSI-VIII) (国際学会)
4. 発表年 2019年

1. 発表者名 Hiroshi Nakashima, Wei-Chen Wen, Keisuke Yamamoto, Dong Wang
2. 発表標題 Border-Trap Characterization for Ge Gate Stacks Using Deep-Level Transient Spectroscopy
3. 学会等名 236th ECS meeting (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 Kento Iseri, Wei-Chen Wen, Keisuke Yamamoto, Dong Wang, Hiroshi Nakashima
2. 発表標題 Low temperature (<300oC Fabrication of Ge MOS Structure for Advanced Electronic Devices
3. 学会等名 2019 International Conference on Solid State Device and Materials (SSDM 2019) (国際学会)
4. 発表年 2019年

1. 発表者名 Wei-Chen Wen, Keisuke Yamamoto, Dong Wang, Hiroshi Nakashima
2. 発表標題 Border Trap Evaluation for Al ₂ O ₃ /GeO _x /p-Ge Gate Stacks using Deep-Level Transient Spectroscopy
3. 学会等名 2nd Joint ISTDM / ICSI 2019 Conference (国際学会)
4. 発表年 2019年

1. 発表者名 Keisuke Yamamoto, Kohei Nakae, Hiroshi Akamine, Dong Wang, Hiroshi Nakashima, Md. M Alam, Kentarou Sawano, Zhongying Xue, Miao Zhang, Zengfeng Di
2. 発表標題 Conduction Type Control of Ge-on-Insulator: Combination of Smart-Cut and Defect Elimination
3. 学会等名 2nd Joint ISTDM / ICSI 2019 Conference (国際学会)
4. 発表年 2019年

1. 発表者名 清水 昇, 山本 圭介, 王 冬, 中島 寛
2. 発表標題 Ge-on-Insulator基板上へのMOSデバイスの作製と評価
3. 学会等名 2019年(令和元年度)応用物理学会九州支部学術講演会
4. 発表年 2019年

1. 発表者名 Wei-Chen Wen, Keisuke Yamamoto, Dong Wang, Hiroshi Nakashima
2. 発表標題 Evaluation of Border Traps in Al ₂ O ₃ /GeO _x /p-Ge Stacks Using Deep-Level Transient Spectroscopy
3. 学会等名 2019年第80回応用物理学会秋季学術講演会
4. 発表年 2019年

1. 発表者名 井芹 健人, 温 偉辰, 山本 圭介, 王 冬, 中島 寛
2. 発表標題 新規電子デバイス応用に向けたGeゲートスタックの低温(<300 °C)形成
3. 学会等名 2019年第80回応用物理学会秋季学術講演会
4. 発表年 2019年

1. 発表者名 Hiroshi Nakashima, Wei-Chen Wen, Keisuke Yamamoto, Dong Wang
2. 発表標題 Border-Trap Characterization for Ge Gate Stacks with Thin GeO _x layer Using Deep-Level Transient Spectroscopy
3. 学会等名 PRiME 2020 (招待講演) (国際学会)
4. 発表年 2020年

1. 発表者名 Noboru Shimizu, Keisuke Yamamoto, Dong Wang, Hiroshi Nakashima
2. 発表標題 Isotropic Wet Etching and Improving Surface Flatness of Ge for Etchback Ge-on-Insulator Fabrication
3. 学会等名 PRiME 2020 (国際学会)
4. 発表年 2020年

1. 発表者名	Hiroki Kanakogi, Wei-Chen Wen, Keisuke Yamamoto, Dong Wang, Hiroshi Nakashima
2. 発表標題	Thermally Oxidized Yttrium and Scandium Gate Dielectrics on Germanium with High Interfacial and Film Qualities
3. 学会等名	2020 International Conference on Solid State Device and Materials (SSDM 2020) (国際学会)
4. 発表年	2020年

1. 発表者名	中島 寛, Wei-Chen Wen, 山本 圭介, 王 冬
2. 発表標題	DLTS法によるGeゲートスタック中のトラップ解析
3. 学会等名	第26回 電子デバイス界面テクノロジー研究会 (招待講演)
4. 発表年	2021年

1. 発表者名	清水 昇, 山本 圭介, 王 冬, 中島 寛
2. 発表標題	エッチバック法を用いたGe-on-Insulator作製に向けたウェットエッチング法の検討
3. 学会等名	2021年第68回応用物理学会春季学術講演会
4. 発表年	2021年

1. 発表者名	Keisuke Yamamoto, Dong Wang, Hiroshi Nakashima
2. 発表標題	Schottky Barrier Height Control at Metal/Ge Interface by Insertion of Nitrogen Contained Amorphous Layer
3. 学会等名	239th ECS meeting (招待講演) (国際学会)
4. 発表年	2021年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

研究室Webサイト https://www.gic.kyushu-u.ac.jp/functionaldevices/ 九州大学研究者情報 https://hyoka.ofc.kyushu-u.ac.jp/search/details/K004917/index.html 九州大学研究者情報（英文） https://hyoka.ofc.kyushu-u.ac.jp/search/details/K004917/english.html

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関			
中国	上海微系統情報技術研究所			
ベルギー	imec			