

令和 4 年 6 月 10 日現在

機関番号：82626

研究種目：若手研究

研究期間：2019～2021

課題番号：19K15035

研究課題名（和文）急速溶融結晶化によるSn濃縮添加法を用いた直接遷移型IV族混晶創製と電子物性評価

研究課題名（英文）Fabrication of Direct Bandgap Group-IV Semiconductors by Utilizing Sn Alloying Technique Based on Rapid Melting Growth and Its Electrical Characterization

研究代表者

岡 博史 (Oka, Hiroshi)

国立研究開発法人産業技術総合研究所・エレクトロニクス・製造領域・研究員

研究者番号：10828007

交付決定額（研究期間全体）：（直接経費） 3,300,000円

研究成果の概要（和文）：本研究ではミリ秒の急速高温加熱が可能なフラッシュランプアニール（FLA）を用いた高Sn組成GeSn薄膜の形成とGeSn n-MOSFETの高性能化を実証した。FLAを用いたアモルファスGeSnの固相成長では結晶成長過程でのSn拡散をほとんど完全に抑制可能であり、固溶限を遥かに上回る10%以上のSn導入を達成した。さらにソース/ドレイン不純物活性化にFLAを用いることで高品質なpn接合形成に成功した。これにより高Sn組成GeSn n-MOSFETのオン電流向上とスイッチング特性の改善が見られ、高移動度GeSn-CMOSに向けたFLAプロセスの有用性を明らかにした。

研究成果の学術的意義や社会的意義

GeSn MOSFETのチャネルSn高濃度化を目指す上で、Snの低い固溶限（1%）が大きな技術的課題であった。本研究ではミリ秒の急速加熱が可能なFLAプロセスを用いることで、Snの固溶限界を超えたGeSnチャネルの実現が可能であることを実証した。高移動度CMOSチャネルに向けた薄膜成長手法の新しいアプローチである。

研究成果の概要（英文）：We demonstrated the high-performance GeSn n-MOSFET based on high-Sn content GeSn layer fabricated by the milli-second flash lamp annealing (FLA). FLA processing enables the solid-phase growth of the amorphous GeSn layer without out-diffusion or segregation of Sn atoms, providing the high-Sn content crystalline GeSn with Sn content over 10%, which far exceeds the solid solubility. Furthermore, a high-quality n+/p junction was successfully formed by using FLA activation annealing. By combining the FLA solid-phase growth and FLA activation annealing, high-Sn content GeSn n-MOSFET with enhanced on-current and improved switching characteristics was achieved, which clearly indicates the advantage of FLA processing for the high-mobility GeSn-CMOS.

研究分野：薄膜工学

キーワード：ゲルマニウムスズ 固相成長 フラッシュランプアニール MOSFET

1. 研究開始当初の背景

ゲルマニウムスズ (GeSn) は IV 族半導体の Ge に、同じく IV 族の半金属である Sn を添加した混晶半導体であり、シリコン (Si) に代わる高移動度 CMOS (Complementary Metal-Oxide-Semiconductor) チャンネル材料として期待が寄せられている。GeSn は Sn 組成の増大に伴いバンド構造が変調し、理論計算によると約 10%以上の Sn を添加することで間接遷移型から直接遷移型へと変化することが予測されている。直接遷移化によって有効質量の小さい Γ 点の電子が電気伝導に寄与するようになり、直接遷移型 GeSn では $10,000 \text{ cm}^2/\text{Vs}$ を超える極めて高い電子移動度も予測されている。正孔移動度についても Ge に対する優位性が示されており、GeSn はポスト Si 半導体としての可能性をもつ CMOS チャンネル材料の一つである。

GeSn デバイスの実用化に向けた最大の課題は、Ge 中の Sn の固溶限が低い点にある。熱平衡状態では、Ge 中に Sn は室温で 1%程度しか固溶しない。このため、分子線エピタキシー (MBE) や化学気相成長 (CVD) などの薄膜成長技術を用いた場合には、結晶成長過程での Sn 原子の拡散や凝集を抑制するために非熱平衡の低温成膜が必要となる。エピタキシャル成長において、成膜温度が低いと結晶品質は一般的に劣化する。したがって、GeSn エピタキシャル層では Sn 組成と結晶性がトレードオフの関係となり、Sn の高組成化は膜質の劣化を招く懸念がある。近年では低温 CVD 法を中心に成膜条件の最適化が進められており、GeSn エピタキシャル層上に作製した MOSFET やフォトダイオード、発光ダイオードの実証を通じた性能評価が数多く報告されている。一方で、直接遷移化に必要とされる約 10%以上の Sn 添加と結晶品質の両立は従来の薄膜成長手法では本質的に解決が難しいと考えられ、高 Sn 組成 GeSn 層の作製に向けた新規 Sn 添加技術の開発が必要である。

2. 研究の目的

本課題では GeSn の Sn 高組成化と結晶品質の向上を両立する新規薄膜成長技術を開発し、GeSn がもつ優れた電子物性をトランジスタの性能評価を通して実証することを目的としている。これを実現するため、本研究ではミリ秒の急速加熱が特徴のフラッシュランプアニール (FLA) 法を用いた GeSn 薄膜の固相結晶化と MOSFET への応用を検討した。本研究では、(1) FLA 法を用いた高 Sn 組成 GeSn 薄膜の固相結晶化技術を確立し、その物理分析を通じた FLA 過程での Sn 原子の拡散挙動を明らかにするとともに、(2) MOSFET 作製プロセスの熱処理工程 (活性化アニール) に FLA 法を用いることで高品質な GeSn n+/p 接合の形成を検討し、(3) 高 Sn 組成 GeSn n-MOSFET の作製と電気特性評価を通して、提案する FLA プロセスの優位性を実証することを目的としている。

3. 研究の方法

従来の MBE 法や CVD 法とは異なる GeSn の薄膜成長技術として、本研究ではフラッシュランプアニール法を用いた結晶化技術を検討した。フラッシュランプアニールは数ミリ秒のフラッシュパルス光を試料に照射し、瞬間的に試料表面の温度を上昇させる熱処理技術である。Ge 中に Sn を固溶限界を超えて添加するため、本実験では高組成の Sn を含有したアモルファス GeSn 薄膜に FLA 処理を施すことで固相結晶化を促した。高温・超短時間の熱処理によって Sn 拡散抑制と結晶品質の向上が期待できる。

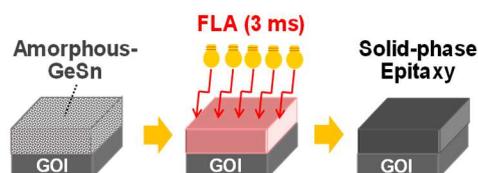


図 1 FLA による高 Sn 組成アモルファス GeSn 薄膜の固相結晶化。

本実験の方法は次の通りである (図 1)。洗浄した Ge-on-insulator (GeOI) 基板 (Ge/BOX: 90/140 nm) に分子線蒸着によりアモルファス GeSn を堆積した。アモルファス GeSn は室温下

で堆積するため、成膜時点での Sn 組成は任意に高組成化することが可能である。本実験ではアモルファス膜中 Sn 組成を 12%とした。キャップ層として SiO₂を 50 nm 成膜した後、FLA 処理を行った。

4. 研究成果

(1) アモルファス GeSn の FLA 固相結晶化

FLA では照射エネルギーによって、試料表面の最高到達温度が決まる。本実験ではまず FLA 照射エネルギーがアモルファス GeSn の固相成長と Sn 拡散に及ぼす影響を調べた。図 2(a)は異なる照射エネルギー (15, 20, 25, 30 J/cm²) で FLA 処理を行った試料から取得したラマンスペクトルである。FLA 照射エネルギーの増大に伴って Ge-Ge 結合振動モードのピーク値増大および半値幅減少が見られ、GeSn 層の結晶性が照射エネルギーに応じて向上することがわかる。波数 270 cm⁻¹ 付近に見られるピークはアモルファス状態の GeSn に起因したものであり、固相結晶化は照射エネルギーが概ね 20 J/cm² 以上で進行することが明らかとなった。図 2(b)に照射エネルギーに対する Ge-Ge 結合振動モードのラマンシフトを示す。ラマンシフトは 20-30 J/cm² の範囲ではほぼ一定であり、これは格子置換位置にある Sn 組成が照射エネルギーに依存せず、一定の値であることを示唆している。このことから、FLA 固相結晶化では照射エネルギーの増大に応じて結晶性が向上し、このとき Sn の拡散は伴わないことが示唆された。一方、照射エネルギー 35 J/cm² の場合には膜の凝集が見られ、液相結晶化が生じた。このことから、本試料の固相結晶化に最適な FLA 照射パワーは 30 J/cm² であるとわかった。

FLA 固相結晶化時の Sn 拡散挙動を詳しく調べるため、FLA 前後 (照射エネルギー 30 J/cm²) で GeSn 層中の Sn 深さ方向分布を二次イオン質量分析法 (SIMS) により評価した。図 3 より FLA 前後で膜中 Sn プロファイルはほとんど変化しないことがわかる。これは FLA 結晶化過程で Sn が拡散せず、アモルファス GeSn 堆積時の初期 Sn 組成 (本実験では 12%) を維持していることを意味する。以上の結果より、FLA による GeSn 固相結晶化ではミリ秒の瞬間的加熱によって、Sn 拡散を抑制しつつ、結晶性を一定以上に向上させることが可能であることがわかった。

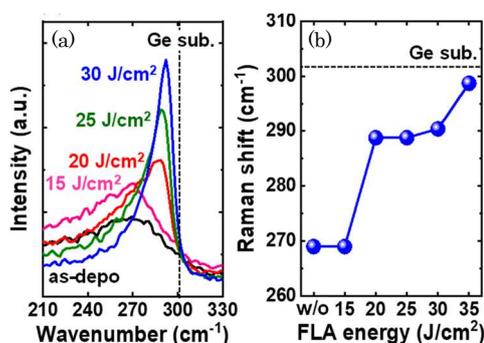


図 2 異なる照射エネルギーで FLA 処理を行った GeSn 薄膜から取得した (a) Ge-Ge 結合振動モードのラマンスペクトルと (b) ラマンシフトの照射エネルギー依存性。

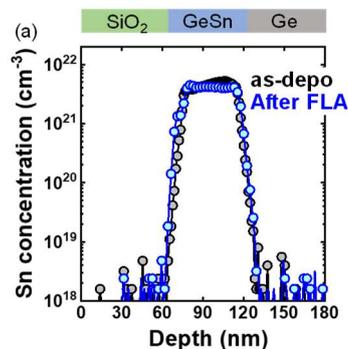


図 3 アモルファス GeSn 層 (Sn 組成 13%) の FLA 前後の SIMS による Sn 深さ方向分析 (FLA 照射エネルギー: 30 J/cm²)。 (a) SiO₂ GeSn Ge

(2) FLA 活性化アニールによる GeSn n⁺/p 接合の形成

GeSn MOSFET を作製する上で、Sn の低い熱平衡固溶限はプロセス温度の低温化を要求する。このため、活性化アニール時も Sn の拡散・凝集を抑制するため低温熱処理とせざるを得ない。特に Ge 中の n 型不純物は拡散しやすく活性化率が低いため、GeSn の高品質な n⁺/p 接合の形成は難しく、GeSn n-MOSFET の性能を制限する一つの要因となっている。本研究では固相成長で作製した Sn 組成 12% の高 Sn 組成 GeSn チャネルを用いるため、従来の RTA (Rapid thermal annealing) 法を用いた活性化アニールでは、MOSFET 動作に十分な接合特性が得られない可能性がある。

そこで本研究では活性化アニール時の熱負荷改善策として、FLA を用いることを検討した。図 4 は Sn 組成 12% の固相結晶化 GeSn 層に P イオンを注入し (ドーズ 2×10¹⁵ cm⁻²、加速エネルギー 10 keV)、RTA または FLA により活性化アニールを行う前後の SIMS 分析による Sn および P 原子の深さ方向プロファイルである。固相結晶化直後の Sn 分布 (as-grown) と比較し

て、FLA 処理では深さ方向分布の変化はわずかであり、活性化アニール過程での Sn 拡散はほとんどないことが明らかとなった。一方で、RTA の場合には 500°C 以上の温度では Sn が大きく拡散しており、活性化アニール温度としては 400°C 以下の低温処理が必須であることがわかる。また、FLA では P 原子の拡散もほぼ完全に抑制されており、n+/p 接合の形成手法として FLA は有効であると判断できる。

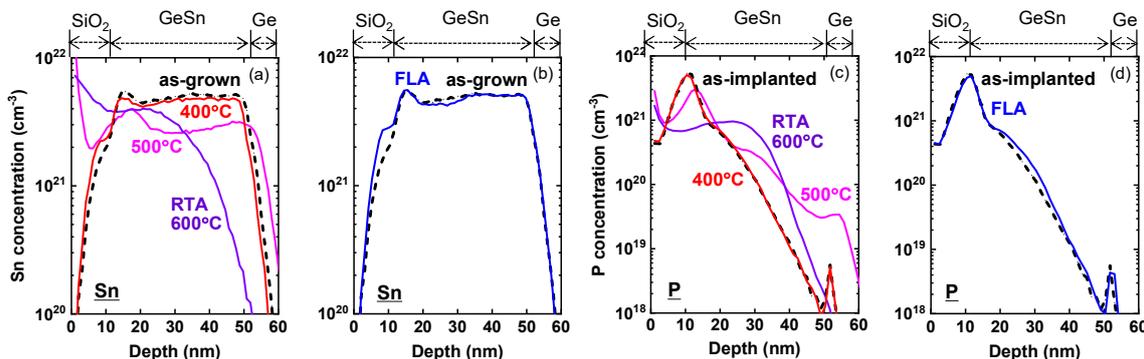


図 4 SIMS 分析による FLA および RTA を用いた活性化アニールの前後における (a) Sn 分布 (RTA), (b) Sn 分布 (FLA), (c) P 分布 (RTA), (d) P 分布 (FLA)。

(3) FLA プロセスによる高 Sn 組成 GeSn n-MOSFET の実証

本課題で提案する FLA 固相結晶化および FLA 活性化アニールは、高 Sn 組成 GeSn に対して有効な熱処理手法であることがわかったため、n-MOSFET 作製を通じた電気特性評価を実施した。図 5 に FLA プロセスを用いた GeSn n-MOSFET 作製手順を示す。GeOI 基板上アモルファス GeSn 層の FLA 固相結晶化により、Sn 組成 12% の GeSn チャンネルを形成した。原子層堆積 (ALD) によりゲートスタックを成膜し、ゲート加工した後に P イオン注入と FLA 処理によってソース/ドレイン活性化を行った。層間絶縁膜を堆積し、電極を形成し Sn 組成 12% の GeSn n-MOSFET を作製した。また比較として、活性化アニールに 400°C の RTA を行った試料も作製した。

作製した GeSn n-MOSFET のドレイン電流-ゲート電圧 (I_D - V_G) 特性を図 6 に示す。RTA 法を用いて作製した MOSFET ではオン/オフ電流比が一桁以下であり、トランジスタとしての正常なスイッチング特性がみられない。これは、RTA による低温活性化は GeSn の n+/p 接合形成に不十分であることを意味している。一方、FLA を活性化アニールに用いた GeSn MOSFET では良好なスイッチング特性が見られた。直接遷移化に十分とされる Sn 組成 13% の高 Sn 組成 GeSn n-MOSFET の動作実証に成功した。これまでに低温 CVD 法を用いた Sn 組成 12.5% の GeSn n-MOSFET の報告例があるが、オン/オフ電流比は一桁以下である。この性能向上は FLA 固相結晶化により形成した GeSn 層の優れた結晶性によるものと考えられ、FLA が熱処理プロセスとして高 Sn 組成 GeSn デバイス作製に効果的であることを確認した。

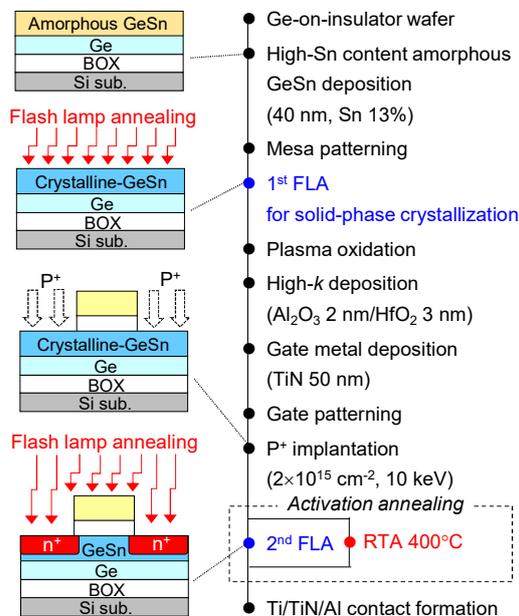


図 5 チャンネル固相結晶化と S/D 活性化に FLA を用いた高 Sn 組成 GeSn n-MOSFET の作製プロセス。

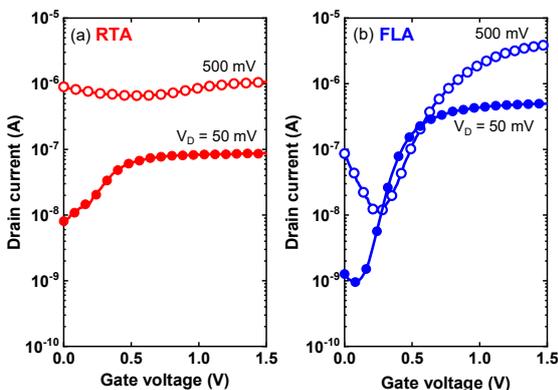


図 6 (a) RTA および (b) FLA プロセスを用いて作製した GeSn n-MOSFET の I_D - V_G 特性。

5. 主な発表論文等

〔雑誌論文〕 計2件（うち査読付論文 2件／うち国際共著 0件／うちオープンアクセス 2件）

1. 著者名 Oka Hiroshi, Mizubayashi Wataru, Ishikawa Yuki, Uchida Noriyuki, Mori Takahiro, Endo Kazuhiko	4. 巻 14
2. 論文標題 Non-equilibrium solid-phase growth of amorphous GeSn layer on Ge-on-insulator wafer induced by flash lamp annealing	5. 発行年 2021年
3. 雑誌名 Applied Physics Express	6. 最初と最後の頁 025505 ~ 025505
掲載論文のDOI（デジタルオブジェクト識別子） 10.35848/1882-0786/abdac4	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

1. 著者名 Oka Hiroshi, Mizubayashi Wataru, Ishikawa Yuki, Uchida Noriyuki, Mori Takahiro, Endo Kazuhiko	4. 巻 14
2. 論文標題 Flash lamp annealing processing to improve the performance of high-Sn content GeSn n-MOSFETs	5. 発行年 2021年
3. 雑誌名 Applied Physics Express	6. 最初と最後の頁 096501 ~ 096501
掲載論文のDOI（デジタルオブジェクト識別子） 10.35848/1882-0786/ac1a47	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

〔学会発表〕 計2件（うち招待講演 0件／うち国際学会 1件）

1. 発表者名 H. Oka, W. Mizubayashi, T. Hosoi, T. Shimura, H. Watanabe, T. Maeda, N. Uchida, K. Endo
2. 発表標題 Tensile-strained GeSn-on-SOI MSM Photodetector Fabricated by Solid-phase Epitaxy
3. 学会等名 JST-MOST Joint Workshop on "Nanoelectronics and System Integration for AI"（国際学会）
4. 発表年 2019年

1. 発表者名 H. Oka, W. Mizubayashi, T. Mori, Y. Ishikawa, T. Hosoi, T. Shimura, H. Watanabe, and K. Endo
2. 発表標題 Solid-phase Grown GeSn n-MOSFETs on GOI Wafer Fabricated by Flash Lamp Annealing
3. 学会等名 第25回電子デバイス界面テクノロジー研究会
4. 発表年 2020年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------