

令和 3 年 6 月 8 日現在

機関番号：12701

研究種目：若手研究

研究期間：2019～2020

課題番号：19K15041

研究課題名（和文）超伝導断熱磁束量子パラメトロンを用いた低電力深層学習専用チップの開発

研究課題名（英文）Development of a low-power deep-learning chip using adiabatic superconducting technology

研究代表者

陳 オリビア（Chen, Olivia）

横浜国立大学・先端科学高等研究院・特任教員（助教）

研究者番号：70837856

交付決定額（研究期間全体）：（直接経費） 3,100,000円

研究成果の概要（和文）：本研究では似計算であるStochastic Computing(SC)を低電力超伝導回路である断熱的量子磁束パラメトロン(AQFP)に導入することで、高性能・低消費電力・低コストの深層学習専用チップの実現を目指す。我々は、大規模超伝導回路の設計のための自動化設計ツールを開発し、超伝導深層学習プロセッサのコンポーネント回路をこれまで構築した設計環境で設計・試作し、低温での動作実証を行なった。

研究成果の学術的意義や社会的意義
人工知能の急速な発展に伴う情報量が爆発的増大し、莫大な電力が消費されてしまいます。本研究成果では、半導体回路に対して5桁以上消費電力効率を持つ超伝導回路を基盤技術とする上、近似計算である新たな計算方式との連携を通じて、1Wで千兆回演算級のエネルギー効率を有する新たな超低電力AIシステムの開発に挑戦します。また、本技術の応用の拡大、引いては地球温暖化の防止にもつながると考えます。

研究成果の概要（英文）：In this research, we proposed an extremely low-power deep learning chip by combining Stochastic Computing (SC), an approximate computing scheme with the adiabatic quantum magnetic flux parametron (AQFP), a low-power superconducting technology. As the research results, we have developed an automated design tool chain for large-scale superconducting circuits design, prototyped the proposed deep learning chip, and demonstrated its operation at low temperatures.

研究分野：電子デバイス・電子機器

キーワード：電子工学 超伝導エレクトロニクス 集積回路工学

様式 C-19、F-19-1、Z-19（共通）

1. 研究開始当初の背景

第5期科学技術基本計画で策定される「Society 5.0」を実現するため、人工知能（AI）やビッグデータ解析等の基盤技術の強化は不可欠である。このような背景をもとに、深層学習（ディープラーニング）に必要な消費電力を低減するため、人間の脳を模倣するニューラルネットワーク等の非ノイマン型コンピュータアーキテクチャが注目されている。これは、従来のノイマン型汎用コンピュータを用いると、深層学習のために膨大な消費電力が必要となるためである。一方、近年、近似計算であるストカスティック演算をニューラルネットワークに導入することで、超低電力な深層学習専用チップを実現することが提案されている[1]。ストカスティック演算は、乱数列を用いることで複雑な演算を少ないゲートで表現できるため、回路面積の低減、ひいては低電力化を可能とする。例えば、4/8 は 01101010...、6/8 は 10111011... という乱数列（1 の存在確率）で表され、両者を AND ゲートに入力するだけで、乗算結果である 00101010... (=3/8) が得られる。また、画像、音声認識などの深層学習は厳密な計算を必要としないため、近似計算であるストカスティック演算の計算精度で十分に対応できる。しかしながら、ストカスティック演算では長い乱数列を用いて演算を行うため、非常に深いパイプライン構造（ディープパイプライン）が必要になる。このため、半導体 CMOS 回路で実現するためには無数のレジスタが必要になり、ストカスティック演算の利点である低電力性を十分に活かすことができない。

2. 研究の目的

本研究では、エネルギー効率が非常に高く、かつディープパイプラインを容易に実現できる断熱磁束量子パラメトロン（AQFP）を用いて、深層学習専用チップの実現を目指す。AQFP は超伝導体を用いたロジックであるため、量子効果を用いた無散逸な情報保持、及び超伝導配線による充放電フリーな情報伝播という利点を有する。また、AC バイアス電流を用いて論理状態を断熱的に変化させることによって、スイッチング動作に伴う消費エネルギーを劇的に減少させることができる。AQFP 回路は、CMOS 回路に比べて 6 桁程度小さな消費エネルギーで動作することが可能であり、究極的な低電力ロジックとして考えられる[2]。また、AQFP 回路は AC バイアス電流で駆動されるため、データパスが本質的にディープパイプライン構造になるという特徴を有する。このため AQFP 回路は、ディープパイプラインを必要とするストカスティック演算と本質的に相性が良い。また、ストカスティック演算はエラーに対する耐性が強いいため、AQFP 回路のような比較的新しい回路技術でも、柔軟に取り入れることができる。以上を踏まえ本研究では、ストカスティック演算を AQFP 回路へ導入することで、1 PetaOPS/W（1 W で 1 千兆回演算）レベルの性能を達成できる超低電力・深層学習専用チップの実現を目指す。

3. 研究の方法

本研究のお主な研究課題は、①大規模超伝導回路設計に向けた自動化設計流れの実現、②AQFP 回路を用いたストカスティック演算に不可欠な乱数生成器の実現と、③AQFP 深層学習専用チップの構造設計と回路実装である。まず①に関連して、我々は AQFP 回路専用の自動化設計に向けた論理合成、AQFP 最適化、配置配線ツールを提案し、機能設計から回路実装までの自動化設計環境を開発する。

②については、ゆらぎを容易に導入できる AQFP 回路を用いることで、デバイスレベルで乱数発生器を設計・試作する。

③開発した自動化設計ツールによって AQFP 深層学習専用チップを設計・試作する。

4. 研究成果

AQFP 大規模回路を実現するため、多数決論理合成ツール、AQFP 回路オプティマイザ、学習ベースの配置配線ツールを含めた自動化設計ツールチェーンを開発した。図1は開発したツールチェーンを示している。

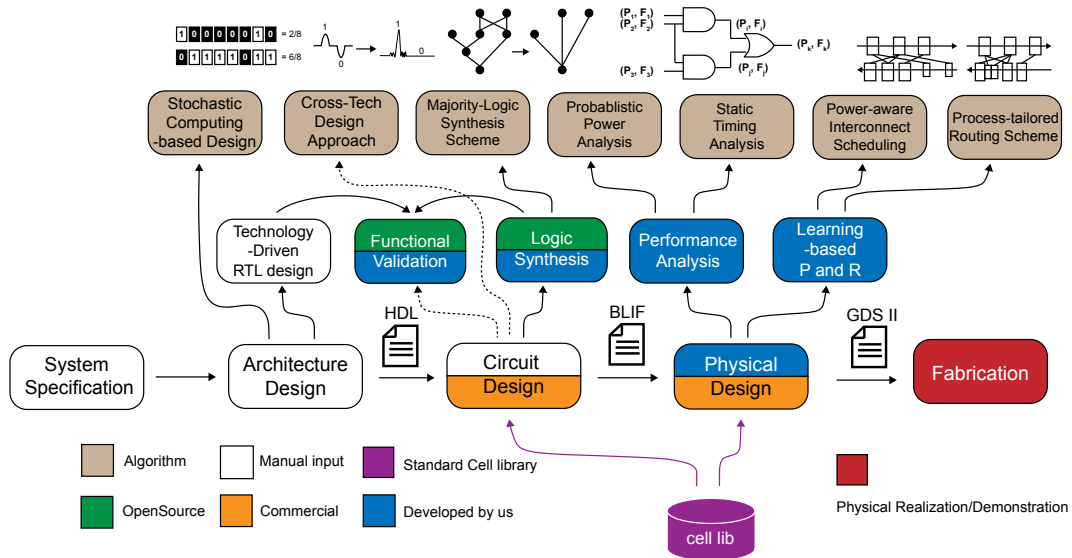


図1 開発したツールチェーン。

AQFP 回路では、多数決ゲート (majority gate 略 MAJ) が、2 入力 AND/OR ゲートと同じ面積を持ちながら、より複雑な論理を実現することが可能である。したがって、AQFP 回路を論理合成するためには、AND/OR より多数決ゲートの方が適している。我々は、任意の AND/OR で構成されたネットリストを、MAJ ネットリストに変換する手法を提案し、多数決論理合成ツールを開発した。そして、ディープパイプライン特徴を持つ AQFP 回路を実現するために必要とされるバッファおよびスプリッタの挿入に対応する AQFP 回路オプティマイザを開発した。さらに、配置配線ツールの計算時間を減少するため、学習ベースの配置配線アルゴリズムを提案し、ツールへの実装に成功した。新たに提案した配置手法は、先行研究[3]と比較すると、最大 43%の面積削減かつ 100 倍以上の計算時間の短縮を達成した。

深層学習専用チップにストカスティック演算を取り入れるためには、乱数発生器が必要となる。そこで、入力電流が抜けられた AQFP バッファチェーンを使うと、熱雑音を利用して真性乱数を生成できる。バッファチェーン内の相互作用を低減するため、図2に示すように、隣接する

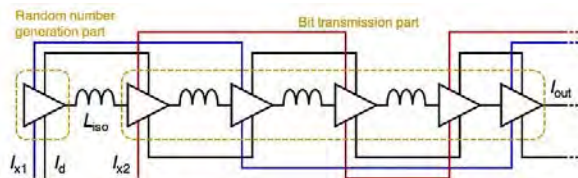


図2 AQFP 乱数生成器のブロック図。

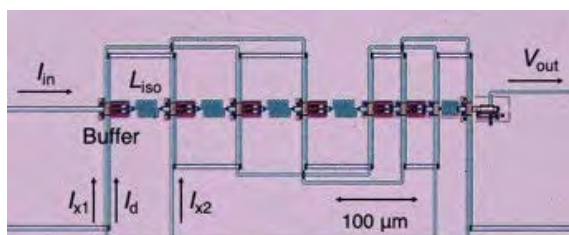


図3 試作した AQFP 乱数生成器の顕微鏡写真。

バッファ間にアイソレーションインダクタを挿入する手法を提案し、産総研 AIST 10kA/cm² Nb 高速標準プロセス (HSTP) を使用して AQFP TRNG の試作を行った。図3は試作した回路の顕微鏡写真となる。そして、試作した回路を低周波 (100 kHz) で測定を行い、生成された 217 ビットの出力波形を観測し、+0.005 の自己相関係数を得られた。さらに、220 ビットの出力結果を NIST Statistical

Test で乱数検定を行い、全 15 項目の内 14 項目の検定が合格した。

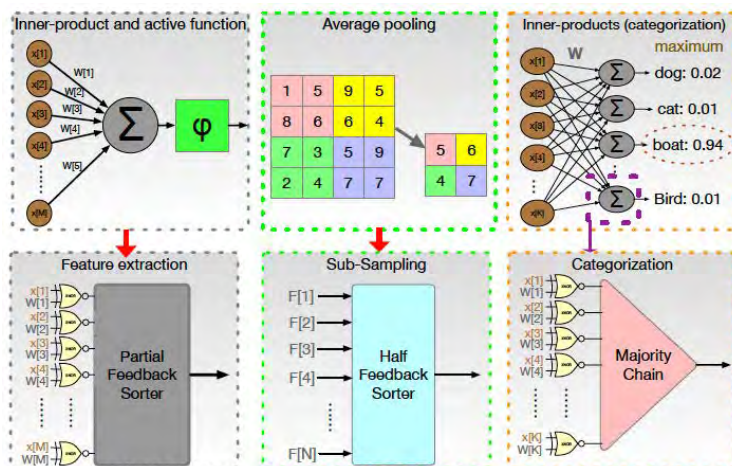


図 4 提案した AQFP—SC 深層学習専用チップの回路構造。

最後に、AQFP 回路に向けたストカスティック演算を導入した深層学習プロセッサのアーキ

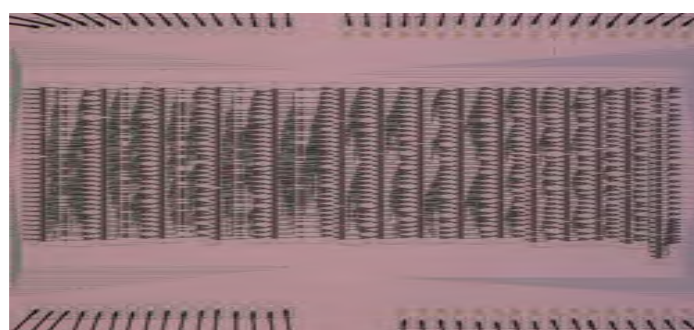


図 5 提案した AQFP—SC 深層学習専用チップの顕微鏡写真。

Hardware Design	QUEST [4]	UNPN [5]	This design	Maximum Gain
Normal Energy Efficiency	0.59TOPS/W (4-bit)	3.08TOPS/W (16-bit, low-voltage)	10.1POPS/W (bitlength 256)	17,119 ×
Maximum Energy Efficiency c2670	2.27TOPS/W (1-bit)	50.6TOPS/W (1-bit, low-voltage)	20.1POPS/W (bitlength 128)	8,855 ×

表 1. 本提案の結果と CMOS を用いた設計の比較。

テクチャを提案した。図 4 に提案した回路アーキテクチャを示す。さらに、提案したアーキテクチャを開発した自動化設計ツールにより回路設計を行い、産総研 AIST 10kA/cm² Nb 高速標準プロセス (HSTP) を使用して回路実装と動作実証を行った。図 5 に試作したチップ写真を示す。

提案したアーキテクチャを最新の CMOS 深層学習チップと比較して見ると、4～5 桁のエネルギー優位性を得られた。表 1 に比較の詳細を示す。

<引用文献>

- [1] Ren et al., *SIGOPS Oper. Syst. Rev.*, **51**, 2, 405-418 (2017).
- [2] N. Takeuchi et al., *Appl. Phys. Lett.*, **102**, 052602 (2013).
- [3] T. Tanaka et al., *IEEE TAS*, **29**, 5, 1-6 (2019).

5. 主な発表論文等

〔雑誌論文〕 計5件（うち査読付論文 5件/うち国際共著 4件/うちオープンアクセス 3件）

1. 著者名 Chen Olivia, Saito Ro, Tanaka Tomoyuki, Ayala Christopher L., Takeuchi Naoki, Yoshikawa Nobuyuki	4. 巻 29
2. 論文標題 Design of Adiabatic Quantum-Flux-Parametron Register Files Using a Top-Down Design Flow	5. 発行年 2019年
3. 雑誌名 IEEE Transactions on Applied Superconductivity	6. 最初と最後の頁 1~5
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TASC.2019.2908277	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Cai Ruizhe, Chen Olivia, Ren Ao, Liu Ning, Ding Caiwen, Yoshikawa Nobuyuki, Wang Yanzhi	4. 巻 -
2. 論文標題 A Majority Logic Synthesis Framework for Adiabatic Quantum-Flux-Parametron Superconducting Circuits	5. 発行年 2019年
3. 雑誌名 Proceedings of the 2019 on Great Lakes Symposium on VLSI	6. 最初と最後の頁 189~194
掲載論文のDOI（デジタルオブジェクト識別子） 10.1145/3299874.3317980	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 該当する
1. 著者名 Cai Ruizhe, Ren Ao, Chen Olivia, Liu Ning, Ding Caiwen, Qian Xuehai, Han Jie, Luo Wenhui, Yoshikawa Nobuyuki, Wang Yanzhi	4. 巻 -
2. 論文標題 A stochastic-computing based deep learning framework using adiabatic quantum-flux-parametron superconducting technology	5. 発行年 2019年
3. 雑誌名 ISCA '19: Proceedings of the 46th International Symposium on Computer Architecture	6. 最初と最後の頁 567~578
掲載論文のDOI（デジタルオブジェクト識別子） 10.1145/3307650.3322270	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 該当する
1. 著者名 Chen Olivia, Cai Ruizhe, Wang Yanzhi, Ke Fei, Yamae Taiki, Saito Ro, Takeuchi Naoki, Yoshikawa Nobuyuki	4. 巻 9
2. 論文標題 Adiabatic Quantum-Flux-Parametron: Towards Building Extremely Energy-Efficient Circuits and Systems	5. 発行年 2019年
3. 雑誌名 Scientific Reports	6. 最初と最後の頁 1~20
掲載論文のDOI（デジタルオブジェクト識別子） 10.1038/s41598-019-46595-w	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 該当する

1. 著者名 Cai Ruizhe, Chen Olivia, Ren Ao, Liu Ning, Yoshikawa Nobuyuki, Wang Yanzhi	4. 巻 1
2. 論文標題 A Buffer and Splitter Insertion Framework for Adiabatic Quantum-Flux-Parametron Superconducting Circuits	5. 発行年 2019年
3. 雑誌名 ICCD 2019	6. 最初と最後の頁 429 ~ 436
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ICCD46524.2019.00067	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

〔学会発表〕 計5件 (うち招待講演 2件 / うち国際学会 4件)

1. 発表者名 O. Chen
2. 発表標題 超伝導回路の深層学習応用
3. 学会等名 応用物理学学会超伝導分科会 (招待講演)
4. 発表年 2019年

1. 発表者名 O. Chen, R. Cai, T. Tanaka, Y. Wang, N. Yoshikawa
2. 発表標題 Design and implementation of a bitonic sorter-based deep learning accelerator using adiabatic superconducting logic
3. 学会等名 ISEC2019 (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 O. Chen, W. Luo, R. Cai, N. Takeuchi, Y. Wang and N. Yoshikawa
2. 発表標題 A novel stochastic number generator using adiabatic superconducting technology
3. 学会等名 EUCAS2019 (国際学会)
4. 発表年 2019年

1. 発表者名 Cai Ruizhe, Chen Olivia, Ren Ao, Liu Ning, Ding Caiwen, Yoshikawa Nobuyuki, Wang Yanzhi
2. 発表標題 A Majority Logic Synthesis Framework for Adiabatic Quantum-Flux-Parametron Superconducting Circuits
3. 学会等名 Great Lakes Symposium on VLSI (国際学会)
4. 発表年 2019年

1. 発表者名 Cai Ruizhe, Ren Ao, Chen Olivia, Liu Ning, Ding Caiwen, Qian Xuehai, Han Jie, Luo Wenhui, Yoshikawa Nobuyuki, Wang Yanzhi
2. 発表標題 A stochastic-computing based deep learning framework using adiabatic quantum-flux-parametron superconducting technology
3. 学会等名 ISCA19 (国際学会)
4. 発表年 2019年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------