

令和 3 年 5 月 17 日現在

機関番号：82626

研究種目：若手研究

研究期間：2019～2020

課題番号：19K15053

研究課題名（和文）三次元集積化に向けたGe低温原子層エッチング技術開発に関する研究

研究課題名（英文）Development of low temperature Ge atomic layer etching for 3D integration

研究代表者

張 文馨（Chang, Wen Hsin）

国立研究開発法人産業技術総合研究所・エレクトロニクス・製造領域・研究員

研究者番号：30796834

交付決定額（研究期間全体）：（直接経費） 3,300,000円

研究成果の概要（和文）：我々は、Ge表面の原子層レベル酸化とウエットエッチングを繰り返す処理を数十回以上行うことで、Ge表面の粗さが著しく低減すること、さらには、この表面平坦化の効果によりGeチャネル中の移動度が大幅に向上することを明らかにした。また、半導体プロセスへの適用を考慮すると、ドライプロセス化が望まれることから、O₂プラズマ/HIプラズマの酸化/エッチングを用いて、完全ドライプロセスによるGe表面の原子層エッチング技術を確立した。プラズマ制御により、Ge表面の酸化プロセスとヨウ化水素プラズマによる吸着/脱離プロセスについてに解析を行い、半導体ドライプロセスとしての適応性を確認した。

研究成果の学術的意義や社会的意義

本研究ではO₂プラズマ/HIプラズマの酸化/エッチングを用いて、完全ドライプロセスによるGe表面の原子層エッチング技術を確立した。これは、Ge表面の自己停止型酸化プロセスとHIプラズマによる酸化膜エッチングとヨウ素吸着プロセスによるものであることを明らかにしたことから、Geの表面科学としても学術的に意義のある成果である。さらに、本研究では既存のRIE装置をベースに開発しており、量産半導体プロセス装置との親和性が高く、この原子層エッチング技術は新しい半導体プロセス技術として意義を見出した点も大きな成果である。

研究成果の概要（英文）：By using the dozens of times cyclic treatment of atomic scale oxidation and wet etching, the surface roughness of Ge has been significantly suppressed. The surface flattening induced mobility enhancement in Ge channel owing to the reduction of surface roughness scattering has also been demonstrated. Considering the process feasibility about applying to the current VLSI field, the completely dry process without wet procedure is expected. We developed the Ge atomic layer etching technology through cyclic O₂ and HI plasma treatment. By controlling the plasma power and gas flow, we investigate the oxidation and the adsorption/desorption process of HI on Ge surface.

研究分野：半導体工学

キーワード：Ge 原子層エッチング プラズマ HI 半導体プロセス

様式 C-19、F-19-1、Z-19 (共通)

1. 研究開始当初の背景

IoT デバイスの爆発的な普及の中、半導体デバイスには、これまで以上にエネルギー効率と集積度の向上が求められている。このため、半導体デバイスの微細化へ向けた原子レベルで精密制御された製造プロセスが必要である。一方で、ポスト Si チャンネル材料として最も有望視されている Ge は、Si に比べ、移動度が高くより低電圧で高い駆動電流を得られることから、さらなる高速化と低消費電力化を実現するべく Ge CMOS が注目されている。我々は、Ge 表面の原子層レベル酸化とウェットエッチングを繰り返す処理を数十回以上行うことで(Dozens Digital Etching, DDE)、Ge 表面の粗さが著しく低減すること、さらには、この表面平坦化の効果により薄膜 Ge チャンネル中の移動度が大幅に向上することを実証してきた(図1) [1]。しかしながら、量産プロセスへの適用には、プロセスのドライ化が望まれる。そこで、我々はハロゲン系ガスもしくはそのプラズマによる Ge 表面処理として気相での Ge 酸化物エッチングと Ge 表面平坦化プロセスの実現を目指した。完全にドライ化した原子層レベル平坦化技術が開発されると、既存の CVD や ALD などの半導体ドライプロセス装置との親和性が高いためプロセス装置の開発の観点からも極めてインパクトが大きい。

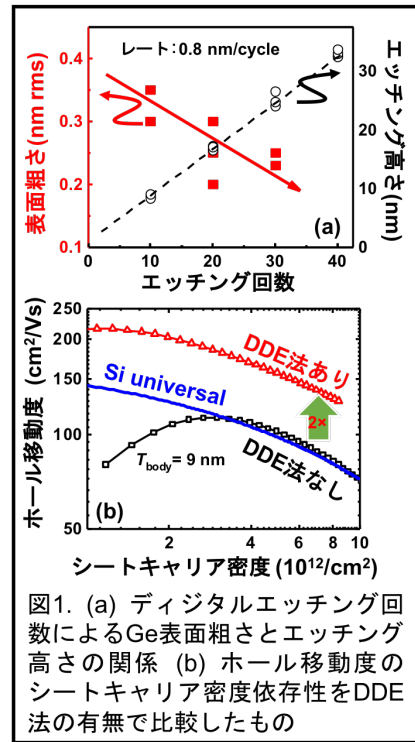


図1. (a) デジタルエッチング回数によるGe表面粗さとエッチング高さの関係 (b) ホール移動度のシートキャリア密度依存性をDDE法の有無で比較したもの

2. 研究の目的

本研究では、O₂プラズマ/ハロゲン系プラズマの気相酸化/エッチングを用いて、完全ドライプロセスによる Ge 表面の原子層レベル平坦化技術を確立することを目的とする。プラズマ制御により、Ge 表面の自己停止酸化プロセスとハロゲン系プラズマによる吸着/脱離プロセスについて解析し、そのメカニズムの解明と応用展開に向けたプロセス最適化の指針を探る。さらに、大面積化や三次元チャンネル構造の平坦化を目的に、本手法のプロセス適応性を検証する。

3. 研究の方法

(1) 上記の研究を行うために、既設のリモートプラズマ反応性イオンエッチング装置(図2)にサイクリック機能を追加し、原子層エッチング技術の開発環境整備を実施した。Geのエッチングガスとして低温でも極めて蒸気圧が最も高いヨウ素化合物を形成するヨウ化水素(HI)を選択し、HIプラズマ中の活性種について発光特性から解析を行なった。

(2) 次に、Ge表面に形成された自然酸化膜のHIプラズマエッチング効果とO₂プラズマにより再酸化効果について調べた。Ge表面にHIプラズマ処理に施し、XPS分析にて、自然酸化膜の有無と表面化学結合状態を確認した。HIプラズマは、プラズマチャンバー内にHIガスを30 sccm、1 Paで導入し、50 W、13.56 MHzでグロー放電させ、放電直下にGe基板を置くことで、リモートプラズマ処理を行った。ここで物理的なエッチングを避けるために、基板バイアスを印可しない状態でプラズマからの活性種の拡散のみでGe基板を晒した。HIプラズマエッチング後のO₂プラズマの再酸化効果について、基板バイアスの有無によって、Ge表面の再酸化程度とヨウ素の脱離状態をXPS分析にて解析した。

(3) さらに、HIプラズマ処理したGe表面の電気的な特性変化を確認するために、HIプラズマ処理したGe表面にプラズマALDにて10 nm Al₂O₃を成膜し、MOSキャパシタを作った。C-V電気特性により、HIプラズマ処理によるGe界面準位の変化をコンダクタンス法にて調べた。

(4) また、Ge基板にプラズマ酸化とエッチングを繰り返すデジタルエッチングによる表面平坦化プロセスを試みた。平坦化によるデバイス性能の面方位依存性をGe nMOSFETsにて検証した。

(5) 最後に、完全ドライプロセスによる原子層エッチングを検証し、O₂プラズマ酸化/HIプラズマ処理のサイクリックエッチングによるエッチング深さの変化について考察する。

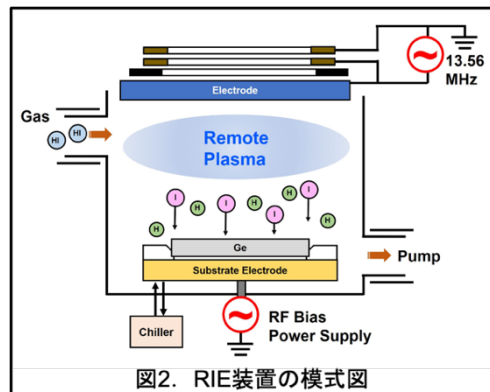


図2. RIE装置の模式図

4. 研究成果

(1) 図3は、HI プラズマ (HI:30sccm, 1Pa) の発光スペクトルのプラズマパワー依存性である。水素とヨウ素に起因する明瞭な発光を観測し、HI の解離と水素およびヨウ素の活性種の形成を確認した。プラズマパワーを大きくすることで、活性種の高密度化が図れることもわかった。

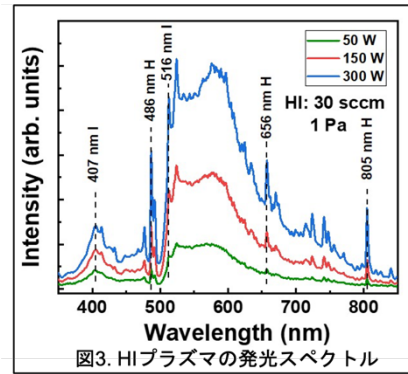


図3. HIプラズマの発光スペクトル

(2) XPS 法にて HI プラズマ処理前後の Ge 基板の表面化学状態を確認した。図4に HI プラズマ処理パワーと処理時間依存性について Ge 3d 及び I 3d の XPS スペクトルを示す。0W はプラズマをかけず、HI ガスだけをチャンバーに流すだけの状態では、Ge 自然酸化膜は除去できないことがわかる。プラズマパワーを上げ水素およびヨウ素の活性種が Ge 基板に晒されると、Ge 酸化膜の強度が減少し、酸化膜の除去が進行していることがわかる。同時に、Ge 表面には I 原子が増加を確認した。発光分析の結果(図3)から、活性種の増加が、酸化膜の除去が促進し、300W、2分ではほぼ全ての酸化膜がエッチングされたことがわかる。一方で、プラズマパワーを50Wに固定して、処理時間を2, 5, 10分と変化させると、徐々に酸化膜が除去され、50WでもGe表面酸化膜をほぼ除去できることを確認した。処理時間が増加するにつれてIの強度は、飽和していく様子が見られ、HI プラズマ処理で、酸化膜が除去されると同時に Ge 原子が I 原子で終端され反応が停止するものと予想される。また、その際(50 W, 10 min)、Ge 自体がほとんどエッチングされていないことも確認している。[2]

I 終端した Ge 表面にもう一度 O₂ プラズマ処理 (500W, 2 min) 行なうと、Ge 表面の再酸化を確認した。さらに、基板バイアスかけることによって、I が完全に取り除くことも可能で、HI プラズマによる Ge 表面の I の吸着/脱離プロセスの進行が明らかになった。これらの結果は、Ge 表面の気相酸化/エッチングのサイクリックプロセスの可能性を示唆している。

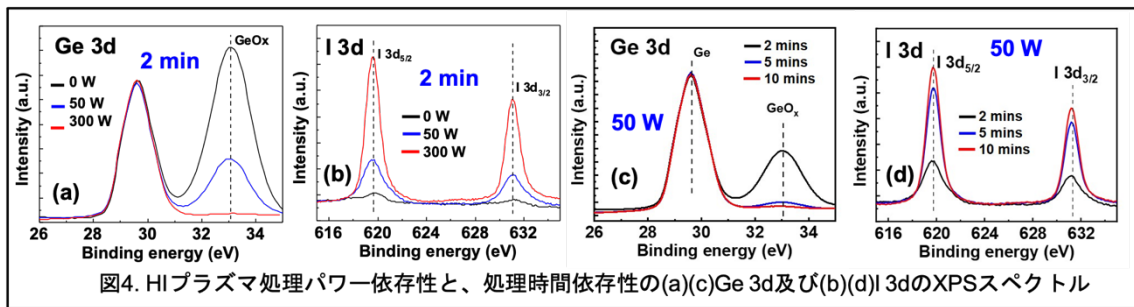


図4. HIプラズマ処理パワー依存性と、処理時間依存性の(a)(c)Ge 3d及び(b)(d)I 3dのXPSスペクトル

(3) HI プラズマ処理した Ge 表面の電気的な特性変化を確認するため、処理の有無による Ge キャパシタの電気特性を評価した(図5)。HI プラズマ処理により、C-V 電気特性の改善が確認された。蓄積領域の周波数分散が低減し、界面特性の向上がわかった。一方で、Cox 値の減少も確認された。これは Ge/Al₂O₃ 界面に、I 終端に伴う界面層の新たな形成を示唆している。図6にコンダクタンス法により算出した界面準位密度とそのエネルギー分布を示す。HI プラズマ処理により、広いエネルギー範囲で界面準位密度の低減が確認された。ミッドギャップエネルギー準位における界面準位密度は $5 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 程度であるが、特に価電子帯付近での改善が大きいのが興味深い。HI プラズマ処理は、Ge 表面酸化膜の除去及び MOS 界面特性の改善ともに効果あることを実証した。[2] このことは、HI プラズマ処理が Ge チャネル中のキャリア散乱抑制及び移動度向上にも効果があるものと期待される結果である。

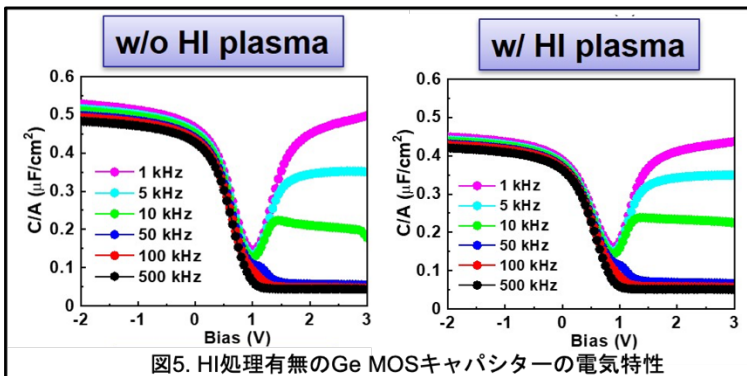


図5. HI処理有無のGe MOSキャパシタの電気特性

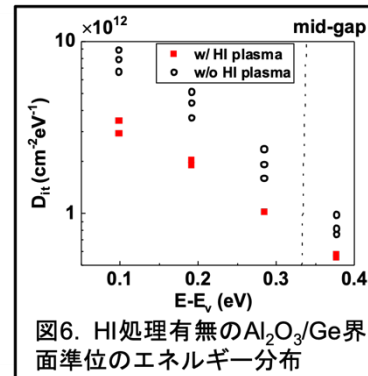
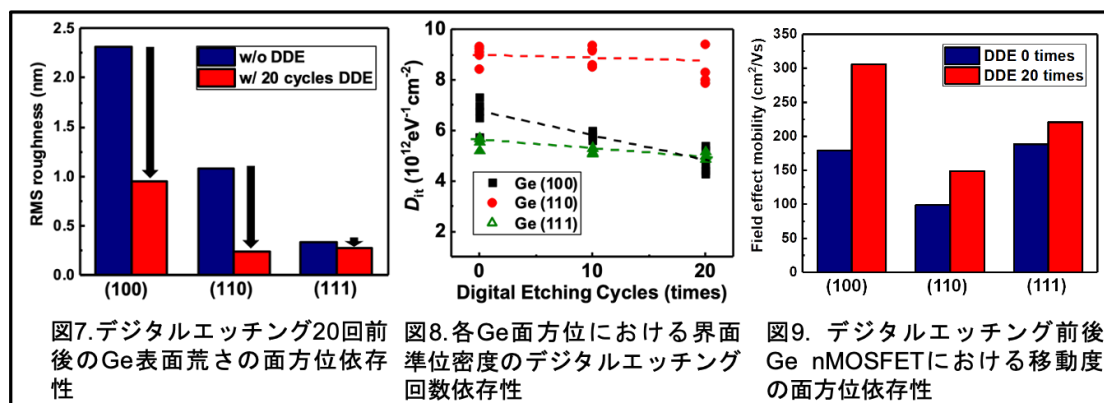
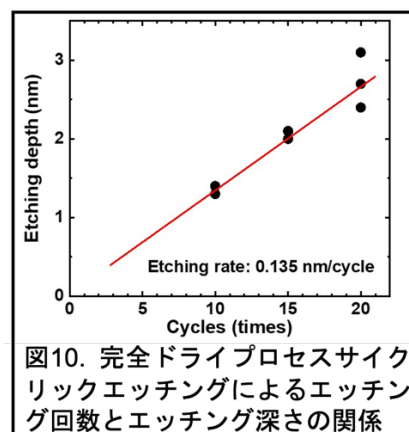


図6. HI処理有無のAl₂O₃/Ge界面準位のエネルギー分布

(4) 図7にウエットエッチング/ドライ酸化プロセスを用いた20回のDDE前後のGe表面荒さの面方位依存性を示す。DDEによる表面平坦化は(100)面に対して最も効果的であることがわかった。図8に各面方位における界面準位密度のDDE回数依存性を示す。界面準位密度は、Ge nMOSFETsのSS値から見積もった。DDEによって、(100)の界面特性は(111)と同等なレベルに向上した。一方で、(110)のダングリングバンドは元々多いため、デジタルエッチングを行っても界面準位密度の低減に繋がりにくいと考えられる。図9にデジタルエッチング20回前後の各面方位における G_m 特性から得られた移動度の値を示す。デジタルエッチングを行うことにより、すべての面方位で、移動度が上がることがわかった。特に、(100)面にて、移動度の増加が約2倍と顕著で、最も高い移動度を有するGe(111)面[3]を上回ることができた。さらに、平坦化はゲートスタックの信頼性向上にも効果があることを確認した、これは界面電界集中効果が表面平坦化で低減しているからと考えられる。この平坦化処理により、(100)面を有効に使った3次元チャンネル構造が有望であることが明らかになった。[4, 5]



(5) 上記研究成果(2)をもとに、完全ドライプロセスサイクリックエッチングを試みた。図10に O_2 プラズマ酸化/HIプラズマ処理サイクリックエッチングによるエッチング回数とエッチング深さの関係を示す。エッチング深さは、Ge表面を SiO_2 膜でマスクした部分との段差で確認した。 O_2 プラズマ酸化/HIプラズマ処理を10、15、20回連続で行なった結果、サイクル数に伴いエッチング深さは増大し、1サイクルあたりのエッチング量はおよそ0.135 nm/cycleとなった。これは、Ge(100)面の原子層高さ(0.142nm)でほぼ同等である。このことは、本手法によりGe表面の原子層エッチングが実現していることを示している。今後は、この原子層エッチングプロセス効率を上げるためのプラズマ処理条件の最適化と機構解明が求められる。



〈参考文献〉

[1] W. H. Chang et al., *VLSI symp.* 191 (2018).
 [2] W. H. Chang et al., 2020 秋応用物理学会, 11a-Z09-4
 [3] S.-T. Chang et al., *JJAP* **47**(7R), 5345 (2008).
 [4] W. H. Chang et al., *Solid-State Electron.* **169**, 107816 (2020).
 [5] W. H. Chang et al., *EDTM* 414 (2020).

5. 主な発表論文等

〔雑誌論文〕 計1件（うち査読付論文 1件／うち国際共著 0件／うちオープンアクセス 0件）

1. 著者名 W. H. Chang, T. Irisawa, W. Mizubayashi, H. Ishii, and T. Maeda	4. 巻 169
2. 論文標題 Performance and reliability improvement in Ge(100) nMOSFETs through channel flattening process	5. 発行年 2020年
3. 雑誌名 Solid-State Electronics	6. 最初と最後の頁 107816
掲載論文のDOI（デジタルオブジェクト識別子） 10.1016/j.sse.2020.107816	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計1件（うち招待講演 0件／うち国際学会 0件）

1. 発表者名 張文馨、入沢寿史、石井裕之、前田辰郎
2. 発表標題 HIプラズマ処理によるGe MOS界面特性の改善
3. 学会等名 2020秋応用物理学会
4. 発表年 2020年～2021年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------