

令和 3 年 6 月 18 日現在

機関番号：82636

研究種目：若手研究

研究期間：2019～2020

課題番号：19K15057

研究課題名（和文）10 Kエレクトロニクスを創生する窒化ニオブジョセフソン接合集積回路の開発

研究課題名（英文）Development of integrated circuits based on NbN Josephson junctions for 10-K electronics

研究代表者

宮嶋 茂之（Miyajima, Shigeyuki）

国立研究開発法人情報通信研究機構・未来ICT研究所フロンティア創造総合研究室・研究員

研究者番号：50708055

交付決定額（研究期間全体）：（直接経費） 3,300,000円

研究成果の概要（和文）：本研究では10 Kという温度で動作する超伝導エレクトロニクスの基盤技術の確立を目指して、超伝導材料として窒化ニオブ(NbN)を用いたジョセフソン接合に基づく単一磁束量子回路の開発を行った。そのためにまずは作製プロセスの開発と設計環境の構築を行った。設計環境はこれまでのNbを用いたジョセフソン接合の設計環境をNbNベースのジョセフソン接合のパラメータに変更することで数値計算、回路レイアウト作成まで出来る環境を構築した。次に作製プロセスについて、NbNの多層構造において絶縁が不十分であることによる層間でのショートが多発し、評価まで至らなかった。現在ではその原因を特定しており、再度作製を進めている。

研究成果の学術的意義や社会的意義

10 Kエレクトロニクスを実現するための新しい回路の設計環境の構築を行い、作製を試みた。結果としては回路の動作評価までには至らなかったが、新しいプロセスを導入した際の回路設計上の問題点等が明らかになった。また、位置精度は0.5 μmで作製できているため、現在の作成プロセスの問題点が解決すれば10 Kで動作するNbN-SFQ回路は実現できると考えられるため、本研究を通して10 K動作の超伝導エレクトロニクスの実現に大きく近づいたと考えられる。

研究成果の概要（英文）：In this research, we have developed the single-flux-quantum (SFQ) circuits by using NbN-based Josephson junctions (JJs) for establishments of fundamental technology of superconducting electronics operating at 10 K. We proposed a fabrication process and constructed the design environment for the NbN-based SFQ circuits. In order to construct the design environment for NbN-based SFQ circuits, we modified the conventional design environment for Nb-based SFQ circuits by changing the parameters of JJs, process structure, and so on. We also tried to evaluate the fabricated devices. However, the fabricated circuits were shorted due to the insufficient isolation between NbN wiring layers. We revised the layout design to avoid the circuit short, and we plan to fabricate and evaluate NbN-SFQ circuits again.

研究分野：電子工学

キーワード：超伝導 単一磁束量子回路 窒化ニオブ

## 様式 C - 19、F - 19 - 1、Z - 19 (共通)

### 1. 研究開始当初の背景

単一磁束量子(SFQ)回路は数十 GHz で動作し、数 mW 以下の消費電力で動作する超伝導デジタル集積回路であり、次世代のデバイスとして研究・開発が進められている。スイッチング素子として超伝導体で絶縁体、または常伝導体を挟み込んだジョセフソン接合(JJ)を用いており、スイッチング時間が数ピコ秒と非常に高速な動作をする。現在、JJ に用いられている超伝導材料は薄膜の作製条件や安定性から Nb が主に用いられており、実用化に向けて研究が進められている。Nb の超伝導転移温度( $T_c$ )は 9.2 K であることから、Nb-SFQ 回路の安定動作には 4 K 程度を維持する必要がある。このため、Nb-SFQ 回路の実用化には 4 K 程度まで冷却可能な冷凍機が必須となるが、冷却する為には kW オーダーという、Nb-SFQ 回路の数 mW の発熱に対して 1000-10000 倍もの投入電力が必要となり、冷却コストを含めたエネルギー効率は非常に低い。ここで冷却コストを含めた高エネルギー効率を実現する方法が必要とされる。

### 2. 研究の目的

本研究では高エネルギー効率を実現する方法として超伝導転移温度が約 16 K の窒化ニオブ(NbN)を用いることで 10 K で動作する SFQ 回路の実現を目指した。そのため、NbN ベースの SFQ 回路を実現するための基盤技術の確立を本研究の目的とした。具体的には NbN-SFQ 回路の設計環境の構築及び回路作製プロセスの確立を行い、小規模回路を実証することを目的とした。

### 3. 研究の方法

NbN-SFQ 回路実現の基盤技術確立のために、まずは設計環境の構築から行った。設計環境はこれまでに Nb-SFQ 回路の設計環境が既に構築されていたため、デバイスパラメータを NbN-SFQ 回路用に修正することで対応が可能であると考えた。また、回路作製プロセスについてはこれまでも MgO 基板上に作製して開発を進めていたが、Si 基板上に作製することも検討して、プロセス構造まで含めて再度検討した。

### 4. 研究成果

本研究を遂行するにあたり、前述のようにまず NbN-SFQ 回路設計環境の構築を行った。我々が従来用いていた Nb-SFQ 回路の設計環境を NbN-SFQ 回路用に修正することで実現を目指した。NbN-SFQ 回路用に修正するには、NbN-JJ の特性パラメータを修正する必要がある。そのため MgO 基板上で NbN-JJ を作製しその評価を行い、NbN-JJ のパラメータを抽出した。また、次に必要となるパラメータはインダクタンスであるが、数値解析から抽出するにはプロセス構造から考慮する必要がある。従来の Nb-SFQ 回路作製プロセスと NbN-SFQ 回路作製プロセスでは層構造が異なり、その層構造や層間絶縁層の膜厚等も考慮したパラメータ変更が必要となる。これらの層構造・パラメータを変更し数値計算で NbN の配線インダクタンスを抽出できるようにした。また、このパラメータを動作解析への数値計算ソフトに出力して、回路の動作をシミュレーション出来るようにした。図 1 は NbN-SFQ 回路用に修正した設計環境で Delay Flip Flop (DFF) 回路の数値解析の結果を示している。このように構築した設計環境で NbN-SFQ 回路の動作の解析は可能となった。

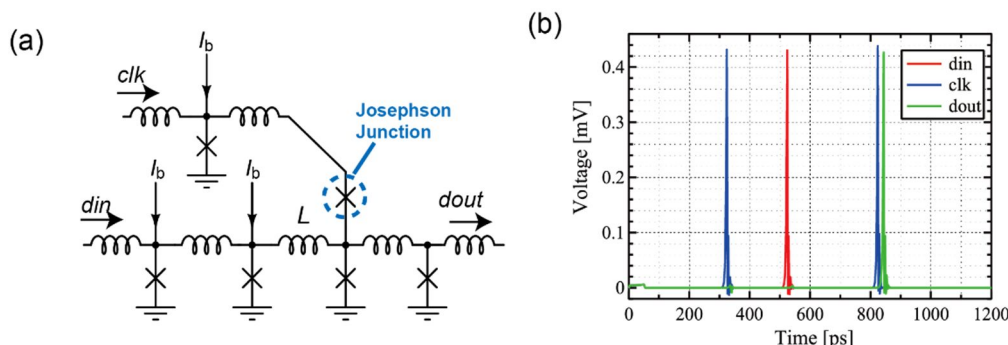


図 1. (a) Delay flip flop (DFF) 回路の等価回路図。 (b) JSIM によるシミュレーション結果。

しかしながら、NbN の薄膜は MgO 上ではエピタキシャル成長した膜であるが、層間絶縁層の  $\text{SiO}_2$  上では多結晶膜となっていることが分かっており、実際にデバイスを作製し、実測した数値を数値計算に反映させることが必須である。そのためデバイスの作製を行いパラメータの抽出

を試みた。図 2 に設計した回路の一部のレイアウトと作製された回路の該当部分の顕微鏡写真を示す。縮小投影型露光装置を用いてパターンニングを行っているが、 $0.5\ \mu\text{m}$  の位置精度で積層構造の集積回路を作製できていることが確認できた。

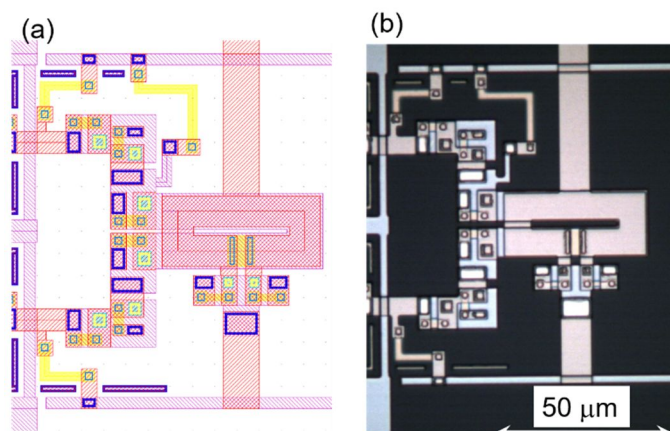


図 2. 設計した回路の(b)CAD 上のレイアウト、(b)顕微鏡写真。

しかしながら、デバイスの評価を試みたところ、NbN の配線がグランドとショートしてしまっていることが確認された。これは何度かデバイスの作製を行い、層間絶縁層の厚み等の作製条件を調整したが改善できなかった。この原因は段差部での NbN 配線のショートが原因であると考え、この段差が発生しないようなプロセスに変更した。プロセス構造の断面図を図 3 に示す。

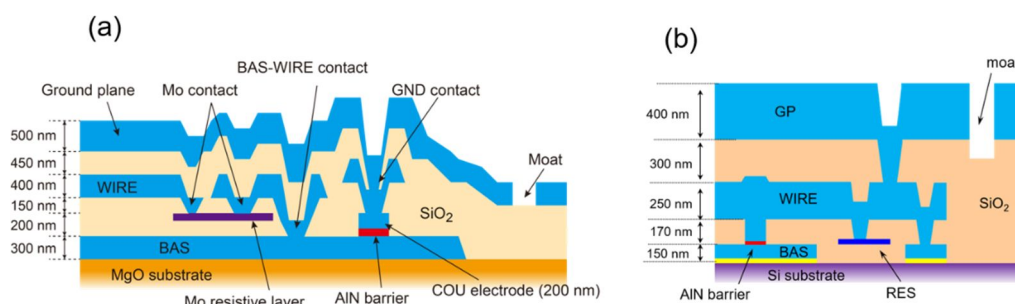


図 3. (a)これまでの NbN-SFQ 回路作製プロセスの断面図。(b)新しく提案した NbN-SFQ 回路作製プロセスの断面図。

新たに導入したプロセス構造では完全平坦化を行うことでこれまでのプロセス構造よりも段差でのショートの可能性を軽減できると考えられる。この場合、NbN 配線の膜厚や層間絶縁層の膜厚が従来のプロセス構造と異なるため、回路パラメータは再度抽出が必要となる。そのような経緯から、改めて回路パラメータを抽出するという事で MgO 基板ではなく Si 基板上に TiN バッファ層を設けた状態で、安定した基板上での NbN-SFQ 回路を作製することにした。回路設計を行い新しい作製プロセスでデバイスを作製したところ、再び NbN 配線がショートしているという結果になった。これはレイアウト設計においてショートしやすいところが多数あったための結果であり、現在再度設計をして作製を進めており、今後評価を行い設計にフィードバックを掛けている予定である。

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計4件（うち招待講演 0件 / うち国際学会 2件）

1. 発表者名 宮嶋 茂之、知名 史博、藪野 正裕、三木 茂人、寺井 弘高
2. 発表標題 超伝導ナノワイヤ単一光子検出器を用いた 光子数識別システムに向けた単一磁束量子信号処理回路の開発
3. 学会等名 第80回応用物理学会秋季学術講演会
4. 発表年 2019年

1. 発表者名 Shigeyuki Miyajima, Masahiro Yabuno, Shigehito Miki, and Hiroataka Terai
2. 発表標題 Demonstration of a 64-pixel superconducting nanowire single-photon imaging sensor with single flux quantum signal processor
3. 学会等名 17th International Superconductive Electronics Conference (ISEC2019) (国際学会)
4. 発表年 2019年

1. 発表者名 Shigeyuki Miyajima, Masahiro Yabuno, Shigehito Miki, and Hiroataka Terai
2. 発表標題 High-time resolved single-flux-quantum encoder for a superconducting nanowire single-photon imager
3. 学会等名 13th Superconducting SFQ VLSI Workshop (SSV2020) (国際学会)
4. 発表年 2020年

1. 発表者名 宮嶋 茂之、知名 史博、三木 茂人、藪野 正裕、寺井 弘高
2. 発表標題 超伝導ナノワイヤ単一光子検出器と単一磁束量子回路を用いた光子数識別システムの開発
3. 学会等名 第67回応用物理学会春季学術講演会
4. 発表年 2020年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------