

令和 5 年 6 月 9 日現在

機関番号：16301

研究種目：若手研究

研究期間：2019～2022

課題番号：19K20234

研究課題名（和文）IoT環境におけるエッジデバイスでの劣化故障検出及び障害予告技術の開発

研究課題名（英文）Aging Fault Detection and Failure Prediction Technologies within IoT Edge Devices

研究代表者

王 森レイ（Wang, Senling）

愛媛大学・理工学研究科（工学系）・講師

研究者番号：90735581

交付決定額（研究期間全体）：（直接経費） 2,600,000円

研究成果の概要（和文）：本研究では、次世代エッジデバイスとして開発が進むMPD（Memory-based Programmable Device）の製造から運用、リタイアまでのライフサイクル全体での高信頼性を向上させる技術確立した。主な成果は以下の通りである。MPDデバイスの製造段階の歩留まり向上のために、メモリセル間の接続配線故障に対する高品質な検出と箇所特定可能診断用テスト生成法を確立した。デバイス運用中の高信頼化のためのマルチサイクルパワーオンセルフテストを確立した。MPDデバイス動作中の劣化検知技術（発振・計数一体式再構成可能遅延計測回路）を提案し、MRDデバイスでの実装方法を確立した。

研究成果の学術的意義や社会的意義

IoT技術の普及により、高性能・高信頼性のエッジデバイスが必要となっている。次世代エッジデバイスとして開発が進むMPD（Memory-based Programmable Device）は、稼働中の異常に対する「予防」、「検知」、「回復」の信頼性要件を満たさなければならない。本研究では、MPDの製造から運用、リタイアまでのライフサイクル全体での高信頼性を向上させる技術確立し、激化する次世代エッジデバイスの研究開発競争において、日本発の信頼性の高いMPD技術の普及を加速することに貢献する。

研究成果の概要（英文）：In this research, we have established techniques to enhance the reliability throughout the lifecycle - from manufacturing to operation, to retirement - of Memory-based Programmable Devices (MPD), which are being developed as next-generation edge devices. Our primary accomplishments are as follows: To improve the manufacturing yield of MPD devices, we have established a high-quality test generation method for detecting and locating faults in the interconnecting wiring between memory cells. We proposed a multi-cycle power-on self-test to enhance the reliability of devices during operation. We have proposed an aging detection technique for MPD devices in operation (oscillation-count integrated reconfigurable delay measurement circuit), and have established a method for its implementation in MPD devices.

研究分野：LSIテスト容易化設計

キーワード：論理再構成デバイス 信頼性設計 テスト 劣化検知

## 1. 研究開始当初の背景

超スマート社会を支える IoT 技術の普及に伴い、膨大なデータ収集と解析処理をリアルタイムに行うために、高性能のエッジデバイスが求められる。MPD(Memory-based Programmable Device)とは、汎用メモリの相互接続で構成される再構成論理デバイスであり、既存技術の FPGA (Field-Programmable Gate Array) と比べて高速処理・低消費電力・低製造コストの優位性がある。そのため、次世代のエッジデバイス技術として新規開発されている。一方で、半導体デバイスの微細化の進展に伴い、経年劣化のような物理現象が顕在化し、デバイスの運用中にハードウェアの故障(信号線の断線や遅延の増大)を引き起こす可能性がある。その結果、予告なしの「誤作動」や「停止」等の障害によるデバイスの信頼性低下が問題視されている。IoT システムでは、経年劣化による障害が生じたデバイスは自ら故障状態を検知し、上層システムに報告する必要がある。そうでないと、低い精度あるいは不正確なデータがそのまま上層システムに取り込まれ、システムレベルの障害(データ解析精度低下、機能安全低下)を引き起こす可能性がある。これまでは、デバイスの製造段階における劣化予測手法による障害率評価や障害回避のための冗長・多重化設計などの信頼性向上方法が提案されてきた。しかし、デバイスの運用時における経年や環境が要因となる劣化に対する高信頼化技術はまだ確立されていない。特に、MPD は図 1 に示すように論理要素と配線要素が明確に区別されていない特徴的な構造を持つため、既存の論理再構成デバイス向けのテスト手法を適用することが難しい。そこで、本研究では次世代エッジデバイスとして開発されている MPD の製造から運用、リタイアまでのライフサイクルの高信頼性を向上する技術を提案する。

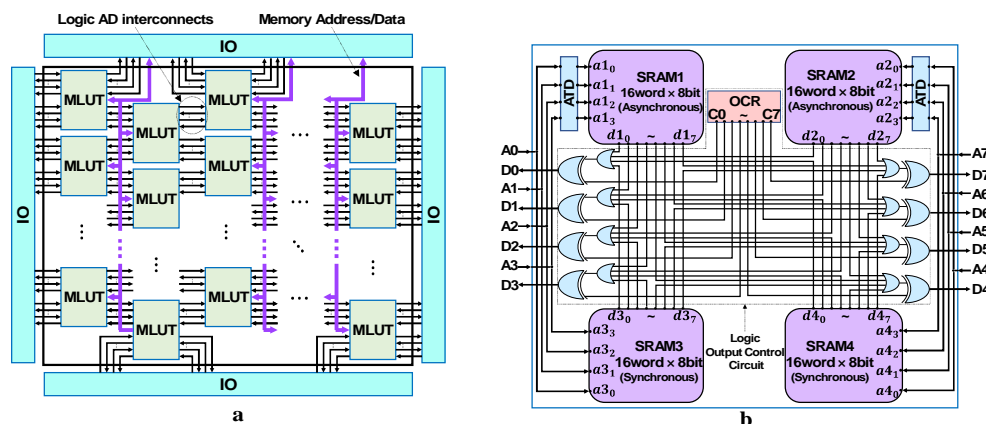


図1 MPDアーキテクチャー; a: 全体構成(MLUT 行列); b: MLUT 単体構造

## 2. 研究の目的

本研究の目的は、次世代エッジデバイスとして開発されている MPD の製造から運用、リタイアまでのライフサイクルの高信頼性を向上させる技術を確認することである。具体的には、MPD の歩留まり向上及び信頼性向上のためには、汎用メモリセル間の相互接続配線(アドレス線とデータ線)における製造欠陥(断線やショートなど)を高品質に検出するテスト生成方法を提案する; デバイスの運用中に発生するランダム故障を短時間で検出するパワーオンセルフテスト技術を確認する; MPD デバイスの劣化状態を検知するオンチップ遅延計測技術を提案する; MPD の特徴的な構造に適した論理合成手法を確認する。これらを通じて、競争が激化する次世代エッジデバイスの研究開発において、日本発の高信頼性のある MPD 技術の普及を加速させることを目指す。

## 3. 研究の方法

「2019 年度」

### メモリセル間の接続配線故障の高品質テスト生成

MPD の汎用メモリセル間の接続配線における物理欠陥(ショートと断線)の論理的振る舞いを解析し、縮退故障およびブリッジ故障の故障モデルを確認した。各種故障を励起および伝搬させるための External Driving Pattern およびメモリ内で構成する Test Cube の生成方法を提案した。

### デバイス運用中のフィールドテスト品質強化

デバイスの運用中に発生するランダム故障を短時間で検出するために、デバイスの電源投入時にテストを実行するパワーオンセルフテストを提案した。限られたテスト時間内に多くの故障を検出するために、テスト対象回路の可制御性を向上させるテストポイント挿入法を提

案した。

#### 劣化状態検知のための遅延計測回路設計

MPD デバイスにおける経年劣化による信頼性への影響と要因および劣化による遅延分布について解析を行い、最も劣化の影響を受けやすい回路部分を特定した。また、デバイス全体(メモリアレイ)の遅延測定対象(グローバル遅延とローカル遅延)を特定し、それぞれを測定するための遅延計測回路および実装方法を検討した。

「2020 年度」

#### メモリセル間の接続配線故障の診断用テスト生成

MPD デバイスの信頼性向上のためには、故障の検出だけでなく、故障の発生箇所も特定することが重要である。そのため、メモリセルアレイ上の接続配線における単一縮退故障の箇所を特定するための診断用テスト生成方法を提案した。

#### デバイス運用中のフィールドテスト品質強化

デバイスの運用中に発生するランダム故障を短時間で検出するために、デバイスの電源投入時にテストを実行するパワーオンセルフテストを提案した。限られたテスト時間内に多くの故障を検出するために、テスト対象論理回路の可制御性を向上させるテストポイント挿入法を提案した。

#### 配置配線による遅延計測精度評価および測定誤差低減方法の検討

MPD の配置配線を考慮した回路シミュレーションを実施し、提案した RO(リングオシレーター)回路の遅延測定精度を評価した。さらに、製造バラツキによる遅延測定誤差への影響を評価し、測定誤差を低減する方法について検討した。

#### MPD のメモリセル行列の接続構造に適したロジックファンクションの mapping 方法の検討

「2021 年度」

#### 接続配線におけるブリッジ故障の診断用テスト生成法

以前に開発したメモリセル間の接続配線における縮退故障の診断法を基に、ブリッジ故障および断線故障の特定箇所を高精度に特定する診断用テスト生成法を提案した。この提案法では、故障の種類に応じて故障の影響を指定した観測ポートへ伝搬させるために、横、縦、対角の三つの方向への伝搬経路を形成するルーティングパターンを提案した。

#### 時間展開回路におけるテストポイント挿入手法の提案

論理回路の時間的な可制御性と可観測性を改善するためのテストポイント挿入手法を提案し、ベンチマーク回路にてその効果を検証した。

#### MPD の特徴的な構造に適した論理構成法の提案

MPD での故障診断用経路の形成や遅延計測論理の構築を補助するために、機能レベルでのパーティショニングと真理値表自動生成ツールを開発した。

「2022 年度」

#### 多重故障の診断用テスト生成法

以前に提案した接続故障の診断用テスト生成法を基に、メモリセル行列上での多重故障の検出と診断箇所特定を行う方法を拡張した。

#### 時間展開回路のテスト容易化ツールの開発

昨年度に提案した時間的な可制御性と可観測性を改善するテストポイント挿入手法を基に、時間展開した論理回路の確率的故障検出率を強化する観測点と制御点の自動選定ツールを開発した。超大規模回路のテストポイント選定に向けて、深層学習を含む人工知能技術の論理回路のテスト容易化設計への応用可能性について検討した。

#### オンチップ遅延計測回路の性能改善

MPD デバイスにおけるメモリセル単体の劣化遅延(ローカル遅延)を高精度に計測するためのリングオシレーターの設計と実装方法の改善を提案した。

#### MPD 向け論理合成ツールの改良

MPD でのロジックファンクション実装のためのパーティショニングと真理値表自動生成ツールに対して、デバッグ作業と必要な機能拡張を行った。

#### 4. 研究成果

本研究では、次世代エッジデバイスとして開発が進む MPD の製造から運用、そしてリタイアまでのライフサイクル全体での高信頼性を向上させる技術を確認した。主な成果は以下の通りである。

- (1) MPD デバイスの製造段階の歩留まり向上のために、メモリセル間の相互接続配線(アドレス線とデータ線)における製造欠陥(断線とショート)の故障モデルを確立し、各種の故障(縮退故障、ブリッジ故障、オープン故障)を高品質に検出するテスト方法、および、多重故障を含めた故障箇所を特定する診断用テスト生成法を確立した。

図 2 には MPD における接続配線欠陥の故障に対するテスト生成法の全体図を示す。a はメモリセル (MLUT) 間の接続欠陥(ショートと断線)の論理的な振る舞いを解析し、縮退故障、ブリッジ故障(論理和型、論理積型)として数式化にして故障モデルとして確立した。b は各種の故障を検出するための共通テスト手順を示している。基本的には、故障を励起させるための外部入力に印加する Driving Pattern (Walking-zero/one) および故障の影響を観測点(外部出力)まで伝搬させる経路を形成するメモリセル内に書き込む Test Cube が必要である。それぞれの生成方法は c と d で示す。e と f では縮退故障と AND(論理積)型のブリッジ故障に対するテスト例を示している。m 対の相互接続を有するメモリセルの行列 ( $x \times y$ ) において、最大の故障線数が  $((x+1)y+(x-1)2)m$  であり、提案したテスト生成方法は各種の故障に対して 100% の検出率で検出および箇所特定することが確認された。テストキューブの書き込み回数が最も時間がかかるケースでは、縮退故障は 2 回、ブリッジ故障は最大で 3 回となる。この成果は、国際会議 ITC-CSCC2020(日本)、ITC-CSCC2021(韓国)、IEEE WRTL2021(日本)にて発表した。また、電子情報通信学会の英文誌 THE IEICE TRANSACTIONS ON INFORMATION AND SYSTEMS にトランザクション論文を投稿している。国内では、エレクトロニクス実装学会が主催する展示会(JPCA とセミコンダクタジャパン)にて本研究成果を展示した。

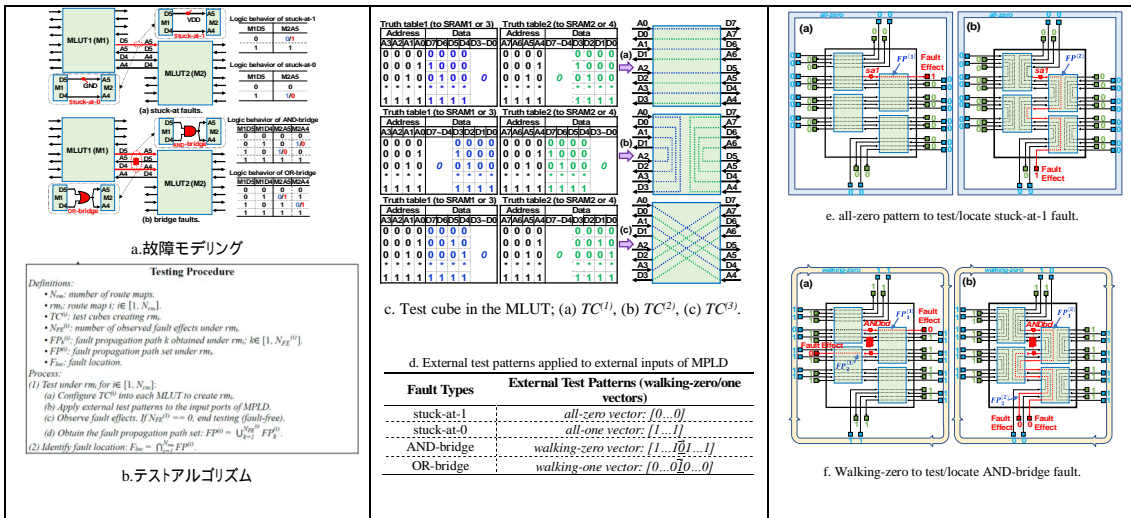


図 2 MPD における接続配線欠陥の故障に対するテスト生成法

- (2) デバイス運用中の高信頼化のためのマルチサイクルパワーオンセルフテストを提案した

デバイスの運用中に経年劣化などが引き起こす故障をフィールドで検出するために、電源投入からシステムの立ち上がるまでの時間を利用し、故障の有無を検査するパワーオンセルフテストの故障検出能力を強化する目的で、検査対象回路の機能動作パターンを活用したマルチサイクル BIST を提案した。さらに、マルチサイクル BIST による時間展開回路における機能パターンの故障検出不振問題について、テスト対象回路を多時間展開した場合の故障検出モデルを解析した。また、信号線の可制御性が時間とともに 0 か 1 に偏るバイアシングメカニズムを解明した。このバイアシングを緩和するために、時間展開回路を対象としたテスト検査点挿入技術を提案し、最適なテストポイントの挿入箇所を特定するために、先行研究で提案した構造解析に基づいた評価マトリクスに時間的な情報を考慮した選定アルゴリズムを提案した。図 3 は、パワーオン組み込み自己テスト(POST)、マルチサイクル BIST の構成、故障検出モデル、故障検出強化のための検査点回路設計と挿入技術の全体図を示す。この研究成果は、国際会議 ITC-CSCC2019(韓国)、ITC-CSCC2020(日本)、および電子情報通信学会が主催する DC 研究会 2019、2020、2022、デザインガイア 2022 で発表した。さらに、分野トップクラスの論文誌 ACM Transactions on Design Automation of Electronic Systems および電子情報通信学会の英文誌 THE IEICE TRANSACTIONS ON INFORMATION AND SYSTEMS で発表した。



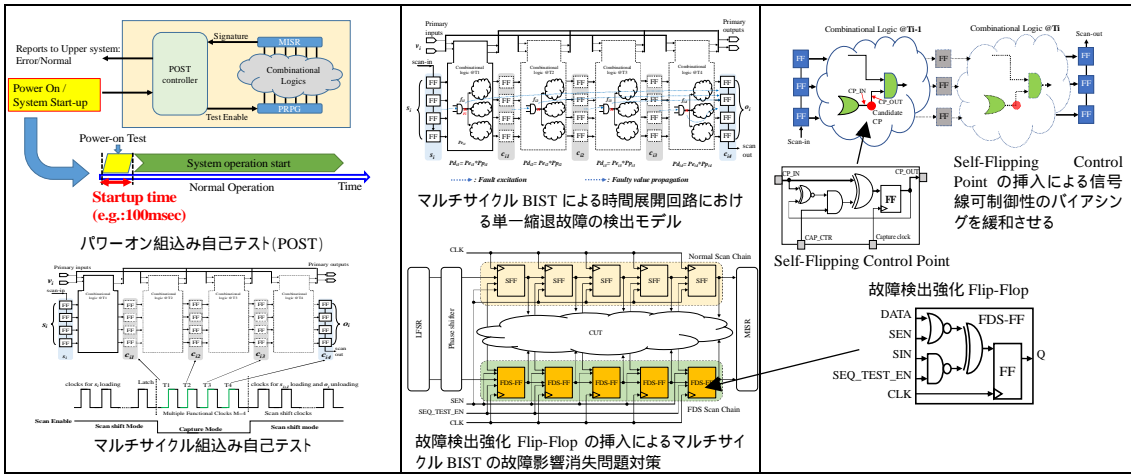


図3 マルチサイクルパワーオンセルフテスト技術の全体像

### (3) MPD デバイス動作中の劣化検知技術の確立

MPD デバイスにおける経年劣化による信頼性への影響と要因、および劣化による遅延分布についての解析を行い、最も劣化の影響を受けやすい回路部が ATD (Address Transition Detector) であることを確認した。デバイスの経年劣化に伴うメモセル単体遅延 (ローカル遅延) とメモセルアレイにおける遅延 (グローバル遅延) を計測対象として特定し、それぞれを測定するための再構成可能な遅延計測回路 (RO 発振論理回路) の設計と実装方法を提案した。さらに、RO の発振周波数を数えるための再構成可能カウンタ回路を RO 論理と一体化した設計とその実装方法を提案した。シミュレーション実験により、提案した発振・計数一体式再構成可能遅延計測回路が、メモセル間の接続遅延 (ATD 遅延と配線遅延) を高精度 (0.1ns まで) で計測できることを確認した。図4は、提案したオンチップ発振・計数一体式再構成可能遅延計測回路の構造と MPD における実装方法を示す。この研究成果は、国際会議 ITC-CSCC2020(日本)、ITC-CSCC2021(韓国)、IEEE WRTL2021(日本)で発表しました。また、電子情報通信学会の英文誌 THE IEICE TRANSACTIONS ON INFORMATION AND SYSTEMS にトランザクション論文を投稿している。

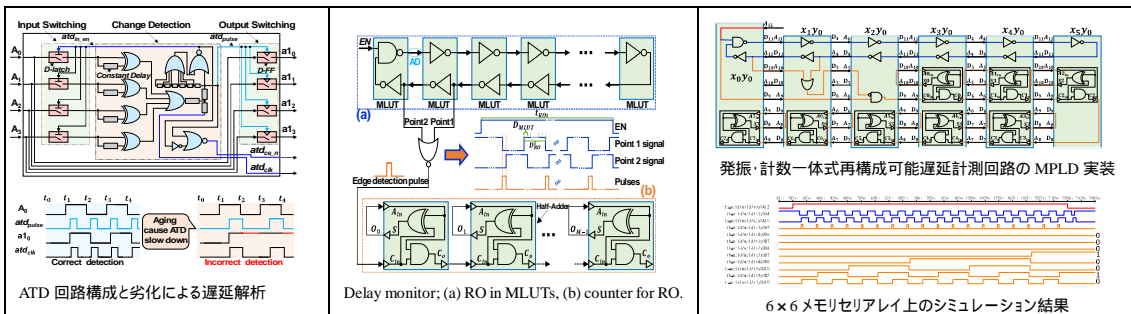


図4 オンチップ発振・計数一体式再構成可能遅延計測回路によるMPLDの遅延モニタリング

以上の研究成果により、熾烈な国際競争中にある次世代エッジデバイスの研究開発に日本発の高信頼性のある MPD 技術の普及を加速させることが期待されている。

## 5. 主な発表論文等

〔雑誌論文〕 計12件（うち査読付論文 12件 / うち国際共著 3件 / うちオープンアクセス 0件）

1. 著者名 Wang Senling, Zhou Xihong, Higami Yoshinobu, Takahashi Hiroshi, Iwata Hiroyuki, Maeda Yoichi, Matsushima Jun	4. 巻 28
2. 論文標題 Test Point Insertion for Multi-Cycle Power-On Self-Test	5. 発行年 2022年
3. 雑誌名 ACM Transactions on Design Automation of Electronic Systems	6. 最初と最後の頁 1~21
掲載論文のDOI (デジタルオブジェクト識別子) 10.1145/3563552	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Inamoto Tsutomu, Nishino Tomoki, Wang Senling, Higami Yoshinobu, Takahashi Hiroshi	4. 巻
2. 論文標題 Preliminary Study on Noise-Resilient Artificial Neural Networks for On-Chip Test Generation	5. 発行年 2022年
3. 雑誌名 2022 IEEE 11th Global Conference on Consumer Electronics (GCCE)	6. 最初と最後の頁 561-565
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/GCCE56475.2022.10014218	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Higami Yoshinobu, Yamauchi Takaya, Inamoto Tsutomu, Wang Senling, Takahashi Hiroshi, Saluja Kewal K.	4. 巻
2. 論文標題 Machine Learning Based Fault Diagnosis for Stuck-at Faults and Bridging Faults	5. 発行年 2022年
3. 雑誌名 International Technical Conference on Circuits/Systems, Computers, and Communications (ITC-CSCC)	6. 最初と最後の頁 pp. 477-480
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ITC-CSCC55581.2022.9894966	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する
1. 著者名 Zhou Xihong, Wang Senling, Higami Yoshinobu, Takahashi Hiroshi, Katsu Mitsunori, Sekiguchi Shoichi	4. 巻 2021
2. 論文標題 MNN: A Solution to Implement Neural Networks into a Memory-based Reconfigurable Logic Device (MRLD)	5. 発行年 2021年
3. 雑誌名 2021 36th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC)	6. 最初と最後の頁 1-4
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ITC-CSCC52171.2021.9501454	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Higami Yoshinobu, Nakamura Tomokazu, Inamoto Tsutomu, Wang Senling, Takahashi Hiroshi, Saluja Kewal K.	4. 巻 2021
2. 論文標題 Compaction of Fault Dictionary without Degrading Diagnosis Ability	5. 発行年 2021年
3. 雑誌名 2021 36th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC)	6. 最初と最後の頁 1-4
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/itc-csc52171.2021.9501474	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Xihong Zhou, Senling Wang, Yoshinobu Higami, Hiroshi Takahashi	4. 巻 2021
2. 論文標題 Diagnosis for Interconnect Faults in Memory-based Reconfigurable Logic Device	5. 発行年 2021年
3. 雑誌名 IEEE the 22nd Workshop on RTL and High Level Testing (WRTLTL)	6. 最初と最後の頁 11-16
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Wang Senling, Kameyama Shuichi, Takahashi Hiroshi	4. 巻 24
2. 論文標題 JTAG Security Threats: Current Attacks and Countermeasures	5. 発行年 2021年
3. 雑誌名 Journal of The Japan Institute of Electronics Packaging	6. 最初と最後の頁 668 ~ 674
掲載論文のDOI (デジタルオブジェクト識別子) 10.5104/jiep.24.668	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Al-AWADHI Hanan T., AONO Tomoki, WANG Senling, HIGAMI Yoshinobu, TAKAHASHI Hiroshi, IWATA Hiroyuki, MAEDA Yoichi, MATSUSHIMA Jun	4. 巻 E103.D
2. 論文標題 FF-Control Point Insertion (FF-CPI) to Overcome the Degradation of Fault Detection under Multi-Cycle Test for POST	5. 発行年 2020年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 2289 ~ 2301
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transinf.2019EDP7235	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Xihong Zhou; Senling Wang; Yoshinobu Higami; Hiroshi Takahashi	4. 巻 2020
2. 論文標題 Aging Monitoring for Memory-based Reconfigurable Logic Device (MRLD)	5. 発行年 2020年
3. 雑誌名 International Technical Conference on Circuits/Systems, Computers and Communications	6. 最初と最後の頁 228-233
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Yoshinobu Higami; Tsutomu Inamoto; Senling Wang; Hiroshi Takahashi; Kewal K. Saluja	4. 巻 2020
2. 論文標題 Reduction of Fault Dictionary Size by Optimizing the Order of Test Patterns Application	5. 発行年 2020年
3. 雑誌名 International Technical Conference on Circuits/Systems, Computers and Communications	6. 最初と最後の頁 131-136
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Wang Senling, Al-Awadhi Hanan T., Aohagi Masatoshi, Higami Yoshinobu, Takahashi Hiroshi	4. 巻 -
2. 論文標題 Feasibility of Machine Learning Algorithm for Test Partitioning	5. 発行年 2019年
3. 雑誌名 International Technical Conference on Circuits/Systems, Computers and Communications	6. 最初と最後の頁 1-4
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ITC-CSCC.2019.8793328	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Higami Yoshinobu, Nakamura Tomokazu, Inamoto Tsutomu, Wang Senling, Takahashi Hiroshi, Saluja Kewal K.	4. 巻 -
2. 論文標題 Compact Dictionaries for Reducing Compute Time in Adaptive Diagnosis	5. 発行年 2019年
3. 雑誌名 International Technical Conference on Circuits/Systems, Computers and Communications	6. 最初と最後の頁 1-4
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ITC-CSCC.2019.8793429	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -



〔学会発表〕 計16件（うち招待講演 0件 / うち国際学会 0件）

1. 発表者名 青野智己, Hanan T. Al-Awadhi, 王 森レイ, 樋上喜信, 高橋 寛, 岩田浩幸, 前
2. 発表標題 マルチサイクルテストにおける故障検出強化のためのFFトグル制御ポイントの選択法
3. 学会等名 ディペンダブルコンピューティング研究会
4. 発表年 2019年

1. 発表者名 中岡典弘, 青野智己, 工藤壮司, 王 森レイ, 樋上喜信, 高橋 寛, 岩田浩幸, 前田洋一, 松嶋 潤
2. 発表標題 確率ベース手法を用いたマルチサイクルテストにおけるキャプチャパターンの故障検出能力低下問題の解析
3. 学会等名 デザインガイア2019
4. 発表年 2019年

1. 発表者名 青野智己, 中岡典弘, 周 細紅, 王 森レイ, 樋上喜信, 高橋 寛, 岩田浩幸, 前田洋一, 松嶋 潤
2. 発表標題 マルチサイクルテストにおける故障検出強化のためのテストポイント挿入法
3. 学会等名 ディペンダブルコンピューティング研究会
4. 発表年 2019年

1. 発表者名 中岡典弘, 王 森レイ, 樋上喜信, 高橋 寛, 岩田浩幸, 前田洋一, 松嶋 潤
2. 発表標題 マルチサイクルテストにおける故障検出率の推定法
3. 学会等名 ディペンダブルコンピューティング研究会
4. 発表年 2020年

1. 発表者名 環 輝, 王 森レイ, 樋上喜信, 高橋 寛, 岩田浩幸, 前田洋一, 松嶋 潤
2. 発表標題 マルチサイクルテストにおけるスキャンパターン削減指向制御ポイントの選定法
3. 学会等名 デザインガイア2020
4. 発表年 2020年

1. 発表者名 魏 少奇, 塩谷晃平, 王 森レイ, 甲斐 博, 樋上喜信, 高橋 寛
2. 発表標題 グラフニューラルネットワークと深層強化学習による論理回路のテストポイント選択法.
3. 学会等名 ディベンドブルーコンピューティング研究会
4. 発表年 2022年

1. 発表者名 白石忠明, 高橋寛, WANG Senling
2. 発表標題 ディープニューラルネットワークを利用したシステムに対する高効率な検証法
3. 学会等名 情報科学技術フォーラム講演論文集 (FIT)
4. 発表年 2022年

1. 発表者名 神崎 壽伯, 王 森レイ, 樋上 喜, 信, 甲斐 博, 高橋 寛
2. 発表標題 マルチサイクル機能動作による故障診断用パターン生成
3. 学会等名 令和3年度電気・電子・情報関係学会四国支部連合大会
4. 発表年 2021年

1. 発表者名 山内 崇矢, 稲元 勉, 王 森レイ, 樋上 喜信, 高橋 寛
2. 発表標題 機械学習を用いた複数故障モデルの故障診断
3. 学会等名 令和3年度電気・電子・情報関係学会四国支部連合大会
4. 発表年 2021年

1. 発表者名 魏 少奇, 王 森レイ, 甲斐 博, 樋上 喜信, 高橋 寛
2. 発表標題 グラフ量み込みニューラルネットワークを用いたテストポイント選定について
3. 学会等名 令和3年度電気・電子・情報関係学会四国支部連合大会
4. 発表年 2021年

1. 発表者名 王 宇超, 王 森レイ, 樋上 喜信, 甲斐 博, 高橋 寛
2. 発表標題 マルチサイクルテストの導入による組込自己診断の故障診断能力評価
3. 学会等名 令和3年度電気・電子・情報関係学会四国支部連合大会
4. 発表年 2021年

1. 発表者名 中岡典弘・青野智己・王 森レイ・高橋 寛(愛媛大)・松嶋 潤・岩田浩幸・前田洋一(ルネサスエレクトロニクス)
2. 発表標題 ハイブリッドテストポイント挿入法のマルチサイクルテストへの適用とその性能評価
3. 学会等名 電子情報通信学会総合大会
4. 発表年 2020年

1. 発表者名 周 細紅、王 森レイ、樋上 喜信、高橋 寛
2. 発表標題 メモリベース論理再構成デバイス(MRLD)における劣化状態検知のためのリングオシレータ実装
3. 学会等名 第34回エレクトロニクス実装学会春季講演大会
4. 発表年 2020年

1. 発表者名 青野智己,王 森レイ, 樋上喜信, 高橋 寛
2. 発表標題 マルチサイクルテストにおける故障検出低下問題の解析とその対策
3. 学会等名 電気関係学会四国支部連合大会
4. 発表年 2019年

1. 発表者名 中岡 典弘, 王 森レイ, 高橋 寛
2. 発表標題 論理再構成デバイス(MRLD)における配置配線を考慮した完全オープン故障に対するテスト手法
3. 学会等名 電気関係学会四国支部連合大会
4. 発表年 2019年

1. 発表者名 中村 友和, 稲元 勉, 王 森レイ, 樋上 喜信, 高橋 寛
2. 発表標題 圧縮故障辞書を用いたフィールド故障診断
3. 学会等名 電気関係学会四国支部連合大会
4. 発表年 2019年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

愛媛大学教育研究者洋要覧 <a href="https://yoran.office.ehime-u.ac.jp/Profiles/7/0000640/profile.html">https://yoran.office.ehime-u.ac.jp/Profiles/7/0000640/profile.html</a> 愛媛大学教育研究者洋要覧 <a href="http://yoran.office.ehime-u.ac.jp/profile/ja.cc9d5be88d6411cc60392a0d922b9077.html?mode=pc">http://yoran.office.ehime-u.ac.jp/profile/ja.cc9d5be88d6411cc60392a0d922b9077.html?mode=pc</a>
--

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計13件

国際研究集会 2021 36th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC)	開催年 2021年～2021年
国際研究集会 IEEE the 22nd Workshop on RTL and High Level Testing (WRTLTL)	開催年 2021年～2021年
国際研究集会 IEEE VLSI Test Symposium	開催年 2021年～2021年
国際研究集会 IEEE European Test Symposium	開催年 2021年～2021年
国際研究集会 IEEE Asian Test Symposium	開催年 2021年～2021年
国際研究集会 IEEE International Symposium on On-Line Testing and Robust System	開催年 2021年～2021年
国際研究集会 International Technical Conference on Circuits, Systems, Computers, and Communications (ITC-CSCC2020)	開催年 2020年～2020年
国際研究集会 The 29th IEEE Asian Test Symposium (ATS'20)	開催年 2020年～2020年
国際研究集会 The 25th IEEE European Test Symposium (ETS)	開催年 2020年～2020年
国際研究集会 IEEE International Test Conference in Asia	開催年 2020年～2020年

国際研究集会 IEEE WRTL2020	開催年 2020年～2020年
国際研究集会 The 34th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC)	開催年 2019年～2019年
国際研究集会 ITC-Asia 2019: The 3rd International Test Conference in Asia	開催年 2019年～2019年

8 . 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------