

令和 3 年 6 月 25 日現在

機関番号：32660

研究種目：研究活動スタート支援

研究期間：2018～2020

課題番号：18H05909・19K21081

研究課題名(和文) f_{max} の2倍以上の搬送波周波数を持つミリ波帯CMOS無線トランシーバ研究課題名(英文) Millimeter-wave CMOS wireless transceiver with carrier frequency above twice f_{max}

研究代表者

高野 恭弥 (Takano, Kyoya)

東京理科大学・理工学部電気電子情報工学科・助教

研究者番号：10822801

交付決定額(研究期間全体)：(直接経費) 2,300,000円

研究成果の概要(和文)：レガシープロセスである $0.18\ \mu\text{m}$ CMOSプロセスを用いて、ファウンドリから提供されたnMOSFETの最大発振周波数(f_{max})のおよそ2倍の周波数である60 GHz帯で動作する無線トランシーバの実現を目指した。 f_{max} が2倍以上向上するnMOSFET構造を提案し、また、容量中和技術を用いてミキサの性能を改善する手法を提案することによって、アップコンバージョンミキサを用いた通信実験では4 Gbit/sの通信速度を実現した。これにより、Gbit/s級の通信速度を持つ60 GHz帯無線トランシーバを実現できる可能性が示された。

研究成果の学術的意義や社会的意義

本研究により、nMOSFETの最大発振周波数(f_{max})が低いプロセスでも、提案したデバイス構造や、提案した回路性能向上技術を用いることにより、通常の f_{max} 以上の周波数で回路を実現できることが示された。これにより、安価にミリ波帯無線トランシーバを実現することが可能になることから、モノのインターネット(IoT)でのミリ波帯の利用が加速するものと期待される。また、本研究で得られた知見は、先端プロセスでテラヘルツ波帯の無線トランシーバを実現することにも利用可能である。

研究成果の概要(英文)：Using a $0.18\ \mu\text{m}$ CMOS process, which is a legacy process, I aimed to realize a wireless transceiver that operates in the 60-GHz band. Its frequency band is about twice the maximum oscillation frequency (f_{max}) of an nMOSFET provided by a foundry. By proposing an nMOSFET structure that improves f_{max} more than twice, and by proposing a method to improve the performance of mixers using capacitance neutralization technique, the data rate of 4 Gbit/s was achieved in a communication experiment using the proposed up-conversion mixer. This work has shown the possibility of realizing a 60-GHz band wireless transceiver with the Gbit/s-class data rate.

研究分野：アナログRF集積回路

キーワード：60GHz帯 速通信 トランシーバ $0.18\ \mu\text{m}$ CMOS デバイスマデリング ミリ波 最大発振周波数 集積回路 高

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属します。

1. 研究開始当初の背景

近年、ミリ波帯は第5世代モバイル通信システム(5G)での高速無線通信や、自動車レーダなどに利用され、ミリ波帯の産業利用が広がっている。ミリ波帯無線トランシーバを実現するためには通常、回路の動作周波数の3倍以上の最大発振周波数(f_{max})を持つトランジスタが用いられる。そのため、当初は f_{max} の高い化合物半導体を用いてミリ波帯無線トランシーバが実現されてきたが、近年はCMOSプロセスの微細化による性能向上により、CMOSプロセスがミリ波回路に用いられるようになってきた。しかし、先端プロセスはコストが高く、モノのインターネット(IoT)のように様々なモノに安価に無線トランシーバを搭載する必要があるようなものにはミリ波帯トランシーバは不向きであった。

2. 研究の目的

安価に高速無線通信を実現するために、 f_{max} が回路の動作周波数以下である低コストCMOSプロセスを用いて、ミリ波帯無線トランシーバの実現を目指す。具体的には f_{max} がおよそ30GHzである0.18 μm CMOSプロセスを用いて、 f_{max} のおよそ2倍の動作周波数となる、60GHz帯無線トランシーバを実現し、Gbit/s級の通信速度を目指す。 f_{max} の2倍以上の周波数で搬送波周波数を発生させるということはこれまでにない挑戦的な課題であり、本研究で得られた知見はより高い周波数、例えば f_{max} が300GHzのプロセスで600GHzや1THzの無線トランシーバを実現する際にも応用可能であると考えられる。

3. 研究の方法

本研究課題では以下の3つの課題に取り組みながら進める。

- (1) 基本デバイスの設計とモデリング：MOSFETや伝送線路、キャパシタやインダクタといったデバイスの評価用素子を試作、測定し、ミリ波用デバイスモデルを構築する。
- (2) 要素回路の設計と評価：構築したミリ波用デバイスモデルを元に、ミリ波トランシーバの要素回路を設計する。
- (3) 設計、試作した要素回路を用いて通信実験を行う。

4. 研究成果

(1) 基本デバイスの設計とモデリング

① nMOSFETの f_{max} の改善

0.18 μm CMOSプロセスのnMOSFETの f_{max} を改善するために、2種類のnMOSFET構造を提案した。1つはコンパクト型の構造で、もう1つはラウンドテーブル型の構造である。図1にコンパクト型nMOSFETのレイアウト図を、図2にラウンドテーブル型nMOSFETのレイアウト図を示す。どちらもnMOSFETの寄生抵抗を低減することで、 f_{max} の向上を図っている。図3に試作したnMOSFET評価用素子の顕微鏡写真を示す。図4に測定したSパラメータから求めたMason利得の周波数特性を示す。ゲート幅は16 μm 、ドレイン・ソース間電圧(V_{ds})は1.8V、ゲート・ソース間電圧(V_{gs})は1.1Vである。コンパクト型、ラウンドテーブル型それぞれで85GHzと95GHzの f_{max} を達成した。提案したnMOSFETを用いることにより、0.18 μm CMOSプロセスでもミリ波回路の実現が可能になる。

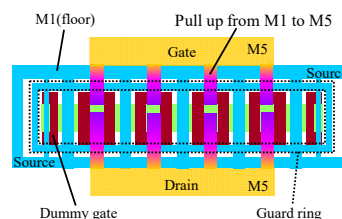


図1 コンパクト型nMOSFETのレイアウト

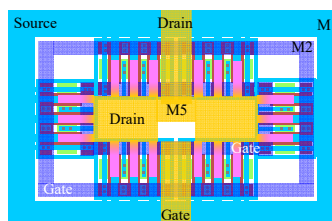


図2 ラウンドテーブル型nMOSFETのレイアウト

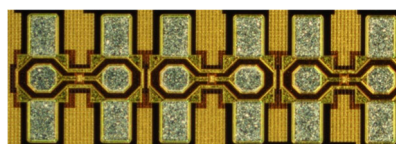


図3 nMOSFET評価用素子の顕微鏡写真

② nMOSFETのモデリング

提案したコンパクト型nMOSFETの50GHzまで対応したコンパクトモデルを実現した。このモデルでは、モデルパラメータをゲート電圧とドレイン電圧を変数とした多項式で表現している。本研究では、多項式の次数の最適化を行い、モデルの精度を改善する。図5にnMOSFET評価用素子の等価回路モデルを示す。nMOSFETにおけるパッド成分、引き出し線成分、バイアス無依存の直列抵抗成分をそれぞれ順に、Thru-

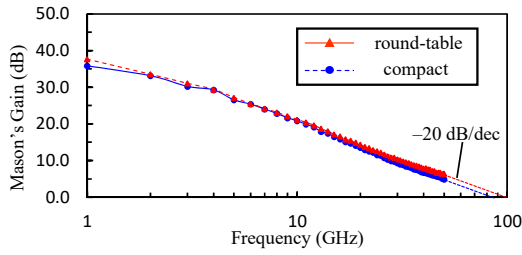


図4 試作したnMOSFETのMason利得

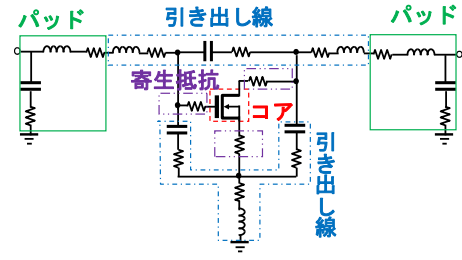


図5 nMOSFET評価用素子の等価回路

only法、Short-open法、Cold-FET法を用いて取り除いた。さらに、図6のようにnMOSFETのコアモデルを仮定し、バイアスを変化させて測定したSパラメータからYパラメータを求めた。Yパラメータからバイアスの関数であるキャパシタンスやコンダクタンスを図7(a)のように求め、次数の異なる多項式を用いて近似し、図7(b)(c)のような特性を得た。それらを更に積分することにより原始関数 Q_{gs} 、 Q_{ds} 、 I_{ds} を求め、nMOSFETのモデルとした。図8に実測と、低次及び高次の多項式を用いたモデルのYパラメータの比較を示す。低次より高次の多項式を用いることにより、実測とモデルの誤差が減少することが確認できた。このモデルを使用することにより、0.18 μm CMOS プロセスでもミリ波帯での回路設計が可能になる。

その他にも、伝送線路やインダクタ、キャパシタ等のデバイスのミリ波モデルを作成した。

(2) 要素回路の設計

① 容量中和技術を用いた60 GHz帯CMOSシングルバランスドアップコンバージョンミキサ

60 GHz帯無線通信機においてアップコンバージョンミキサは搬送波を変調する重要な回路であり、性能向上が求められている。しかし、60 GHz帯のような高い周波数帯ではMOSFETの寄生容量が周波数特性やアイソレーションの劣化を生じさせ、回路性能を低下させることが問題となっている。一方、ミリ波帯の増幅器では、MOSFETのゲート・ドレイン間容量を打ち消すために差動増幅器にクロスカップルキャパシタを挿入する容量中和技術が提案されている。本研究では、容量中和技術をシングルバランスドミキサの局部発振信号(LO)入力用差動nMOSFETに適用し、性能が向上することを示す。

容量中和技術を用いた60 GHz帯アップコンバージョンミキサの回路図を図9に示す。LO入力用差動nMOSFETにクロスカップルキャパシタを挿入することにより、ゲート・ドレイン間容量を打ち消している。

容量中和技術の有効性を示すために、クロスカップルキャパシタを用いた場合と用いない場合で変換利得とRF出力電力特性の比較を行った。クロスカップルキャパシタ有り無しの場合ではそれぞれでLOポートとRFポートに60 GHz帯のインピーダンス整合回路を挿入している。LO周波数は60 GHzである。また、レイアウトによって生じる引き出し線の成分を含めて

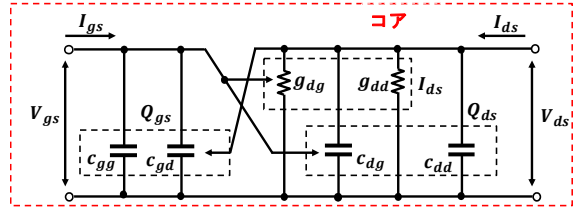
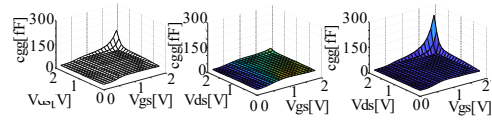


図6 nMOSFETのコアモデル



(a)実測 (b)モデル(低次) (c)モデル(高次)
図7 V_{gs} と V_{ds} を変化させたときの c_{gg} の変化

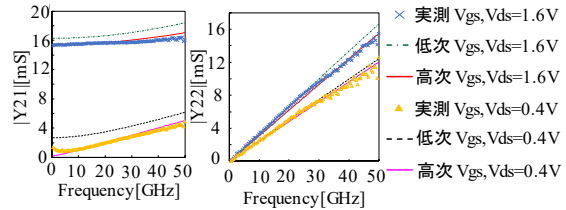


図8 Yパラメータの比較

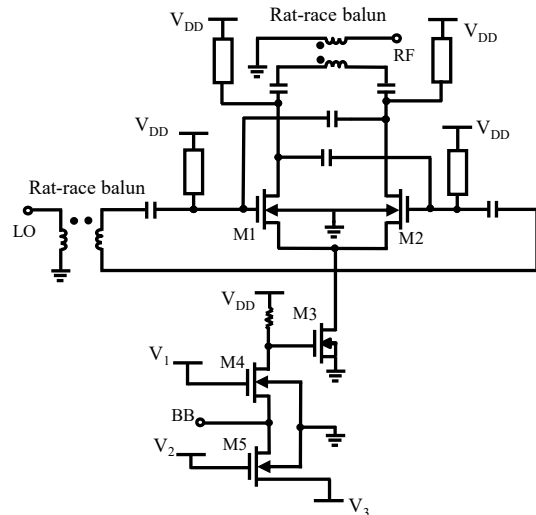


図9 提案するミキサの回路図

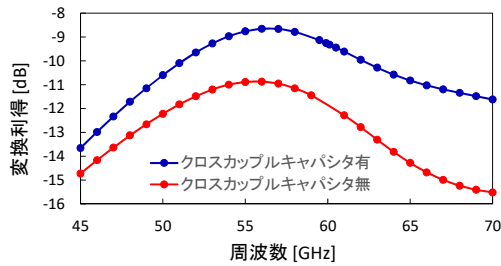


図 10 変換利得の周波数特性

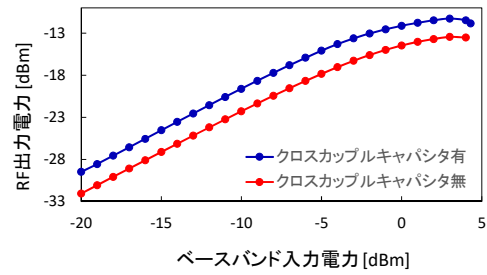


図 11 RF 出力電力とベースバンド入力電力の関係

回路シミュレーションを行った。

図 10 にベースバンド (BB) 信号と LO 信号の入力電力をそれぞれ -10 、 2 dBm とし、BB 周波数を変化させた時の変換利得の周波数特性を示す。横軸は RF 周波数である。RF 周波数が 45 GHz から 70 GHz においてクロスカプルキャパシタを挿入している方が変換利得が高く、 61 GHz では変換利得が 21.7% ほど高くなった。帯域はクロスカプルキャパシタがある場合はおよそ 22 GHz であり、ない場合は 18 GHz であった。図 11 に 61 GHz の RF 出力電力と 1 GHz の BB 入力電力の入出力特性を示す。BB 入力電力が -20 – 4 dBm において、クロスカプルキャパシタがある場合の RF 出力電力が大きく、 1 dB 圧縮点はクロスカプルキャパシタがある場合は -3.5 dBm であり、ない場合は -4 dBm であった。以上より、容量中和技術によってアップコンバージョンミキサの性能が向上することが示された。

その他にも、ベースバンド増幅器や発振器、ダウンコンバージョンミキサ等の設計を行った。

(3) 要素回路を用いた通信実験

図 12 に設計した 60 GHz 帯アップコンバージョンミキサの顕微鏡写真を示す。チップは 0.18 μm CMOS プロセスを使用して試作した。チップサイズは 1.1 mm \times 1.6 mm である。図 13 に、LO の周波数が 58 GHz、LO の電力が 2 dBm、IF の電力が -10 dBm のときの変換利得の測定結果を示す。図 13 より、 -3 dB 帯域幅が 5.9 GHz で、最大変換利得が -8.2 dB であることが分かる。

試作した 60 GHz 帯アップコンバージョンミキサを送信機として通信性能を測定するために、Marki 社の IQ ミキサ (MMIQ18651) を受信機に用いてループバック試験を行った。 16QAM (直角位相振幅変調) の変調方式、中心周波数 1.5 GHz の IF 信号を入力した結果、 4 Gbit/s の通信速度でエラーベクトル振幅 (EVM) 14.3% rms を達成した。図 14 に測定したコンスタレーションを示す。

本研究により、 0.18 μm CMOS プロセスを用いて Gbit/s 級の通信速度を持つ 60 GHz 帯無線トランシーバが実現できる可能性が示された。

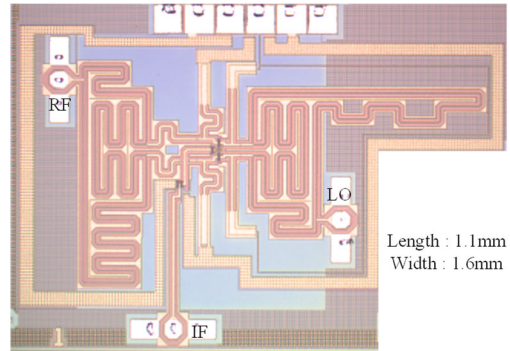


図 12 60 GHz 帯アップコンバージョンミキサの顕微鏡写真

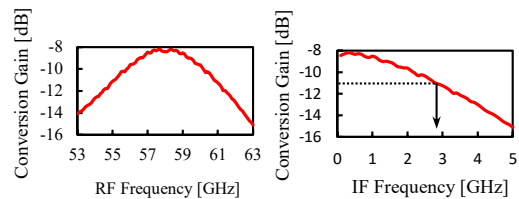


図 13 変換利得の測定結果

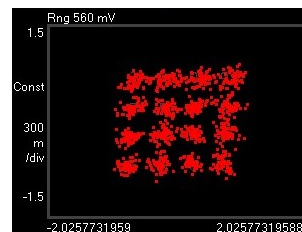


図 14 測定したコンスタレーション

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計13件（うち招待講演 0件 / うち国際学会 3件）

1. 発表者名 N. Yamaki, K. Takano, and Y. Umeda
2. 発表標題 Characteristics of 0- Transmission Lines for Millimeter-Wave Circuits in 0.18 μm CMOS Technology
3. 学会等名 2019 Asia-Pacific Microwave Conference (国際学会)
4. 発表年 2019年

1. 発表者名 T. Hagiwara, N. Yamaki, K. Takano, and Y. Umeda
2. 発表標題 Comparison of nMOSFET Structures for Millimeter-Wave Frequencies in 0.18- μm CMOS technology
3. 学会等名 33rd IEEE International Conference on Microelectronic Test Structures (国際学会)
4. 発表年 2020年

1. 発表者名 山木 夏, 高野恭弥, 榎田洋太郎
2. 発表標題 0.18 μm CMOSプロセスを用いたnMOSFETの最大発振周波数の向上及び大信号モデリング
3. 学会等名 電子情報通信学会 LSIとシステムのワークショップ
4. 発表年 2019年

1. 発表者名 萩原豊之, 高野恭弥, 榎田洋太郎
2. 発表標題 50GHz オンチップスパイラルインダクタのグランド壁・基板損失を考慮したモデリング
3. 学会等名 電子情報通信学会 LSIとシステムのワークショップ
4. 発表年 2019年

1. 発表者名 佐原健太, 萩原豊之, 高野恭弥, 榎田洋太郎
2. 発表標題 ミリ波帯CMOS伝送線路上の物質による伝送線路特性への影響
3. 学会等名 電子情報通信学会ソサイエティ大会, C-12-1
4. 発表年 2019年

1. 発表者名 関根光輝, 山木 夏, 高野恭弥, 榎田洋太郎
2. 発表標題 0.18 μm CMOSプロセスを用いたnMOSFETのミリ波帯コンパクトモデルの改善
3. 学会等名 電子情報通信学会ソサイエティ大会, C-12-2
4. 発表年 2019年

1. 発表者名 酒井 元, 山木 夏, 高野恭弥, 榎田洋太郎
2. 発表標題 ミリ波帯CMOS MIMキャパシタのモデリング
3. 学会等名 電子情報通信学会ソサイエティ大会, C-12-3
4. 発表年 2019年

1. 発表者名 関根光輝, 山木 夏, 高野恭弥, 榎田洋太郎
2. 発表標題 0.18 μm CMOSプロセスを用いたミリ波帯対応nMOSFETモデルによる20 GHz発振器の設計
3. 学会等名 電子情報通信学会総合大会, C-12-33
4. 発表年 2020年

1. 発表者名 佐原健太, 山木 夏, 高野恭弥, 榎田洋太郎
2. 発表標題 容量中和技術を用いた60 GHz帯CMOSシングルバランスドアップコンバージョンミキサ
3. 学会等名 電子情報通信学会総合大会, C-12-34
4. 発表年 2020年

1. 発表者名 田中 駿太郎, 高野 恭弥, 榎田 洋太郎
2. 発表標題 ミリ波帯オンチップグランド付コプレーナ伝送線路の伝送モードの違いを考慮したスケーラブルモデリング
3. 学会等名 電子情報通信学会総合大会
4. 発表年 2019年

1. 発表者名 平野 克彦, 高野 恭弥, 榎田 洋太郎
2. 発表標題 300 GHz CMOS MIMキャパシタのスケーラブルモデリング
3. 学会等名 電子情報通信学会総合大会
4. 発表年 2019年

1. 発表者名 萩原 豊之, 高野 恭弥, 榎田 洋太郎
2. 発表標題 ミリ波帯オンチップスパイラルインダクタのグランド壁を考慮したモデリング
3. 学会等名 電子情報通信学会総合大会
4. 発表年 2019年

1. 発表者名 N. Yamaki, K. Takano, and Y. Umeda
2. 発表標題 Comparison of Millimeter-wave 0-ohm Transmission Lines in 0.18um CMOS technology
3. 学会等名 12th Global Symposium on Millimeter Waves 2019 (国際学会)
4. 発表年 2019年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関