

令和 3 年 5 月 7 日現在

機関番号：17102

研究種目：研究活動スタート支援

研究期間：2019～2020

課題番号：19K23518

研究課題名（和文）高効率電気自動車に向けた理論限界を超える新規低耐圧パワーMOSFETの構造と制御

研究課題名（英文）A new low-voltage power MOSFET structure and control to break through theoretical limit for high efficiency electric vehicle

研究代表者

齋藤 渉（羽田野渉）（Saito, Wataru）

九州大学・応用力学研究所・教授

研究者番号：10741770

交付決定額（研究期間全体）：（直接経費） 2,200,000円

研究成果の概要（和文）：パワーMOSFETの理論限界を下回る低損失を実現する手段として、補助チャネルと蓄積層を追加したアシストゲート（AG）構造とその制御技術の組み合わせを採用した低耐圧パワーMOSFETを提案した。構造設計と制御設計を行い、AG構造の理論限界を導出した。令和元年度の実績は、理論限界を下回るオン抵抗が得られることを明らかにした。令和二年度の実績は、理論限界よりターンオフ損失が10%、ターンオン損失が27%低減できることを明らかにした。以上の結果からアシストゲート（AG）構造とその制御技術の組み合わせを採用した低耐圧パワーMOSFET理論限界を下回る低損失を実証した。

研究成果の学術的意義や社会的意義

本研究成果の学術的意義は、加工技術による低損失化の理論限界を打破できるのかという学術的な問いに対して、新規デバイスアシストゲート（AG）構造とその制御技術の組み合わせというパラダイムシフトによって、従来の加工技術で決まる理論限界を超えた低損失動作を実現できることを実証し、解となる新たな一つの方向性を示した点にある。

そして、本研究成果の社会的意義は、バッテリーからの電力を変換する回路を構成するパワーMOSFETの低損失化が自動車の電動化における電費向上につながり、地球温暖化対策に貢献するものである。

研究成果の概要（英文）：A new structure with the optimum gate control was proposed for low power loss operation of low-voltage power MOSFETs. Assist Gate (AG) structure and control signal were designed to conduct theoretical limit of AG power MOSFET.

In the first year, ultra low on-resistance below conventional theoretical limit was shown. In the second year, by the gate signal design, turn-off and -on losses can be reduced 10% and 27% compared with the conventional theoretical limit, respectively. From these results, proposed AG power MOSFET with optimum gate control is effective to break through the conventional theoretical limit for high efficiency operation.

研究分野：パワーデバイス

キーワード：パワーデバイス パワーMOSFET オン抵抗 制御

様式 C - 19、F - 19 - 1、Z - 19 (共通)

1. 研究開始当初の背景

地球温暖化対策として、CO₂排出を削減する自動車の電動化が積極的に行われている。アイドリングストップなどのマイルドハイブリッド車においては、バッテリーから直接モーターや電装品へ電力が供給されるため、その電力制御に用いられる低耐圧パワーMOSFETで発生する損失が直接的に電費へ影響する。低耐圧パワーMOSFETが発生する損失は、オン状態の素子内抵抗(オン抵抗)で発生する導通損失とスイッチング期間中に発生するにスイッチング損失で決まる。

これまで、微細加工技術によりオン抵抗を継続的に低減してきた。現在、低耐圧パワーMOSFETのトレンド(図1)から最新製品のオン抵抗が理論限界に迫っている。このような背景から、加工技術による低損失化の理論限界を打破する新たな技術として、新規構造と制御技術という組み合わせに注目した。

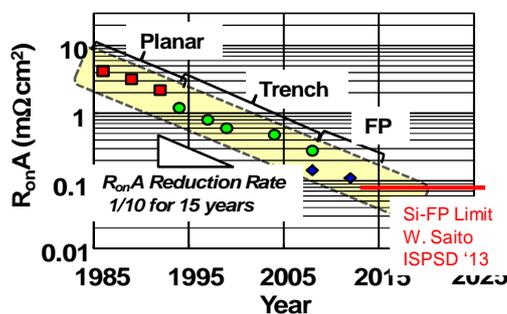


図1 低耐圧(60V系)パワーMOSFETのオン抵抗トレンド

2. 研究の目的

本研究の目的は、加工技術による理論限界を下回る低損失を実現することである。その手段として、補助チャネルと蓄積層を形成するアシストゲート(AG)構造(図2)とその制御技術の組み合わせを採用した低耐圧パワーMOSFETを提案する。従来は素子表面にMOSゲートやフィールドプレート(FP)を形成し、その横方向周期を縮めることでチャネル抵抗やドリフト抵抗を低減していた。しかし、加工技術により高密度なMOSゲートを形成すると、オン抵抗は低減しても、素子の静電容量が増加するため、スイッチング速度が鈍化し、スイッチング損失が増加してしまう。つまり、導通損失とスイッチング損失にトレードオフが発生する。これに対して、提案するAG構造では、追加させる補助チャネルと蓄積層によりチャネル抵抗とドリフト抵抗を低減する。更に、スイッチング動作時にゲート(G)電極の電圧を変化させる前にAG電極の電圧を変化させる制御を行うことで、実効的な容量を低減し、スイッチング損失の増加を防ぐことが可能となる。つまり、従来の加工技術だけによる性能改善ではなく、制御技術との組み合わせというパラダイムシフトによって導通損失とスイッチング損失のトレードオフを解消し、従来の理論限界を超えた低損失動作を実現できる。

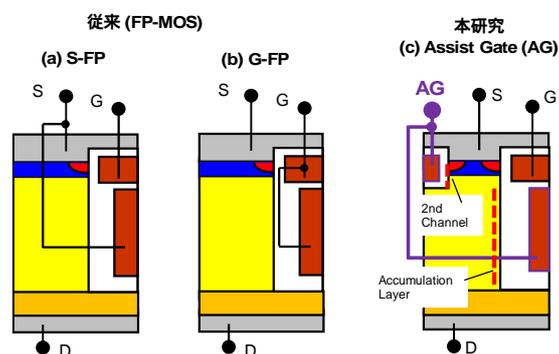


図2 従来のパワーMOSFET(FP-MOS)と提案するアシストゲート(AG)MOSFETの断面構造

3. 研究の方法

本研究では、デバイスシミュレーションを用いて、提案するAG構造を採用した低耐圧パワーMOSFETによって理論限界を超えた低オン抵抗と高速スイッチング動作が実現できることを示した。まず、従来のパワーMOSFETの理論限界となるFP-MOSの最適構造を設計した。その最適構造をベースに、AGを追加し、FP電極を接続した構造を設計した。FP-MOSは、FP電極がソースに接続されたS-FPとゲートに接続されたG-FPの二種類を比較対象とした。設計したパワーMOSFETの耐圧系は、40V系と100V系である。その後、スイッチング損失(ターオフ損失とターンオン損失)を最小化させるG電極に加える制御信号とAG電極に加える制御信号のオフセット時間とゲート抵抗を設計した。加えて、更なるターンオン損失の低減策として、同期整流制御信号の設計も行った。同期整流制御信号は、逆サイドに接続されるAG-MOSに印加する信号のオフセット時間と電圧を設計した。最後に総損失低減効果を見積るケーススタディとして、ハーフブリッジ応用回路における総損失を算出し、FP-MOSと損失比較から従来の理論限界を超えた低損失動作を実現できることを示した。

4. 研究成果

(1) 最適素子構造設計とオン抵抗

今回設計したAG-MOSの構造パラメータを表1に示す。ドリフト層厚とFP電極深さは同一とした。ドリフト層濃度はドリフト層中央で切替わる二段構造を採用した。ドリフト層・濃度、FP酸化膜厚は、FP-MOSにおいて最適化されたパラメータを転用した。オン状態の

デバイス内部の電子分布を図3に示す。AGにより第二の反転チャンネルが形成されると共に、ドリフト層に蓄積チャンネルが形成されている。これにより、チャンネル抵抗とドリフト抵抗が低減される。

FP-MOSにおいて、G-FPではFP電極により蓄積チャンネルが形成されることでドリフト抵抗が低くなるため、S-FPよりもG-FPの方が低いオン抵抗が得られる。この効果は、AG-MOSでも同様に得られるが、それに加えて、第二チャンネルが加わることでチャンネル抵抗を半減できる。これにより、図4に示すように、G-FPよりも低いオン抵抗が得られる。

40V系S-FPにおいて、チャンネル抵抗は全体の29%、ドリフト抵抗は61%を占める。これに対して、AG-MOSはチャンネル抵抗が半分、ドリフト抵抗が32%低減される。結果として、オン抵抗3.31 mΩmm²が得られ、S-FPに対して34%低減、G-FPに対して24%低減できる。

また、100V系においては、AG-MOSによりオン抵抗24.1 mΩmm²が得られ、S-FPに対して21%低減、G-FPに対して11%低減できる。

(2) 最適ターンオフ制御によるオン抵抗・ターンオフ損失トレードオフの改善

AG電極は第二ゲート電極に加えて、FP電極にも接続されているため、AG電極に接続された容量は他の容量に比べて大きく、スイッチング特性に大きな影響を与える。そして、図5に示すように、AG電圧を変化させることで、AG容量が電氣的にゲート接続されるか、ソース接続されるかを变化させることができ、スイッチング特性を決める実効的な容量を調整させることができる。

低オン抵抗を得るためには、蓄積チャンネル形成が必要であるが、FP容量がゲート・ドレイン容量C_{gd}に加わる。しかし、高速スイッチング動作には、C_{gd}を小さくする必要がある。このトレードオフ関係を解消するため、G電極とAG電極に別々の制御信号を入力するデュアルゲート制御を行う。これにより、実効的なC_{gd}を低減し、低オン抵抗と高速スイッチングを両立させることができる、つまり、AG-MOSによりオン抵抗とターンオフ損失トレードオフを改善することが可能となる。

ターンオフ損失を最小化するために、AG電極に接続されるゲート抵抗R_{AG}とG電極制御信号とのオフセット時間を設計した。G電極に接続されるゲート抵抗は10¹⁰Ωとした。R_{AG}を0.1¹⁰Ωまで小さくすると、オフセット時間をゼロとしてもハイサイドとローサイドのFP-MOSが同時にオンしてしまう誤オン動作(シュートスルー)を予防することができる(図6(a))。これに対して、オフセット時間を300nsと十分に長く設定しても、R_{AG}を10¹⁰Ωと大きくなると、AG容量の充電電流による電圧降下によってAG電圧が上昇してしまう。これにより、シュートスルーを引き起こして、dV/dtを鈍化させ、ターンオフ損失を急増させる(図6(b))。これは、FP-MOSにおいて、FP電極の内部抵抗が大きくなった場合と同様な振る

表1 設計したパワーMOSFET構造パラメータ

Voltage Class	40V	100V
Cell Pitch	1μm	2.3μm
Upper Drift Layer	1.1 × 10 ¹⁷ cm ⁻³ /1.6μm	3.1 × 10 ¹⁶ cm ⁻³ /4.5μm
Lower Drift Layer	2.0 × 10 ¹⁷ cm ⁻³ /0.9μm	5.5 × 10 ¹⁶ cm ⁻³ /3.5μm
n+Substrate	8.5 × 10 ¹⁹ cm ⁻³ /44.5μm	5 × 10 ¹⁹ cm ⁻³ /42μm
FP Oxide Thickness	150nm	500nm
Channel Length	0.55μm	0.8μm
Gate Oxide Thickness	40nm	40nm

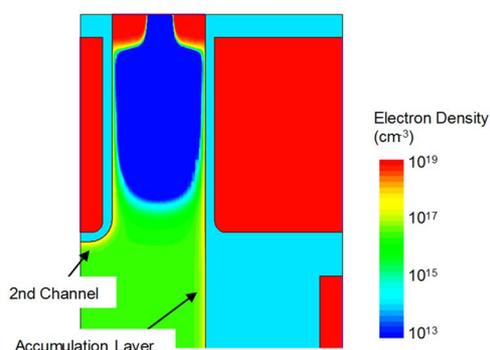


図3 AG-MOS オン状態における電子濃度分布

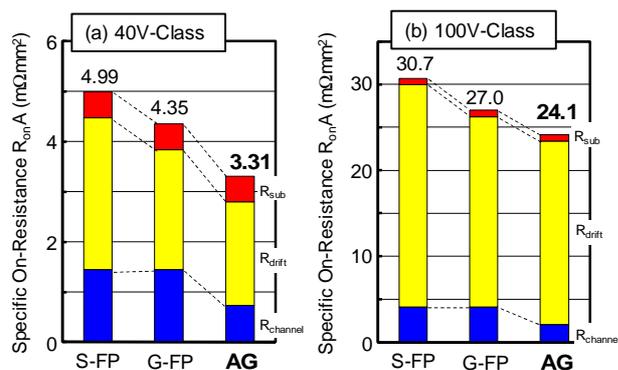


図4 FP-MOS と AG-MOS のオン抵抗比較 (a)40V系、(b)100V系

舞いである。シュートスルーを防止するための R_{AG} の境界値は0.3と見積られた。

これらの最適設計から、AG-MOSとデュアルゲート制御を組み合わせることにより、オン抵抗-ターンオフ損失トレードオフが改善される(図7)。デュアルゲート制御だけではなく、AG-MOS構造にすることで、第二ゲートのシールド効果により C_{gd} が低減されるため、S-FPよりもターンオフ損失は低減される。S-FPと比較して、40V系において、オン抵抗は34%低減、ターンオフ損失は16%低減される。100V系においては、オン抵抗は21%、ターオフ損失は10%低減される。

(3) 最適ターンオン制御によるターンオン損失の低減

続いて、ターンオンスイッチング特性について述べる。デュアルゲート制御は、実効的な容量を変調させるため、ターンオン損失の低減にも有効である。ターンオンスイッチングにおける制御信号波形を図8に示す。G電極にターンオン信号が入ってから、オフセット時間を設けて、AG電極にターンオン信号を入れる。これにより、実効的な C_{gd} は小さくなり、ターンオン損失を低減することができる。加えて、ハイサイドに接続されているMOSを同期整流動作させることで、内蔵ダイオードの導通損失とリカバリー損失を低減することが可能である。ターンオンスイッチング時のシュートスルーを防止するため、同期整流の制御信号にオフセット時間 t_{SR} を設定した。

同期整流無しのターンオンスイッチング波形を図9に示す。オフセット時間 t_{OS2} に伴って、サージ電流 J_{surge} は変化する。G電極信号によるターンオン動作が完了する前にAG電極信号が入力されると、FP容量の放電電流がドレイン電流に重畳されるため、サージ電流が増加し、ターンオン損失を増加させる。このため、十分なオフセット時間を設ける必要がある。ターオフ損失の増加を抑制するオフセット時間の境界値は70nsと見積られた。

同期整流に逆導通時のオン電圧を低減することができる(図10)。ローサイドに接続されたMOSがターンオン動作に入る際に、ハイサイドに接続されたMOSに同期整流信号として、電圧 V_{SR} を印加すると、ボディ効果によりリカバリー電流が小さくなり、ローサイドMOSのターンオン時のサージ電流とターンオン損失を低減することができる。シュートスルーを防止するため、図8(c)に示したように、ハイサイドのパワーMOSの同期整流信号には、オフセット時間 t_{SR} を設ける。

同期整流信号電圧 V_{SR} とオフセット時間 t_{SR} を最適化することによりリカバリー電流を最小化させ、パワーMOSのターンオン損失とサージ電流を最小化させることができる。 V_{SR} を変

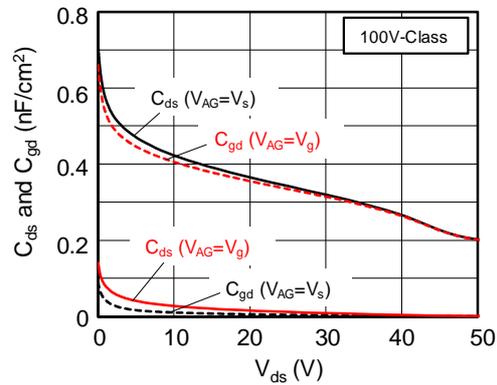


図5 AG 電圧による容量特性の変化

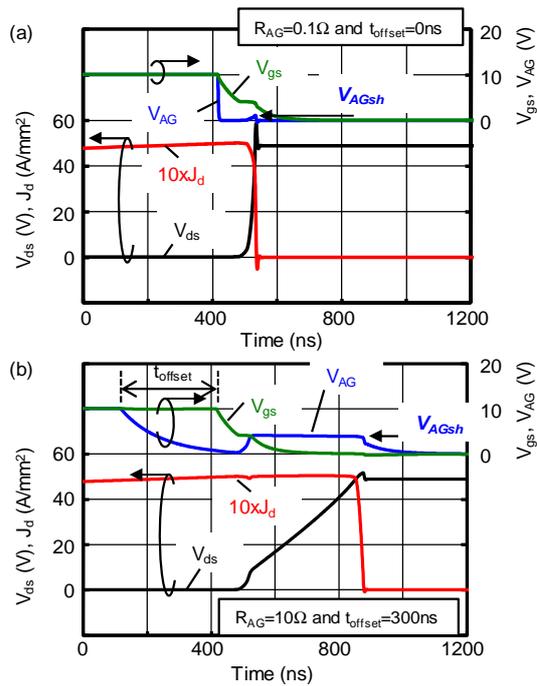


図6 AG 抵抗とオフセット時間によるターンオフスイッチング波形の変化

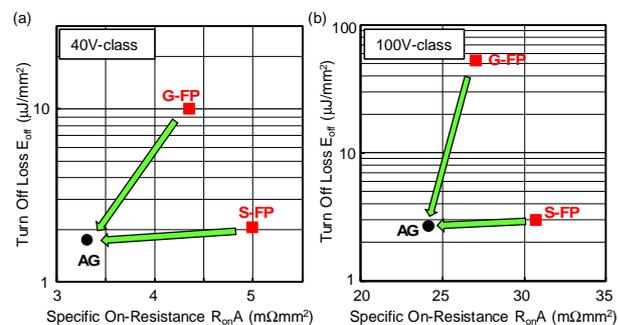


図7 AG-MOS によるオン抵抗 - ターンオフ損失トレードオフの改善(a)40V系、(b)100V系

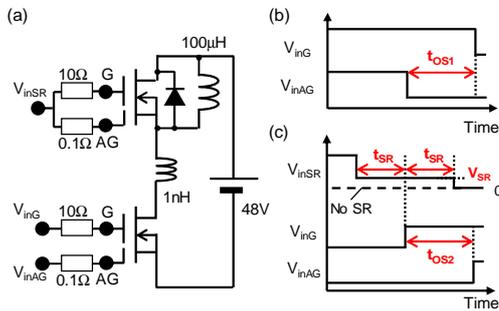


図 8 (a) AG - MOS のスイッチング性能評価回路、(b)ターンオフ制御信号、(c)ターンオン制御信号

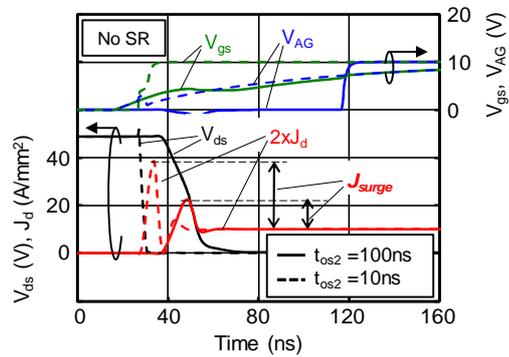


図 9 ターンオンオフセット時間 t_{os2} による AG-MOS ターンオン波形の変化

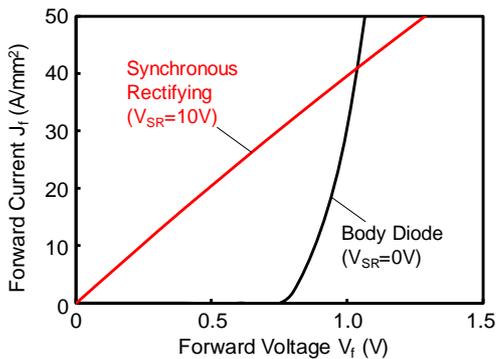


図 10 同期整流による逆導通時オン電圧低減

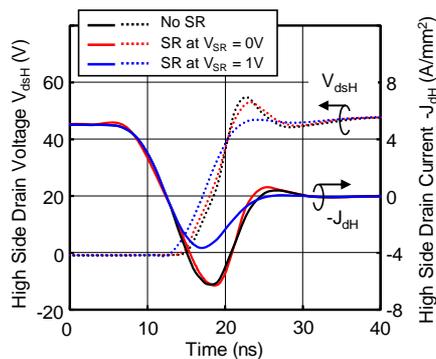


図 11 同期整流によるリカバリー波形の変化

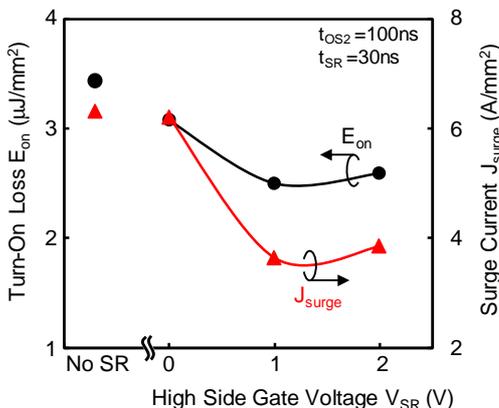


図 12 同期整流によるターンオン損失 E_{on} とサージ電流 J_{surge} の低減

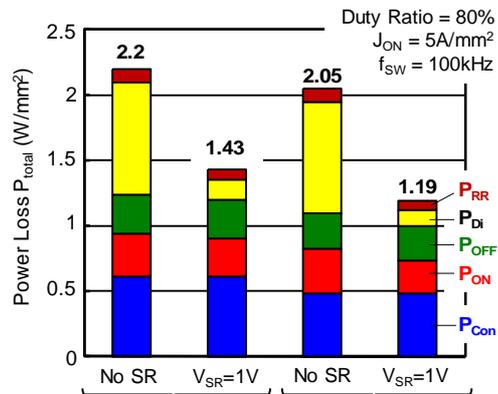


図 13 ハーフブリッジ回路における総損失比較

化させた時のリカバリー波形を図 11 に示す。

$V_{SR} = 0V$ の時、リカバリー波形は同期整流が無い場合とほぼ同じだが、 $V_{SR} = 1V$ とすることで、リカバリー電流を大きく低減できることが確認できる。これは、ボディ効果により反転チャネルが形成され、リカバリー電流がほぼ電子電流となるためである。同期整流信号電圧 V_{SR} を最適化することで、同期整流が無い場合を比較して、ターンオン損失 E_{on} を 27%、サージ電流 J_{surge} を 42% 低減することが可能である (図 12)。

(4) 総損失低減効果

以上の最適設計を反映させて、ハーフブリッジ回路応用における損失低減効果を見積るケーススタディを実施した。応用回路の動作条件は、入力電圧 48V、スイッチング周波数 100kHz、ローサイド・パワーMOSのオン・デューティー比 80%、電流密度 5A/mm² とした。AG-MOS に同期整流制御を行った場合が最も損失が低く、従来のFP-MOSの同期整流が無い場合に対して、総損失を 46% と大幅に低減できる。従来のFP-MOS に同期整流制御を行った場合と比較しても、総損失を 17% 低減できる (図 13)。

以上の結果から、本研究にて提案したAG-MOS構造と最適制御の組合せにより、従来のFP-MOSの限界を超えた低損失動作が可能であることを実証した。

5. 主な発表論文等

〔雑誌論文〕 計3件（うち査読付論文 3件／うち国際共著 0件／うちオープンアクセス 0件）

1. 著者名 Saito Wataru, Nishizawa Shin-ichi	4. 巻 41
2. 論文標題 Assist Gate MOSFETs for Improvement of On-Resistance and Turn-Off Loss Trade-Off	5. 発行年 2020年
3. 雑誌名 IEEE Electron Device Letters	6. 最初と最後の頁 1060 ~ 1062
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/LED.2020.2991927	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Ogawa Taichi, Saito Wataru, Nishizawa Shin-ichi	4. 巻 41
2. 論文標題 On-Resistance Limit Estimation of 100 V-class Field-Plate Trench Power MOSFETs Optimized Oxide Thickness	5. 発行年 2020年
3. 雑誌名 IEEE Electron Device Letters	6. 最初と最後の頁 1063 ~ 1065
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/LED.2020.3000239	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Ogawa Taichi, Saito Wataru, Nishizawa Shin-ichi	4. 巻 60
2. 論文標題 A design direction of low-voltage field-plate power MOSFETs for figure-of-merit (FOM) limit	5. 発行年 2021年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 SBBD16 ~ SBBD16
掲載論文のDOI（デジタルオブジェクト識別子） 10.35848/1347-4065/abe801	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計3件（うち招待講演 0件／うち国際学会 2件）

1. 発表者名 Taichi Ogawa, Wataru Saito, Shin-ichi Nishizawa
2. 発表標題 A Design Direction of Low-Voltage Field-Plate Power MOSFETs for FOM Limit
3. 学会等名 International Conference on Solid State Devices and Materials (SSDM) 2020 (国際学会)
4. 発表年 2020年

1. 発表者名 小川大地, 齋藤 渉, 西澤伸一
2. 発表標題 60-150 V系フィールドプレートパワーMOSFETの損失低減に向けた設計指針
3. 学会等名 電気学会 電子デバイス・半導体電力変換合同研究会
4. 発表年 2020年

1. 発表者名 Wataru Saito, Shin-ichi Nishizawa
2. 発表標題 Power Loss Reduction of Low-Voltage Power MOSFET by Combination of Assist Gate Structure and Gate Control Technology
3. 学会等名 International Symposium on Power Semiconductor Devices and ICs (ISPSD) 2021 (国際学会)
4. 発表年 2021年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関