

令和 4 年 5 月 31 日現在

機関番号：34315

研究種目：研究活動スタート支援

研究期間：2019～2021

課題番号：19K23524

研究課題名（和文）干渉ノイズ除去回路を用いるスケーラブルな列並列デジタル補正SAR型ADC

研究課題名（英文）power scalable column sar adc with interference noise reduction circuit

研究代表者

大倉 俊介（OKURA, Shunsuke）

立命館大学・理工学部・准教授

研究者番号：20808216

交付決定額（研究期間全体）：（直接経費） 2,200,000円

研究成果の概要（和文）：本研究では、画素数、撮像速度、デジタル分解能を下げることでスケーラブルに消費電力を低減可能なイメージセンサ用列並列逐次比較型A/D変換器を提案し、チップ試作し、評価ボード設計および評価プログラムの立上げを完了した。さらに、イメージセンサのアレイ上に並ぶ画素から一次微分フィルタ画像を出力することで、学習済み畳込みニューラルネットを用いて人物の認識が可能であることを実証した。ここでは、一次微分フィルタを低消費電力で実現するための画素回路構成を提案しており、一般的な画像のビット分解能が8bit程度であるのに対して、特徴量画像は4bitのビット分解能でも認識率が低下しないことを明らかにした。

研究成果の学術的意義や社会的意義

本研究は、深層学習を用いた画像認識とそれに与えるデータを統合的に研究することで画像認識システムの飛躍的な低消費電力化を実現することを目的としている。画素数、撮像速度、デジタル分解能を下げることでスケーラブルに消費電力を低減可能な列並列逐次比較型A/D変換器を提案し、さらに、CMOSイメージセンサの画素から特徴量画像を出力することで、学習済み畳込みニューラルネットを用いて人物の認識が可能であることを実証した。本研究の結果より、イメージセンサの画素アレイ内で特徴量画像を生成しデジタル変換することで、データを削減した低消費電力の画像認識システムを実現するための要素技術を獲得することができた。

研究成果の概要（英文）：In this research, a column-parallel successive approximation A/D converter for image sensors, which can reduce power consumption according to the number of pixels, frame rate, and bit resolution, is proposed. Test chips of the proposed A/D converter are fabricated and evaluation environment for the test chip is designed. Besides, it is demonstrated that an edge-filtered image of a person is recognized with a convolutional neural network, in which a pixel circuit of a CMOS image sensor to generate first derivative filter is proposed. While the bit resolution of a general image is over 8 bits, the bit resolution of the edge-filtered can be decreased to 4 bits without degradation of recognition accuracy.

研究分野：CMOSイメージセンサ

キーワード：列並列A/D変換器 イメージセンサ 低消費電力 画像認識

1. 研究開始当初の背景

私たちが住んでいる実世界はアナログの情報に溢れており、イメージセンサではアナログ画像情報をデジタル情報空間に取り込んでいる。近年は、安価で製造可能な CMOS イメージセンサがスマートフォンを始めとしたインターネットに接続される様々な機器へ搭載されており、今後は、IoT 社会における“Trillion Sensors”の中心的な役割を担うセンサとして、更なる発展が期待されている。例えば、イメージセンサが偏在し、世界中のあらゆる場所の画像情報が、人工知能(AI)によって認識され、機器間でその認識情報を共有し、ビッグデータとして利用されていくものと考えられている。その実現のためには、メンテナンスの観点・持続可能な社会実現の観点から更なるデバイス・システムの低消費電力化が求められており、イベント検知型のイメージセンサが提案されている。通常は消費電力を削減してイベント検知のみを行い、イベントの発生に応じて電力を消費して高速で高解像度画像を取得することで、平均的な消費電力を抑えている。ここに、近年著しい発展を遂げている、(1)デジタル補正 SAR(ここでは、DC-SAR と呼ぶ)型 ADC、および(2)深層学習を導入することで、さらなる消費電力の低減とイベント検知精度の向上が期待できる。

しかし、CMOS イメージセンサでは、数千個もの ADC が列並列に用いられており、ADC 自体がノイズ源となり列間で相互に干渉する問題が生じる。そのため、高速デジタル回路による補正を用いる DC-SAR 型 ADC を用いても、ノイズ耐性を高めるため、バイアス電流を消費するプリアンプが必要となり、一般的な DC-SAR 型 ADC にみられるような飛躍的な低消費電力化の恩恵を受けることができない。また、イベント検出型のイメージセンサでは、雲の動きや木々の揺らぎもイベントとして検出してしまう問題がある。逆に、検出感度を下げると、小さく映る動体や低速の動体を検出漏れしてしまう。

以上より、本研究は、Trillion Sensor 社会に向けて、高精度イベント検知型の極低消費電力 CMOS イメージセンサを実現するため、列並列 DC-SAR 型 ADC の列間干渉ノイズ対策、および、深層学習によるイベント検知精度の検討、を対象とする。

2. 研究の目的

本研究は、(1)画素数、撮像速度、デジタル分解能を下げることでスケラブルに消費電力を低減可能な列並列 ADC の実現、および、(2)イメージセンサ出力信号と深層学習の統合的な検討による、超低消費電力かつ高精度イベント検出型イメージセンサの実現を目的とする。

(1)列並列 ADC は、DC-SAR 型 ADC を採用する。従来は干渉ノイズ耐性を高めるためにプリアンプを用いていたが、ADC 動作に応じて発生する干渉ノイズを除去する回路を検討し、干渉ノイズの発生自体を抑制する。これにより、バイアス電流を消費するプリアンプを必要とせず、スケラブルに消費電力を低減可能なイメージセンサ用列並列 ADC の実現を図る。

(2)図 2 に示すように、イメージセンサへの入力光信号に対して、アレイ上に並ぶ画素から特徴量のみを読み出し、ニューラルネットにおける前処理のひとつとみなして、統合的に検出精度を検証する。イメージセンサは、イベント検出時には、通常画像ではなく、画素アレイ内での演算による特徴量のみを出力することで、センサ出力信号の画素数やデジタル分解能を低減し、ADC を含めたイメージセンサ全体の消費電力を飛躍的に低減できると考えている。従来、イメージセンサと深層学習は独立して検討されていたが、イメージセンサにおける特徴量抽出をニューラルネットにおける前処理の一部とみなし、深層学習を用いたイベント検出精度を検証することで、低消費電力と高精度検出の両立を図る。

3. 研究の方法

本研究活動のスタートとして、スケラブルに消費電力を低減可能な、干渉ノイズ除去回路を備えた DC-SAR 型 ADC の設計評価を行う。

2019 年度は、主に設計と評価準備を行う。VDEC 提供の CAD ツールを用いてワークステーションによる設計を行う。VDEC のサービスを利用してチップを試作し、その後、チップ評価のためのボードを作成する。

2020 年度は、主にチップ評価および改良設計を行う。評価装置を準備し、試作チップを組立て、評価を行う。また、課題の抽出を行い、明らかになる課題に対して修正を施した改良チップの試作も行う。このチップ設計評価により、スケラブルに消費電力を低減可能な ADC を実現する。さらに、画素数、撮像速度、デジタル分解能に対する消費電力の傾向を取得する。この電力傾向は、次の研究活動ステップにおいて、イベント検出時における「特徴量の粒度に対する消費電力」の見積りに用いて、消費電力と精度検出の検討材料とする。

4. 研究成果

本研究は、深層学習を用いた画像認識とそれに与えるデータを統合的に研究することで画像認識システムの飛躍的な低消費電力化を実現するため、(1)画素数、撮像速度、デジタル分解能を下げることでスケラブルに消費電力を低減可能な列並列 A/D 変換器(ADC)の提案、および(2)イメージセンサ出力信号を特徴量画像とする画像認識の検証、を実施した。

(1)列並列 ADC は、干渉ノイズ除去回路を備えた列並列逐次比較(SAR)型 ADC を提案しチップ試作し、評価ボード設計および評価プログラムの立上げを完了した。イメージセンサの通常動作時は消費電力を削減してイベント検知のみを行い、イベントの発生に応じて電力を消費して高速で高解像度画像を取得することで、平均的な消費電力を抑えることが可能となる。また、イベント検知の際には、ADC は定常電流を消費しないため、画素数、撮像速度、デジタル分解能を下げることによって、さらに消費電力を低減することが可能となった。

(2)特徴量画像を用いた画像認識としては、イメージセンサのアレイ上に並ぶ画素から一次微分フィルタ画像を出力することで、学習済み畳込みニューラルネットを用いて人物の認識が可能であることを実証した。ここでは、一次微分フィルタを低消費電力で実現するための画素回路構成を提案しており、この画素構成によるノイズ増加を考慮してシミュレーションしている。また、一次微分フィルタ画像は信号値が 0 付近に集中するため、一般的な画像のビット分解能が 8bit 程度であるのに対して、特徴量画像は 4bit のビット分解能でも認識率が低下しないことを明らかにした。

従来、イメージセンサと深層学習は独立して検討されていたが、本スタートアップ研究の結果より、CMOS イメージセンサの画素アレイ内で一次微分フィルタ画像を生成し、定常電流を消費しない SAR 型 ADC でデジタル変換することで、データ量を削減した低消費電力の画像認識システムを実現するための要素技術を獲得することができた。この研究結果は、引き続き、本格研究として、特徴量を出力可能なイメージセンサと深層学習による画像認識の研究(20K04630)に応用し、画像認識システムの低消費電力化実現に向けて発展をはかっている。

(1)従来のイメージセンサが撮像する画像の情報量は画像認識で用いるデータに対して冗長なデータが多く、システム全体の消費電力や遅延の増大につながると考えられる。そこで、通常の撮像に加え、特徴量画像との出力切り替えが可能なイメージセンサを想定する。通常画像撮影時は 10bit デジタル変換し、特徴量画像撮影時は比較器の制御を切り替えることで、省電力で画像認識に要する 5bit デジタル変換を行う SAR 型 A/D 変換器を提案する。省電力モードではノイズが増加するため、それを抑制する回路も提案する。2つの提案回路の効果についてシミュレーション検証し、チップ試作を行った。

図 1 に提案する可変分解能出力 SAR 型 ADC を示す。高解像度画像モードでは入力信号はアンプで増幅してラッチに入力する。A/D 変換は 10bit のデジタル信号を出力する。イベント検知モードでは、アンプを OFF し、入力信号はラッチに直接入力する。A/D 変換は 5bit のデジタル信号を出力する。イベント検知モードではダイナミック動作させることで定常電流を削減する。

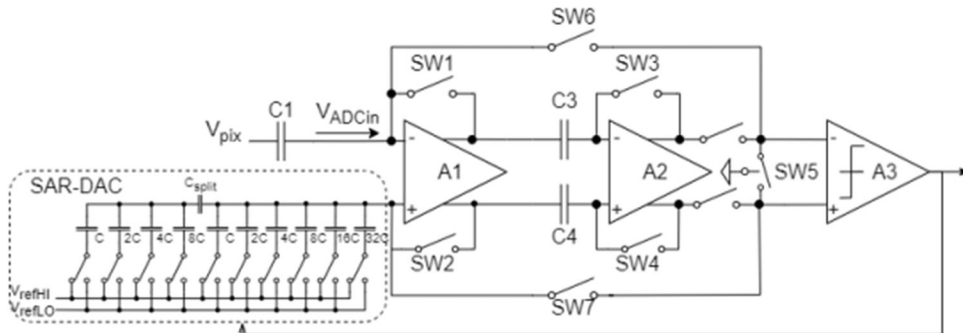


図 1. 提案する可変分解能出力 SAR 型 ADC

図 2 に示すように、ラッチ回路は、スーパーチャージャー回路を搭載することで電源降下ノイズの抑制する。高解像度画像モードでは、バイアス電流でラッチを駆動しラッシュ電流を抑える。イベント検知モードでは、バイアス電流を切断するため省電で動作する。ラッチが入力信号をトラッキングしている間に電源から電荷を蓄え、ラッチ動作を開始すると同時に、電荷を放電供給することで、ラッチ動作により生じる電源電圧降下を補い、ラッシュノイズを抑制する。

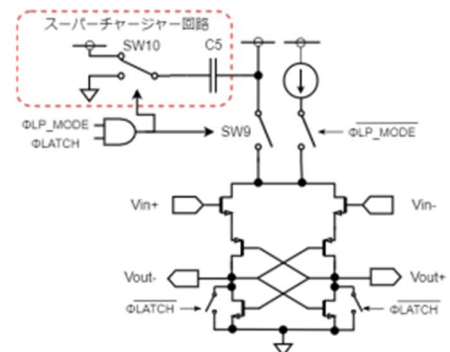


図 2 . スーパーチャージャー回路を搭載するラッチ回路

イベント検知モードの消費電力は、高解像度画像モードと比べて74.6%削減、電源電圧降下はスーパーチャージャー回路により42.9%抑制することをシミュレーションにより確認した。

図3 提案回路を搭載したイメージセンサの試作チップと設計した評価ボードの写真を示す。

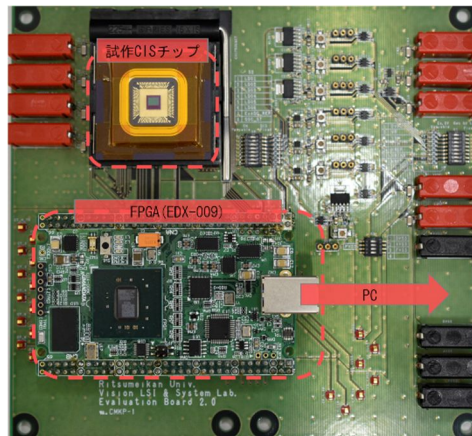


図3．試作チップと評価ボード

(2)画像認識を行う際にイメージセンサが少ない情報量の画像を出力し、AIが認識を行うことで画像認識システムの低消費電力化を実現するため、光電変換電子を用いて特徴量抽出が可能な画素構成を検討し、画像分類が可能であるか検証した。さらに、A/D変換器の低消費電力化に向けて、画素内演算によって得られる画像のビット分解能が画像の認識率に与える影響についても検証した。

図4に一次微分フィルタ画像を生成可能な画素回路およびシミュレーション結果を示す。シミュレーション画像を公開されている学習済み畳み込みニューラルネットワークに入力することで、人(person)と正しく認識されることを確認することができた。

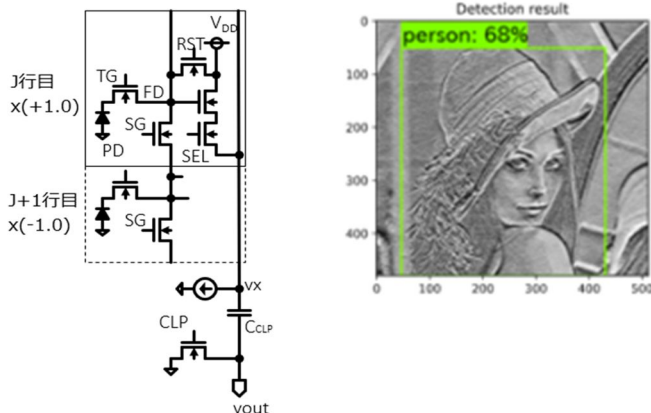


図4．一次微分フィルタ画像を生成可能な画素回路およびシミュレーション

図5の青線で示すように、一次微分フィルタ画像にノイズを印加した100枚の認識率を検証したところ、3bitから5bitまでビット数を減らすと高い認識率を示した。この結果から、イベント検知モードにおいては、(1)で提案したADCは3bitから5bitまでビット分解能を低減し、低消費電力で動作させることができる目処を得た。

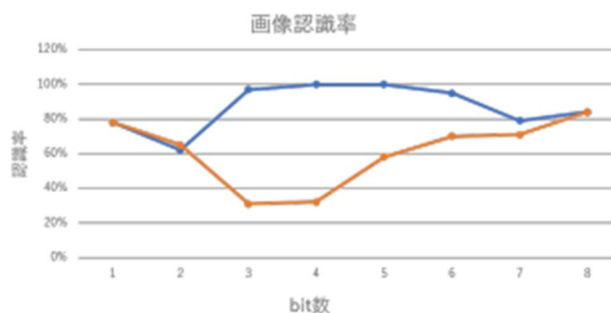


図5．分解能と画像認識率のシミュレーション結果

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計2件（うち招待講演 0件 / うち国際学会 0件）

1. 発表者名 山本航平, 吉田康太, 大倉俊介
2. 発表標題 深層学習を用いたイベント検知型CMOSイメージセンサの検討(1) ~ 低分解能特徴量画像を用いた画像分類の検証 ~
3. 学会等名 情報センシング研究会 (IST)
4. 発表年 2021年

1. 発表者名 齋光志朗・大倉俊介
2. 発表標題 深層学習を用いたイベント検知型CMOSイメージセンサの検討(2) ~ 低分解能で省電力動作可能なA/D変換器 ~
3. 学会等名 情報センシング研究会 (IST)
4. 発表年 2021年

〔図書〕 計0件

〔出願〕 計1件

産業財産権の名称 特許願	発明者 大倉 俊介	権利者 学校法人立命館
産業財産権の種類、番号 特許、2020-217433	出願年 2020年	国内・外国の別 国内

〔取得〕 計0件

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------