

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成25年 5月 1日現在

機関番号：12101

研究種目：基盤研究（S）

研究期間：2008～2012

課題番号：20226014

研究課題名（和文）極限高純度めっきプロセスによる Cu 配線ナノ構造制御と次世代ナノ LSI への展開

研究課題名（英文）Nano-structure Control of Cu Interconnects by a Very High Purity Plating Processes and Its Application to Next-generation LSIs.

研究代表者

大貫 仁 (Onuki Jin)

茨城大学・工学部・教授

研究者番号：70315612

研究成果の概要（和文）：次世代超低消費電力・超高速 LSI の実現には、Cu 配線の低抵抗率化が不可欠である。Cu 配線は微細化とともに結晶粒が不均一・微細化するため、粒界電子散乱が顕在化し、抵抗率が著しく増大する問題があるが、これまで解決策は示されていない。研究者らは、めっき材料を高純度化するとともに、添加剤量を低減することにより、ナノ粒界を制御できて、粒径の均一・粗大化を促進できて、配線抵抗率を最先端デバイスに使用されている現状配線よりも 30%以上低減できることを明らかにした。

研究成果の概要（英文）：Grain sizes and their distribution in very narrow Cu wires ($\leq 50\text{nm}$) have a crucial influence on device performances and reliabilities of LSIs. This is because the average grain size in Cu wires becomes smaller for narrower wires and especially. Very fine grains causes substantial resistivity increase and reliability degradation of Cu wires. In order to reduce resistivity and raise reliability, with the final goal being to enhance LSI performance, we have investigated the purification process of Cu wires using high-purity plating materials and little additives and gotten Cu wires with more than 30% lower resistivity than those made with conventional purity plating materials.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2008年度	60,600,000	18,180,000	78,780,000
2009年度	22,600,000	6,780,000	29,380,000
2010年度	22,800,000	6,840,000	29,640,000
2011年度	29,000,000	8,700,000	37,700,000
2012年度	26,300,000	7,890,000	34,190,000
総計	161,300,000	48,390,000	209,690,000

研究分野：工学

科研費の分科・細目：構造・機能材料

キーワード：電子・情報材料

1. 研究開始当初の背景

LSIの高速化・高集積化は、トランジスタ

の微細化と配線寸法の微細化によりはじめて実現できる。しかし、配線寸法（配線幅・厚

さ) が数100 nm以下に微細化されると、配線抵抗Rと配線容量Cの積で表される配線遅延がトランジスタ遅延に比較して無視できなくなり、微細化によるLSIの性能向上を阻害する。Cuはその抵抗の低さと高電流密度通電に耐えることから、高性能LSIの配線に使用されているが、線幅が100 nm以下の領域では、微細化とともに抵抗率が著しく増大するという現象が見られる。これは、Cu配線中の結晶粒径が微細・不均一化することおよびCu配線/バリアメタル界面の密着性が低下することによって粒界および界面における伝導電子散乱が顕著になるためである。Cu配線の構造は、Cuコア導体部とその側壁に設ける高抵抗率バリアメタルからなる。配線幅にはバリアメタルも含まれるため、配線の低抵抗率化を目的に高抵抗率バリアメタルの薄膜化が検討されている。例えば、ALD (Atomic Layer Deposition)法による極薄のTi/TiNバリアメタル形成およびCu-Mn合金膜を用いた極薄バリアメタルの自己形成が挙げられるが、配線抵抗は高々5~10%程度しか低減できない。以上のようにCu配線の低抵抗率化に関する研究は主としてバリアメタルの極薄化に着目して行われ、Cuそれ自体の抵抗率を低減する試みはほとんど行われていない。

2. 研究の目的

本研究は、2014年に実用化が開始される配線幅28nm以細LSIを実現する上で大きな障害と見做されているCu配線抵抗率増大によるLSIの性能劣化防止のブレイクスルー技術を開発するものである。

これまでの研究において結晶粒径の均一・粗大化およびバリアメタルとの密着性の向上を目的に、高純度めっき材料(アノード電極：公称純度9N、硫酸銅：公称純度6N)に着目した。高純度めっき材を用いて作製した幅50nm配線の抵抗率は現状プロセス(アノード電極：公称純度4N、硫酸銅：公称純度3N)で作製したCu配線のそれよりも約20%低くなることが明らかになり、めっきプロセスの高純度化がCu配線の低抵抗率化のブレイクスルー技術であることが示唆された。しかし、市販公称純度8~9NのCuを、グロー放電質量分析装置(GD-MS)を用いて分析すると他の金属元素、Cl、Sや酸素等の不純物がppmレベルで含まれており、真の化学的

純度は公称値よりもかなり低い(例えば5N程度)。また、めっき材料の高純度化を進めると、微細配線溝中へのめっき膜の埋め込み特性向上のために使用される添加剤自体が不純物となる可能性が高まってきた。そこで、更なる均一・粗大粒を有する高導電性・高信頼性の新Cu配線を開発するためには、めっき材料であるアノード銅および硫酸銅の一層の高純度化と添加剤の除去が必須であると考えるに至った。真の化学的純度が市販高純度品を2桁以上上回る超高純度めっき材料を開発し、さらに不純物の供給源になっている添加剤を硫酸銅めっき浴から除去した状態でCuを配線溝中に埋め込む技術を確認し、アニール条件を最適化して、配線およびこれらを繋ぐビアホール内Cuの均一・粗大粒化を図ることにより革新的高導電性Cu多層配線材料システム基盤技術を構築する。

3. 研究の方法

(1) TEGの設計・製作 (2) 超高純度めっき材料の開発、(3) 超高純度めっき材料を用いた添加剤フリーCu配線形成及びCu配線の性能・信頼性評価からなる均一・粗大粒Cu配線材料・プロセス技術、(4) Cu配線中の微量不純物元素の分析、配線のナノ構造解析及び(5) 熱伝導率測定によるバリア/Cu膜界面の密着性評価技術、分子動力学およびメゾスケールシミュレーションを組み合わせたCu粒径成長機構の解析等からなる。これにより、均一・粗大粒径を有する革新的高導電性・高信頼性Cu配線形成の要素技術を開発する。

4. 研究成果

(1) Cu配線中の深さ方向の結晶粒径の深さ方向の分布をEBSDにより評価する方法を開発し、めっき材料の高純度化および添加剤フリーめっきにより、Cu配線が高純度化するほど、配線下部の結晶粒径が粗大化し、深さ方向における結晶粒径の分布が少なくなることを明らかにした。このことは、めっき材料の高純度化および添加剤フリーめっきにより、Cu配線中の不純物を少なくするほど、Cu配線中の深さ方向における結晶粒径が均一・粗大化し、抵抗率を低減できることを示している。

(2) 現状最高純度の高純度6NCuから分

別再結晶法により、超高純度化(8N 相当)しためっき材料(硫酸銅、アノード)を作製するプロセスを開発した。これらを用いて幅 30~50nmCu 配線を製作し、抵抗率を評価し、現状最高純度品と比較した結果、約 30%低減できることを明らかにした。

(3) Cu 配線下部のナノレベル結晶粒界に存在する不純物を収差補正型 STEM(EDX)を用いて評価した結果、O,Cl,S,Ti,Zn,Fe 等の不純物が粒界に濃縮(≧0.1%)して存在している可能性を示す結果が得られた。これらの不純物は、Cu 膜中には ppm のオーダーで存在していることを GDMS で確認している。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 33 件)

- ① T.Konkova,Y.Ke,S.Mironov,and J.Onuki, Structural response of nano-scale damascene copper lines to annealing, *Electrochemistry*, 2013 年, 掲載確定, 査読有
- ② T.Nagano,Y.Sasajima,K.Tamahashi, and J.Onuki, Electron backscatter diffraction analysis of electrodeposited nano-scale copper wires, *Thin Solid Films*, 2013 年, 掲載確定, 査読有
- ③ Y.Ke,T.Konkova,S.Mironov,K.Tamahashi,and J.Onuki, Cs-corrected STEM Observation and Atomic Modeling of Grain Boundary Impurities of Very Narrow Cu interconnect, *ECS Electrochemistry Letters*,2013 年, 掲載確定, 査読有
- ④ Y.Ke, T.Namekawa, K.Tamahaashi, and J.Onuki, EBSD analysis of microstructures along the depth direction in very narrow Cu wires, *Electrochemistry*, 81 巻, 2013 年, 246-250, 査読有
- ⑤ Y.Ke,T.Namekawa,K.Tamahashi and J.Onuki, Influence of Additive-Free process on the Microstructure of Very Narrow Cu Wires in the Lower Region of a Trench, Influence of Additive-Free process on the Microstructure of Very Narrow Cu Wires in the Lower Region

of a Trench, 54 巻, 2013 年, 255-259 査読有

- ⑥ Y.Ke,T.Konkova,M.Sergey, J.Onuki, Effect of annealing temperature on a structure of electrodeposited nano-scale copper wires, *Letters on Materials*, 2 巻, 2012 年, 198-201 査読有
- ⑦ Y.Sasajima, T.Satoh,K. Tamahashi and J.Onuki, Void Generation Mechanism in Cu Filling Process by Electroplating for Ultra-Fine Trenches,*Mater. Trans.* 53 巻, 2012 年, 1507-1514, 査読有
- ⑧ J.Onuki, K.Tamahashi, T.Namekawa, Y.Sasajima, Effect of Additive-Free Plating and High Heating Rate Annealing on the Formation of Low Resistivity Fine Cu Wires, *Materials Trans.*, 52 巻, 2011 年, 1818-1823, 査読有
- ⑨ J.Onuki, S.Tashiro, K. P. Khoo, N. Ishikawa, Y.Chonan, T.Kimura, H. Akahoshi, Effect of the Purity of Plating Materials on the Reduction of Resistivity of Cu Wires for Future LSIs, *J.Electrochem.Soc.*, 157 巻, 2010 年, H857-H862, 査読有
- ⑩ J.Onuki, K.P.Khoo, Y.Sasajima, Y.Chonan, T.Kimura, Reduction in resistivity of 50nm wide Cu wire by high heating rate and short time annealing utilizing misorientation energy, *J.Appl.Phys.*, 108 巻, 2010 年, 044302 1-044302 7, 査読有

[学会発表] (計 6 件)

- ① 大貫 仁, 第 52 回谷川・ハリス賞受賞記念講演 環境対応高温半導体用独創的配線・実装材料の開発に関する研究, 日本金属学会, 2013 年 3 月 27 日, 東京理科大学
- ② 大貫 仁, LSI用微細Cu配線材料のナノ粒界評価技術, 日本金属学会, 2012 年 9 月 18 日, 愛媛大学

[図書] (計 0 件)

[産業財産権]

○出願状況 (計 5 件)

名称：半導体集積回路装置及びその製造方法
並びに該半導体集積回路装置に使用
する低抵抗率銅配線の探索方法

発明者：大貫, 篠嶋, 永野, 玉橋, 千葉

権利者：茨城大学

種類：特許

番号：特願 2013-101708

出願年月日：2013 年 05 月 13 日

国内外の別：国内

○取得状況 (計 0 件)

[その他]

新聞発表 2 件 (日刊工業新聞)

解説記事 2 件

6. 研究組織

(1)研究代表者

大貫 仁(Onuki Jin)

茨城大学・工学部・教授

研究者番号：70315612

(2)研究分担者

三村 耕司 (Mimura Koji)

東北大学・多元物質科学研究所・准教授

研究者番号：00091752

石川 信博 (Ishikawa Nobuhiro)

独立行政法人物質・材料研究機構・主任研究員

研究者番号：00370312

近藤 和夫 (Kondo Kazuo)

大阪府立大学・工学研究科・教授

研究者番号：50250478

稲見 隆 (Inami Takashi)

茨城大学・工学部・講師

研究者番号：20091853

長南 安紀 (Chonan Yasunori)

秋田県立大学・システム科学技術学部・助教

研究者番号：30363740

伊藤 真二 (Ito Shinji)

独立行政法人物質・材料研究機構・主任研究員

研究者番号：50370317

打越 雅仁 (Uchikoshi Masahito)

東北大学・多元物質科学研究所・助教

研究者番号：60447191

太田 弘道 (Ohta Hiromichi)

茨城大学・工学部・教授

研究者番号：70168946

永野 隆敏 (Nagano Takatoshi)

茨城大学・工学部・講師

研究者番号：70343621

木村 隆(Kimura Takashi)

独立行政法人物質・材料研究機構・主任研究員

研究者番号：70370319

篠嶋 妥(Sasajima Yasushi)

茨城大学・工学部・教授

研究者番号：80187137

青山 隆 (Aoyama Takashi)

秋田県立大学・システム科学技術学部・教授

研究者番号：80363737

田代 優 (TASHIRO Suguru)

茨城大学・工学部・講師

研究者番号：90272111