

機関番号：12601

研究種目：基盤研究（A）

研究期間：2008～2010

課題番号：20246055

研究課題名（和文） 結晶ひずみを利用した Si MOS 反転層移動度決定機構の解明と高移動度化指針の確立

研究課題名（英文） Understanding of mechanisms dominating inversion-layer mobility in strained-Si MOSFETs and establishment of guideline for the mobility enhancement

研究代表者

高木 信一（TAKAGI SHINICHI）

東京大学・大学院工学系研究科・教授

研究者番号：30372402

研究成果の概要（和文）：

ひずみ Si MOSFET の表面ラスネス散乱移動度と MOS 界面凹凸を評価し、ひずみの印加により電子移動度は向上するものの正孔移動度はやや減少すること、MOS 界面の凹凸は、ひずみの印加で低減することが明らかとなった。また、高精度の透過電子顕微鏡像によって、実際の Si/SiO₂ 界面凹凸形状とその自己相関関数を直接決定する方法を新たに提案し、この方法で得られた凹凸に基づいて計算した移動度は実験から得られた値と、電子と正孔ともに、良い一致が見られることが分かった。また、ひずみ Si MOS 界面は、FN ストレスによる界面準位発生が少なく、これはひずみによる界面ラフネスの低減に起因している可能性が高いことが明らかとなった。

更に、ひずみ Si pMOSFET の界面電荷によるクーロン散乱正孔移動度は、二軸引張りひずみの印加で移動度が増大する一方、基板不純物散乱によるクーロン散乱移動度では、移動度が低下するという、電子移動度とは反対のひずみ依存性をもつことを見出し、これらのひずみ依存性は、ひずみによる電子と正孔のサブバンド構造の変調によって統一的に説明できることが明らかにした。

研究成果の概要（英文）：

We have evaluated surface-roughness-limited mobility of strained-Si MOSFETs and amount of surface roughness at the MOS interfaces. As a result, it has been found that bi-axial tensile strain increases the electron mobility, while it slightly decreases the hole mobility. Also, we have proposed a novel method to accurately evaluate the shape of the SiO₂/Si interface roughness and the auto-correlation function by using high resolution Transmission Electron Microscope (TEM). It has been found that the mobility determined by the extracted auto-correlation is in good agreement with the experimental mobility for both electrons and holes. In addition, we have experimentally observed that the strained-Si MOS interfaces smaller densities of interface states generated by Fowler-Nordheim stress, attributed to the reduction in roughness of strained-Si MOS interfaces.

Furthermore, the increase in the bi-axial tensile strain strained-Si p-MOSFETs leads to the increase in Coulomb-scattering-limited hole mobility due to MOS interface charges, while it leads to the decrease in Coulomb-scattering-limited mobility due to substrate impurities. This dependence is opposite to that of the electron mobility in strained-Si n-MOSFETs. These strain dependencies of the Coulomb scattering mobilities can be systematically understood from the viewpoint of the subband structure modulation of electron and hole inversion layers due to tensile strain.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2008年度	13,300,000	3,990,000	17,290,000
2009年度	9,600,000	2,880,000	12,480,000
2010年度	5,000,000	1,500,000	6,500,000
年度			
年度			
総計	27,900,000	8,370,000	36,270,000

研究分野：半導体工学

科研費の分科・細目：電気電子工学・電子・電気材料工学

キーワード：MOSFET、ひずみ Si、移動度、表面ラフネス、クーロン散乱、界面準位、酸化膜信頼性

1. 研究開始当初の背景

Si MOSFET の反転層移動度は主にフォノン散乱、クーロン（不純物）散乱、界面ラフネス散乱の3種類の散乱機構で決定されるが、これら散乱の物理機の中で、表面ラフネス散乱による移動度とラフネスとの定量的相関が十分得られているとは言い難く、ラフネス低減による移動度向上の実験的証拠に乏しい。またクーロン散乱による移動度も、特に室温での実験結果と理論との定量的一致が得られているとは言い難い。一方、Si チャンネルに応力を導入することにより移動度を高めるひずみ Si 技術は、MOSFET 性能向上技術として、現在あるいは今後の LSI においては不可欠の技術と認識されているが、ひずみの移動度向上機構は、まだ十分定量的な理解に至っているとは言えない。更にごく最近、引張りひずみを有するひずみ Si 基板に作製した MOS 界面は、通常の MOS 界面に比べて MOS 界面が平坦になり、界面準位が低減される可能性があることが報告され始めたが、これまで系統的な実験的検証が行われたことはなく、その実態は明らかでない。従来の評価法や実験手法ではこれらの減少を明らかにすることは難しい状況であった。

2. 研究の目的

二軸引っ張りひずみを有する基板上に作製された MOSFET における移動度挙動を明らかにする。特に、酸化時に引張りひずみを有する基板ひずみ MOSFET の散乱機構を、ひずみが電子構造のみに与える効果と分離して明らかにし、ひずみによる MOS 界面改質効果の実態を明確化する。更に、ひずみの有無によらない、統一的な界面ラフネス散乱・不純物散乱の物理モデルを構築し、移動度の定量的な理解を得ることを目標とする。具体的には、

(1) 引張りひずみをもつ基板上にひずみ量を系統的に変えて作製された二軸ひずみ n-MOSFET と p-MOSFET、およびプロセス

ひずみを模擬する目的で機械的応力の印加により導入された一軸ひずみ n-MOSFET と p-MOSFET における、表面ラフネス散乱移動度や不純物散乱移動度の挙動を、(二軸/一軸) ひずみ量・チャンネル方向・温度・電界・表面キャリア濃度・基板バイアスなどの依存性の観点から明確化する。

(2) ひずみ印加下で作製された MOS 界面のラフネスや界面電荷量などの散乱パラメータの性質を定量的に抽出し、両者の相関を系統的に検証する。

3. 研究の方法

ひずみ Si MOSFET における界面ラフネス散乱の評価に関して、低温での移動度評価による界面ラフネス散乱移動度の決定とひずみ量依存性を明らかにする。また、高分解能 TEM を用いた MOS 界面ラフネスの評価法を開発し、実空間上での界面ラフネスの直接測定と自己相関長、自己相関関数の実験的決定を行い、そのひずみ依存性の明確化すると共に、実験的に得られたラフネスの空間周波数分布に基づいた界面ラフネス散乱移動度の理論計算を行って実測移動度との比較を行う。また、基板ひずみが反転層のクーロン散乱移動度に与える影響を明らかにするために、ひずみ Si pMOSFET の正孔反転層の界面電荷・基板不純物電荷によるクーロン散乱移動度に与える二軸引っ張りひずみ効果の明確化を行う。また、基板ひずみが、反転層のクーロン散乱対として重要な界面準位の生成に及ぼす影響を明らかにするため、ひずみ Si MOSFET における FN 注入時の界面準位生成に与えるひずみの影響の明確化とその物理的機構の解明を行う。

4. 研究成果

【2008 年度】

二軸引っ張りひずみをもつバルク Si MOSFET の移動度において、特に、表面ラフネス散乱とクーロン散乱によって決まる移動

度成分に関して、ひずみ量を系統的に変化させて、ひずみの影響とその物理的機構を調べた。ここで、ひずみ Si MOSFET の基板の緩和 SiGe 基板の Ge 量を、0% (ひずみ量 0%) から 40% (ひずみ量 約 1.7%) まで変化させた。結果として、以下のことが明らかとなった。

(1) 表面ラフネス散乱による移動度

・ 表面ラフネス散乱によって決まる Si MOS 反転層の電子移動度は、二軸引っ張りひずみの印加による増加する一方、正孔移動度は、移動度が若干減少したのちほぼひずみなしと同じレベルにまで戻ることが明らかとなった。

① MOS 界面を TEM 分析により直接評価したところ、ひずみの印加と共に、表面凹凸の高さが減少することが確認できた

② 以上の点から、ひずみによる電子移動度の上昇は、表面凹凸の高さの低下に起因する一方、正孔移動度の移動度の若干の低下は、凹凸の相関長の低減と凹凸の高さが複合していると考えられることで説明できる可能性がある。

(2) クーロン散乱による移動度

① クーロン散乱によって決まる Si MOS 反転層の電子移動度に与えるひずみの効果は、クーロン散乱対が基板不純物であるか、MOS 界面電荷であるかによって、その依存性が異なることが明らかとなった。基板不純物の場合は、二軸引っ張りひずみの印加で、移動度は上昇するが、MOS 界面電荷の場合は、移動度は低下する。

② 一方、正孔移動度に当たるひずみの効果は、この逆の傾向を示すことが明らかとなった。クーロン散乱対が基板不純物の場合は、移動度が上昇する一方、MOS 界面電荷の場合は、移動度が上昇することが実験的に示された。

【2009 年度】

二軸引っ張りひずみをもつバルク Si MOSFET の移動度において、特に、表面ラフネス散乱とクーロン散乱によって決まる移動度成分に関して、ひずみ量を系統的に変化させて、ひずみの影響とその物理的機構を調べた。結果として、以下のことが明らかとなった。

(1) 表面ラフネス散乱による移動度

① MOS 界面の形状を TEM 分析により定量的に決定し、表面ラフネス散乱の散乱強度を実験的に決定する新しい手法を提案し、実測を行った。この方法では、Si/SiO₂ 界面の界面凹凸形状の自己相関関数を、仮定を置かずに、高精度 TEM によって、実際の Si/SiO₂ 界面から直接測定し、自己回帰法を用いて決定できる。結果として、ひずみの印加と共に、表面凹凸の高さと相関長の両方が変化すること

が分かった。

② 上記の方法を用いて計算した移動度は、実測結果を定量的に説明できることが明らかとなった。この結果、ひずみによる電子移動度の上昇は、表面凹凸の高さの低下に、また正孔移動度の移動度の若干の低下は、凹凸の相関長の増加に起因し、電子と正孔のフェルミ波数の違いと凹凸の自己相関関数の波長依存性によって、電子移動度と正孔移動度の振舞いの違いが説明できることが明らかとなった。

③ 引っ張りひずみが印加された Si に MOS 界面を形成するグローバルひずみ Si 技術は、MOS 界面凹凸の減少に有効であり、高い移動度や高い信頼性などが期待できる、新たな観点からの technology booster となり得る。

(2) クーロン散乱による移動度

クーロン散乱によって決まる Si MOS 反転層の電子移動度に与えるひずみの効果に関し、基板不純物によるクーロン散乱移動度は、二軸引っ張りひずみの印加で、移動度は低下する。これは、基板不純物の増大による実効電界の増加により、ひずみの印加で低下した light hole バンドと heavy hole バンドのエネルギーレベルがほぼ同等となることによるバンド間散乱の増大によって、説明できることが明らかとなった。

【2010 年度】

二軸引っ張りひずみをもつバルク Si MOSFET において、表面ラフネス散乱の基礎となる界面ラフネス量の評価手法やとクーロン散乱の基礎となる界面生成電荷量に関して、ひずみ量を系統的に変化させ、その影響と物理的機構を調べた。結果として、以下のことが明らかとなった。

(1) 二軸引っ張りひずみ下で作製された MOS 界面ラフネスの評価

① 前年度提案した、TEM 分析による MOS 界面形状の定量的決定手法において、測定されるラフネス値と TEM 試料膜厚との関係を調べ、TEM 試料厚の増加とともに観測される見かけのラフネスの大きさが増大することを明らかにした。

② 表面ラフネス散乱による移動度を決定する真のラフネス値と TEM 測定から求められるラフネス値の対応関係を実験的に決定するとともに、シミュレーションにより、この関係が妥当であることを明らかにした。以上のことから、TEM により求めたラフネス量に基づいて、移動度を定量的に決定する手法を確立した。

(2) クーロン散乱の評価

クーロン散乱と表面ラフネス散乱の複合効果が存在するかどうかを調べるため、FN ス

トレスによりクーロン散乱を発生させた後、表面ラフネス散乱移動度を評価した結果、クーロン散乱体の増大により、表面ラフネス散乱移動度も低下すること、また二軸引張りひずみをもち表面が平坦な MOSFET では、この影響が小さくなることが示された。

(3) クーロン散乱対となる界面準位生成量と界面準位の電気特性の評価

ひずみ Si nMOSFET への FN 注入による界面準位生成を調べた結果、二軸引張りひずみ量の増大に伴い、界面準位生成量が低下することが見出された。一方、界面準位生成に重要と言われている基板ホール電流量のひずみ量依存性は小さいことから、ひずみ Si MOSFET での界面準位生成抑制現象は、ひずみ印加による表面ラフネスの低減が原因と結論づけられた。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 6 件)

- [1] Y. Zhao, M. Takenaka and S. Takagi, “Suppression of Interface State Generation in Si MOSFETs with Biaxially-Tensile Strain”, accepted in *Electron Device Letters*, 32 (2011)
- [2] Y. Zhao, H. Matsumoto, T. Sato, S. Koyama, M. Takenaka, and S. Takagi, “A Novel Characterization Scheme of Si/SiO₂ Interface Roughness for Surface Roughness Scattering-limited Mobilities of Electrons and Holes in Unstrained- and Strained-Si MOSFETs”, *IEEE Trans. Electron Devices*, 57 (2010) pp. 2057–2066
- [3] O. Weber, M. Takenaka and S. Takagi, “Experimental Determination of Shear Stress induced Electron Mobility Enhancements in Si and Biaxially Strained-Si Metal-Oxide-Semiconductor Field-Effect Transistors”, *Jpn. J. Appl. Phys.* 49, (2010) 74101
- [4] Y. Zhao, M. Takenaka and S. Takagi, “On Surface Roughness Scattering-limited Mobilities of Electrons and Holes in Biaxially-tensile Strained Si MOSFETs”, *IEEE Electron Device Letters*, 30 (2009) pp. 987–989
- [5] Y. Zhao, M. Takenaka and S. Takagi, “Comprehensive Understanding of Coulomb Scattering Mobility in Biaxially-Strained Si MOSFETs”, *IEEE*

Trans. Electron Devices, 56 (2009) pp. 1152–1156

- [6] O. Weber and S. Takagi, “Experimental Examination and Physical Understanding of the Coulomb Scattering Mobility in Strained-Si N-MOSFETs”, *IEEE Transaction on Electron Devices*, 55 (2008) pp. 2386–2396

[学会発表] (計 14 件)

- [1] S. Takagi, “Channel/Stress Engineering for Advanced CMOS Devices: Performance Booster”, 16th Asia and South Pacific Design Automation Conference (ASP-DAC 2011), (Tutorial 1) *Advanced CMOS Device Technologies (1)*, 2011/1/25, Pacifico Yokohama, Kanagawa, Japan
- [2] Y. Zhao, M. Takenaka and S. Takagi, “Evidence of Correlation between Surface Roughness and Interface States Generation in Unstrained and Strained-Si MOSFETs”, 2010 Symposium on VLSI Technology, 2010/6/17, Honolulu, Hawaii, USA
- [3] 高木信一, “Si プラットフォーム上の高移動度チャンネル CMOS 技術”, 第 4 回九州大学稲盛フロンティア研究講演会, 2010/6/11, 九州大学伊都キャンパス、福岡県
- [4] 高木信一, “CMOS プラットフォーム上の高移動度チャンネル MOS トランジスタ技術”, TRC 第 7 回半導体デバイス分析セミナー, 2010/5/21, 東京コンファレンスセンター品川、東京都
- [5] 趙毅, 松本弘昭, 佐藤岳志, 小山晋, 竹中充, 高木信一, “高精度 TEM と新しいデータ分析方法による MOS 界面ラフネス移動度及びその引張り歪みの影響の定量評価”, 第 57 回応用物理学関係連合講演会, 2010/3/18, 東海大学、神奈川県
- [6] 趙毅, 竹中充, 高木信一, “二軸引張りひずみ Si MOS 電子・正孔反転層における界面電荷・基板不純物によるクーロン散乱に与える影響の統一的な物理機構”, 第 57 回応用物理学関係連合講演会, 2010/3/18, 東海大学、神奈川県
- [7] S. Takagi, “High Mobility Channel CMOS Technologies for Realizing High Performance LSI’s (invited)”, 2009 Custom Integrated Circuits Conference

- (CICC), 2009/9/13, San Jose, California, USA
- [8] 趙毅, 松本弘昭, 佐藤岳志, 小山晋, 竹中充, 高木信一, “高精度TEMと新しいデータ分析方法によるMOS界面ラフネス移動度の定量評価及び引張り歪からの影響”, 第73回半導体・集積回路技術シンポジウム, 2009/7/10, 東京農工大学、東京
- [9] 高木信一, 趙毅, 竹中充, 松本弘昭, 佐藤岳志, 小山晋, “Si MOS界面ラフネス散乱による移動度とひずみの効果(招待講演)”, “応用物理学会シリコンテクノロジー分科会第121回研究集会「半導体シリコン単結晶ウェーハを特徴づける評価技術」, 2010/3/12, 学習院大学、東京
- [10] Y. Zhao, H. Matsumoto, T. Sato, S. Koyama, M. Takenaka and S. Takagi, “Comprehensive Understanding of Surface Roughness Limited Mobility in Unstrained- and Strained-Si MOSFETs by Novel Characterization Scheme of Si/SiO₂ Interface Roughness”, Symposium on VLSI Technology, 2009/6/15, Kyoto, Japan
- [11] Y. Zhao, M. Takenaka and S. Takagi, “Comprehensive understanding of surface roughness and Coulomb scattering mobility in biaxially-strained Si MOSFETs”, International Electron Device Meeting (IEDM), 2008/12/15, San Francisco, USA
- [12] S. Takagi, “High mobility channel MOSFET”, 8th European Solid-State Device Research Conference (ESSDERC), 2008/9/15, Edinburgh, United Kingdom
- [13] S. Takagi, “Understanding and Engineering of Carrier Transport in Advanced MOS Channels (plenary)”, 2008 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), 2008/9/9, Hakone, Japan
- [14] S. Takagi, “Advanced Nano CMOS Platform using Carrier-Transport-Enhanced Channels (invited)”, 2008 International Symposium on VLSI Technology, Systems, and Applications (VLSI-TSA) 2008/4/21, Hsinchu, Taiwan

[図書] (計1件)

- [1] S. Takagi, T. Tezuka, T. Irisawa, S. Nakaharai, T. Numata, K. Usuda, N. Sugiyama, M. Shichijo, R. Nakane and S. Sugahara, Pan Stanford Publishing, “Devices Structures and Carrier Transport Properties of Advanced CMOS using High Mobility Channels”, “Electronic Device Architectures for the Nano-CMOS Era - From Ultimate CMOS Scaling to Beyond CMOS Devices”, chapter 3, 2008, pp. 81-103

[産業財産権]

○出願状況 (計0件)

○取得状況 (計0件)

[その他]

ホームページ等 なし

6. 研究組織

(1) 研究代表者

高木 信一 (TAKAGI SHINICHI)
東京大学・大学院工学系研究科・教授
研究者番号：30372402

(2) 連携研究者

竹中 充 (MITSURU TAKENAKA)
東京大学・大学院工学系研究科・准教授
研究者番号：20451792