

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 24 年 4 月 1 日現在

機関番号：11301

研究種目：基盤研究 (A)

研究期間：2008～2011

課題番号：20246059

研究課題名（和文） 超高速無線通信制御用 DSP の開発

研究課題名（英文） Development of Digital Signal Processor
for Ultra-Broadband Wireless Communication Control

研究代表者

坪内 和夫 (TSUBOUCHI KAZUO)

東北大学・電気通信研究所・客員教授

研究者番号：30006283

研究成果の概要（和文）：本研究では、広域モバイルブロードバンドワイヤレスアクセス、無線 LAN、無線 PAN など、特にデータ通信に特化した種々の無線通信規格のさらなる高速化を想定して、ギガビット級の伝送速度を実現し、また適応的にこれらの無線通信規格の高速切り替えを実現するための PHY レイヤ・MAC レイヤ専用の高速信号処理 LSI の設計・試作・評価を行う。

研究成果の概要（英文）：In the near future, wireless access technologies such as mobile broadband wireless access, wireless LAN and wireless PAN will be more high throughput. In this work, to realize high throughput signal processing for broadband wireless access technologies over Gbit/s, we have studied the high-speed signal processing LSI for PHY and MAC layer.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2008 年度	14,900,000	4,470,000	19,370,000
2009 年度	5,200,000	1,560,000	6,760,000
2010 年度	5,500,000	1,650,000	7,150,000
2011 年度	10,200,000	3,060,000	13,260,000
総計	35,800,000	10,740,000	46,540,000

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：無線通信, DSP

1. 研究開始当初の背景

ネットワークのブロードバンド化には無線通信技術のさらなる高度化が不可欠である。無線通信技術の高度化により、主に無線通信の物理層 (PHY: physical) の伝送速度の高速化が進んでいる。特に、60GHz ミリ波帯を用いた IEEE802.15.3c では、ハイビジョン映像を非圧縮で送ることができる

2Gbit 超の伝送速度の実現が求められている。また、広帯域化の進展に伴い、特に高周波デバイスへの負荷が大きくなり、周波数歪の補償を PHY レイヤで行うことが必要となる。よって、PHY レイヤの信号処理デバイスに求められる処理能力は急速に大きくなってきている。

さらに、より上位層で高度な信号処理が必要となる MAC (media access control) 層の

処理がボトルネックとなり、伝送速度の高速化が阻まれている。

MAC レイヤは、通信制御を行うレイヤであり、例えば、無線 LAN (local area network) 規格である IEEE802.11 では CSMA/CA (carrier sense multiple access/collision avoidance) によるランダムアクセス方式を採用している。従来の IEEE802.11 MAC では、物理レイヤの伝送速度を向上させても、MAC レイヤでのスループットが 80Mbit/s 以上を確保できない問題点がある。IEEE802.11 の Task Group n (TGn) では、この問題を回避するために、フレームアグリゲーション、BlockAck などを採用することにより、MAC での高速スループットの実現を目指している。また、申請者のグループでは、文部科学省 IT プログラムにおいて、5GHz 帯 324 Mbit/s 無線 LAN 装置の開発に成功している。本装置の MAC レイヤには、IEEE802.11 TGn での採用されているフレームアグリゲーションを実装し、スループットで 170Mbit/s を実現した。実現には、PowerPC プロセッサを用い、Gbit イーサネットとのハンドリングに、Shared RAM を実装する構造として、MAC レイヤを実現している。Shared RAM を用いて、イーサネットの MAC と無線 LAN の MAC を接続しているが、この Shared RAM に双方のプロセッサがアクセスするため、ハンドリングすること自体がボトルネックとなり、高速動作の限界となっていることが明らかになった。

2. 研究の目的

本研究では、広域モバイルブロードバンドワイヤレスアクセス (MBWA: mobile broadband wireless access)、無線 LAN、無線 PAN など、特にデータ通信に特化した種々の無線通信規格のさらなる高速化を想定して、2Gbit/s 以上の伝送速度を実現し、また適応的にこれらの無線通信規格の高速切り替えを実現するための PHY レイヤ・MAC レイヤ専用高速信号処理 LSI 開発のための基礎検討を行う。

PHY・MAC における通信制御に必要な機能をハードウェア化し、かつ一部機能については、ソフトウェア制御可能な DSP (Digital Signal Processor) をデータフローコントローラとしてのみ用いることも視野に入れて、高いスループットを得るための検討を行う。まずは、提案する信号処理 LSI を構成する各要素回路の LSI 化を個別に行い、PHY・MAC 専用信号処理 LSI としてデジタル CMOS LSI 実現のための要素回路の検討を

行う。また、複数の無線通信システムの PHY・MAC 制御において、適応的にシステムや通信速度を切り替える信号制御用の専用 LSI の検討を行う。

3. 研究の方法

提案している PHY レイヤ・MAC レイヤ専用信号処理 LSI を実現するために、これまで申請者のグループにて検討してきた高速フーリエ変換 (FFT: fast Fourier transform) 回路などの要素回路やそれらを組み合わせた基本的な DSP アーキテクチャを FPGA (field programmable gate array) ならびに ASIC (application specific integrated circuit) 上へ実装し、その伝送速度・最大許容遅延時間など性能評価を行う。

各種無線通信規格に対して必要となる諸条件 (伝送速度・最大許容遅延時間・QoS など) を考慮して、最適な動作速度、回路規模、消費電力で信号処理を行うことができる専用 LSI アーキテクチャの設計・実装・評価を行う。従来のクロック同期による制御回路に加え、データの有無によりその動作速度が決定するセルフタイム回路の導入の検討も行う。さらに、信号処理の並列化を行うことで、ギガビット級の信号処理も可能とするような回路構成も検討する。

また、動作速度や遅延時間の実測評価を行うために、FPGA で初期検討を行った提案方式を ASIC に実装する。また、新たに最新の FPGA や ASIC を実装した評価用専用基板を設計・試作し、その専用基板を用いて、提案する専用 LSI アーキテクチャの性能評価を行う。専用基板は、動作確認等に用いるデジタル信号の入出力端子に加え、無線信号である IF (intermediate frequency) 帯の変調信号の入力に対しても、評価を行うことができるような A/D 変換器、D/A 変換器や高周波入出力端子も具備するものを試作する。さらに、複数の異種無線通信方式を同時に受信し、それぞれの信号の状態を判断することで、より特性の良い回線を選択することができる制御システムの検討と FPGA や ASIC への実装や実証も行う。

4. 研究成果

(1) 基本的な PHY・MAC レイヤ信号処理専用 LSI のアーキテクチャの基本設計と、要素回路の基礎検討

各種無線通信規格に対して必要となる諸条件 (伝送速度・最大許容遅延時間・QoS (quality of service) など) を考慮して、最

適な動作速度、回路規模、消費電力で信号処理を行うことができる PHY・MAC レイヤ信号処理専用 LSI アーキテクチャの基本設計を行った。要素回路の基礎検討としては、特に今後標準化が進むと思われる種々の無線通信変復調方式で利用が必須となる、FFT 回路、伝搬路推定・補償回路などの基本設計を行った。そのうち FFT 回路については、必要とされる FFT のポイント数や動作速度に応じて適応的に回路構成を変更可能とするような FFT 回路の基礎設計を行った。これらの要素回路の機能を含め、FPGA に提案回路を設計・実装することにより、提案回路による通信特性改善効果についての評価を行った。

(2) PHY レイヤ専用 ASIC の設計・試作評価

(1) で FPGA を用いて基礎検討を行った FFT 回路、伝搬路推定・補償回路などの基本回路を用いて、今後の無線通信方式で必須となる FDE ASIC の設計・試作を行った。FDE ASIC としてはチャンネル推定に MMSE (minimum mean square error) 規範を用いた。FFT ポイント数は 128 とした。180nm CMOS プロセスを用いて試作を行った。コアサイズ約 2mm 角で FDE 回路を実装できることを示した。

また、ASIC 評価用ボードを設計・試作し、試作した ASIC の実測特性評価を行った。その結果、FDE を用いない場合には、ほとんど通信できない状態であるが、FDE 回路を用いることで、大幅な特性改善効果が見られることを実証した。また、試作した ASIC の消費電力等の評価も行った。

(3) 種々の無線通信変復調方式に適用可能な専用 ASIC の設計・試作・評価

(2) では、単一の方式に対応する FDE ASIC を試作したが、本検討では、複数の無線通信変復調方式に適用可能な、スケラビリティを持った FFT 回路、伝搬路推定・補償回路などの回路設計を行い、さらに、これらの基本回路を用いたスケラブルな FDE ASIC の設計・試作を行った。FDE ASIC としてはチャンネル推定に MMSE 規範を用いた。FFT 回路として、256 ポイント×2 並列 ~ 64 ポイント×8 並列に可変な回路を搭載した。180nm CMOS プロセスを用いて試作を行った。コアサイズ約 5mm 角で FDE 回路を実装できることを示した。

また、前述の ASIC 評価用ボードを用いて、本試作 ASIC の実測特性評価を行った。その結果、試作した FDE 回路を用いることで、複数の無線通信方式に対応可能であることを実証した。

(4) 開発 ASIC を適用した無線通信システム高信頼化の検討

(3) で開発した ASIC に実装された FDE では等化重み係数を用いて伝搬路歪の補償を行うため、チャンネル推定部で伝達関数の推定を行っている。推定された伝達関数をビット誤り率 (BER : bit error ratio) 特性の推定にも活用することで、従来用いられてきたチャンネルの平均電力のみを基準とした場合より低 BER 特性なチャンネル選択が可能になると考えられる。雑音電力を下回るような伝達関数の深い落ち込みが BER 特性に与える影響についての検討を行った。

FDE のチャンネル推定部で得られる伝達関数から、BER 特性を推定するための評価関数としてサブチャンネル内の平均電力 P_{ave} と伝達関数の落ち込みの深さ P_{diff} を定義した。本来、伝達関数は伝搬路歪を補償するために推定されるものなので、新たな演算を大幅に追加することなく P_{ave} と P_{diff} を得ることができる。MMSE 等化の雑音強調効果と残留干渉効果による雑音増加量 N_{MMSE} と P_{diff} には相関性があることを示した。このことから、 P_{diff} を基準とすることで雑音増加の強いチャンネルを避けてチャンネル選択ができる。さらに、各 P_{ave} と P_{diff} をパラメータとした BER 特性のシミュレーション評価を行った。最後に、 P_{ave} と P_{diff} の両方を基準とすることで、 P_{ave} のみを基準にした場合よりも高精度にチャンネルの BER 特性を推定できることを示した。

以上より、チャンネルの平均電力 P_{ave} のみでチャンネル選択を行う場合に比べて、 P_{ave} と P_{diff} の両方を考慮することで、より低 BER 特性なチャンネルの選択が可能であることを示し、開発した ASIC に実装された FDE を用いることで、チャンネル選択の最適化を行うことが可能であることが示された。

5. 主な発表論文等

[雑誌論文] (計 3 件)

- ① 三宮 秀次, 大森 洋一, 酒居 敬一, 岩田 誠, "自己タイミング型パイプラインシステムの性能見積りモデル," 信学論(A), Vol.J92-A, No.7, pp.477-486, 2009, 査読有。
- ② K. Komatsu, S. Sannomiya, M. Iwata, H. Terada, S. Kameda, K. Tsubouchi, "Interacting Self-Timed Pipelines and Elementary Coupling Control Modules," IEICE Transactions on Fundamentals, Vol.E92-A, No.7, pp.1642-1651, 2009, 査読有。

DOI: 10.1587/transfun.E92.A.1642

- ③ R. Zhang and M. Iwata, "An efficient signature matching scheme for mobile security," IEICE Trans. on Commun., E91-B, 3251-3261, 2008, 査読有.
DOI: 10.1093/ietcom/e91-b.10.3251

[学会発表] (計 20 件)

- ① 小林 和正, 富田 俊輔, 三宅 裕士, 小松 和寛, 小熊 博, 飯塚 昇, 亀田 卓, 末松 憲治, 高木 直, 坪内 和夫, 伝達関数の落ち込みを考慮した SC 伝送のチャンネル選択手法, 信学技報, SR2011-80, pp. 17-22, 鹿児島, 2012年1月26日.
- ② K. Komatsu, S. Kameda, M. Iwata, S. Tanifuji, N. Suematsu, T. Takagi, and K. Tsubouchi, "ASIC implementation of frequency domain equalizer for single carrier transmission," XXX URSI General Assembly and Scientific Symposium of International Union of Radio Science (URSI GASS 2011), Istanbul, Turkey, 2011年8月15日.
- ③ 亀田 卓, 周波数領域等化技術を用いた広帯域無線通信システムの実装, 信学技報, ICD2011-35, 広島, 2011年7月22日. (招待講演)
- ④ K. Miyagi, S. Sannomiya, and M. Iwata, and H. Nishikawa, "Self-timed power-aware pipeline chip and its evaluation," Proceedings of the 2011 International Conference on Parallel and Distributed Processing Techniques and Applications (PDPTA 2011), pp. 442-448, Las Vegas (USA), 2011年7月19日.
- ⑤ 富田 俊輔, 三宅 裕士, 小松 和寛, 小熊 博, 飯塚 昇, 谷藤 正一, 亀田 卓, 末松 憲治, 高木 直, 坪内 和夫, MMSE 規範に基づく周波数領域等化器の量子化誤差の影響, 電子情報通信学会ソフトウェア無線研究会, SR2010-41, 大阪, 2010年10月27日.
- ⑥ 坪内 和夫, ディペンダブル・エア (招待講演), 電子情報通信学会総合大会, CS-2-1, 仙台, 2010年3月18日.
- ⑦ 亀田 卓, 小熊 博, 高木 直, 坪内 和夫, ディペンダブルワイヤレスシステム: 周波数領域等化を用いた広帯域無線通信端末の検討 (依頼講演), 電子情報通信学会ソサイエティ大会, ABS-1-5, 新潟, 2009年9月17日.
- ⑧ K. Tsubouchi, Dependable Wireless NextGeneration Network (NGN): Network and Device Technologies (Invited), Global Symposium on Millimet

er Waves 2009 (GSMM2009), 仙台, 2009年4月20日.

- ⑨ 小松 和寛, ヴァレンティン ゲオルギウ, 亀田 卓, 高木 直, 坪内 和夫, 安達 文幸, シングルキャリア伝送用周波数領域等化器の LSI 実装, 電子情報通信学会ソフトウェア無線研究会, SR2008-43, 沖縄, 2008年11月22日.

[図書] (計 0 件)

[産業財産権]

○出願状況 (計 0 件)

○取得状況 (計 0 件)

[その他]

ホームページ

- (1) <http://www.riec.tohoku.ac.jp/lab/it-21-mob/index-j.html>
(2) http://www.info.kochi-tech.ac.jp/research/iwata_lab/iwata_lab.html

6. 研究組織

(1) 研究代表者

坪内 和夫 (TSUBOUCHI KAZUO)
東北大学・電気通信研究所・客員教授
研究者番号: 30006283

(2) 研究分担者

高木 直 (TAKAGI TADASHI)
東北大学・電気通信研究所・客員教授
研究者番号: 60436160
(2011年度: 連携研究者)
亀田 卓 (KAMEDA SUGURU)
東北大学・電気通信研究所・助教
研究者番号: 10343039
岩田 誠 (IWATA MAKOTO)
高知工科大学・工学部・教授
研究者番号: 60232683