

自己評価報告書

平成23年 4月15日現在

機関番号：14401

研究種目：基盤研究 (B)

研究期間：2008～2011

課題番号：20300017

研究課題名 (和文) マルチプロセッサ SoC のアーキテクチャ設計最適化手法

研究課題名 (英文) Optimization Method for Multi-core Processor SoC Architecture

研究代表者

今井 正治 (IMAI MASAHARU)

大阪大学・大学院情報科学研究科・教授

研究者番号：50126926

研究分野：総合領域

科研費の分科・細目：情報学・計算システム・ネットワーク

キーワード：VLSI 設計技術

1. 研究計画の概要

携帯電話などの情報通信機器やメディア・プレーヤーなどのデジタル信号処理用機器に代表される電子システムに対する要求はますます高度になりつつある。これらの要求を実現するためには、プロセッサ、専用ハードウェア回路 (ASIC: Application Specific IC), メモリ (RAM、ROM), 高周波回路, センサ, アクチュエータなどを含む複雑な電子システムを単一チップ上に実装する SoC (System on Chip) 技術を駆使する必要がある。

SoC を設計するためには、既設計のコンポーネント (Intellectual Property) を組合せてシステムを構成する IP ベース設計手法が有効であり、今後の IP の性質として期待される柔軟性を持った IP としてはソフトウェアでプログラム可能なプロセッサ (命令セットプロセッサ) や FPGA (Field Programmable Gate Array) などが有用である。

本研究では、与えられた応用に対して、与えられた設計制約のもとで、マルチプロセッサ SoC の構成方法を最適化する手法を明らかにする。具体的な研究項目は以下の6つである。

- (1) 応用システムのプロファイリング手法の検討と試作
- (2) 応用システムの記述の分割手法の提案と評価
- (3) 与えられた IP の割当と通信方式に対する、設計品質見積り手法の開発
- (4) 分割された応用記述の部分に対する IP の割当て方法の最適化手法の開発

(5) システムを構成する IP 間の通信方式の最適化手法の開発

(6) IP の割当方法および IP 間の通信方式を同時に最適化する手法の開発

2. 研究の進捗状況

(1) 応用システムのプロファイリング手法の検討と試作

この研究項目では、応用システムを SystemC で記述された高い抽象度レベルでプロファイリングする方法について検討した。

(2) 応用記述の分割手法の提案と評価

応用記述の分割方法は、そのモジュールの機能をプロセッサで実行する場合や既存の IP を割当てる場合なども考慮して決定する必要がある。初年度に、これらの要請を考慮して応用記述の分割方法の検討を行った。

(3) 与えられた IP の割当と通信方式に対する、設計品質見積り手法の開発

上記(2)の項目で提案された分割方法の有効性を評価するために、分割して得られるサブモジュールに IP (プロセッサまたは専用ハードウェア) を割当て、通信方式とそのパラメータに具体的な値を与えた場合の設計品質指標の見積りを行う。2009年度に、見積り方法としては、これまでの研究で開発された面積および性能の見積り方法に加え、消費電力の見積り方法についても検討を行った。

(4) 分割された応用記述の部分に対する IP の割当て方法の最適化手法

これまでの研究を拡張し、IP の処理内容をいくつかの基本ブロックに分解することで、データにより処理時間の変更に対応できるモデルを提案し、実装を行った。

(5) システムを構成するコンポーネント間の通信方式の最適化手法の開発

これまでの研究では、コンポーネント間の通信方式として共有バス方式について最適化手法を考えてきたが、加えて共有メモリを利用してコンポーネント間のデータ転送量を抑え、データ転送を最適化する手法を研究した。

(6) IP の割当方法および IP 間の通信方式を同時に最適化する手法の開発

マルチプロセッサ・システムの低消費電力量化に関して、動作時に動作電圧と動作周波数を変更できる **Dynamic Voltage and Frequency Scaling(DVFS)**技術が有効である。2010 年度では、DVFS 技術をマルチプロセッサに用いる場合に、消費電力量を最小化するプロセスのプロセッサへの割り当てとそのプロセスを処理するプロセッサの電圧と周波数を決定する手法を提案した。

3. 現在までの達成度

②おおむね順調に進んでいる。

これまでの研究活動により、研究計画に示した 6 項目すべてについて、新たな手法の提案や実装が完了しているため、計画は順調に進んでいると言える。

4. 今後の研究の推進方策

今後は、2010 年度までに開発したそれぞれの手法の評価と改良を行い、研究成果をまとめる。

提案した手法の有効性を評価するために、ランダムで作成した例題を始め実用的な例題に対して提案手法を適用して、性能を評価する。評価の結果をまとめ、手法の改良すべき点を検討し、提案手法の改良を行う。

2010 年度までに提案している、コンポーネントへの IP の割当方法およびコンポーネント間の通信方式を同時に最適化する手法に基づく、マルチプロセッサ SoC 開発環境を試作し、現実的な設計サンプルに対して提案手法の有効性を評価する。用いるサンプルとしては画像処理系のアプリケーションを想定している。評価の結果をまとめ、手法やマルチプロセッサ SoC 開発環境に改良すべき点を検討し、提案手法の改良を行う。

5. 代表的な研究成果

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 2 件)

1. Hirofumi Iwato, Keishi Sakanushi, Yoshinori Takeuchi, and Masaharu Imai, "A Low-power ASIP Generation Method by Extracting Minimum Execution Conditions," IPSJ Transactions on

System LSI Design Methodology, Vol. 3, pp. 222-233, 2010. (査読有)

2. Hassan A. Youness, Keishi Sakanushi, Yoshinori Takeuchi, Ashraf Salem, Abdel-Moneim Wahdan, and Masaharu Imai, "Optimal Scheme for Search State Space and Scheduling on Multiprocessor systems," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, Vol. E92-A, No. 4, pp. 1088-1095, 2009. (査読有)

[学会発表] (計 12 件)

1. 白石 多一郎, 坂主 圭史, 武内 良典, 今井 正治, "DVSを用いたマルチプロセッサ・システムのための低消費電力量タスク割当て手法," 情報処理学会SLDM研究会, 2011年3月18日, 沖縄県宮古市.
2. Hiroki Ohsawa, Hirofumi Iwato, Keishi Sakanushi, Yoshinori Takeuchi, and Masaharu Imai, "Generation Method of Decomposed Small Area Instruction Decoder for Configurable Processor," the 16th Workshop on Synthesis And System Integration of Mixed Information Technologies 2010 (SASIMI 2010), 2010年10月18日, 台湾.
3. 岡田 千尋, 坂主 圭史, 武内 良典, 今井 正治, "共有メモリを考慮したSoCアーキテクチャ探索手法の提案," 電子情報通信学会 2009 基礎・境界ソサイエティ大会, 2009年9月17日, 新潟県新潟市.
4. 今村 多一郎, 坂主 圭史, 武内 良典, 今井正治, "応用プログラムのプロファイル情報を用いたマルチプロセッサシステムの最適プロセッサ数の評価手法," 電子情報通信学会 2009 基礎・境界ソサイエティ大会, 2009年9月17日, 新潟県新潟市.
5. Yoshinori Takeuchi, " Simulator Generation Method of Configurable Processors for MPSoC, " 9th International Forum on Embedded MPSoC and Multicore (MPSoC'09), 2009年8月6日. 米国ジョージア州.