

機関番号：37111

研究種目：基盤研究(B)

研究期間：2008～2010

課題番号：20300019

研究課題名(和文) ソフトエラー・ばらつき・経年劣化を考慮可能なプロセッサ
アーキテクチャの構築研究課題名(英文) A Study on Processor Architectures that are tolerable to
Soft-error, Process variation, and Aging.

研究代表者

佐藤 寿倫 (SATO TOSHINORI)

福岡大学・工学部・教授

研究者番号：00322298

研究成果の概要(和文)：

過去数十年に渡って半導体集積回路技術は発展してきました。スマートフォンなどの携帯情報端末は、その技術発展の恩恵で実現された代表的な製品でしょう。しかし近年、深刻な問題が現れました。トランジスタが非常に小さくなったために、その信頼性が低下しているのです。当然、トランジスタで実現されている様々な情報機器の信頼性も低下しています。その信頼性を回復させる目的で本研究は実施され、一部の回路では70%の改善を達成しています。

研究成果の概要(英文)：

Semiconductor LSI technologies has been improved for decades. Smart phones are the representative, which benefit from the improvement. However, unfortunately, serious problems are emerging. Since transistors are much shrunken, their reliability is severely degraded. Hence, IT devices utilizing such transistors also become unreliable. This study attacks the problems. For some cases, the degradation in transistors is reduced by 70%.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2008年度	4,800,000	1,440,000	6,240,000
2009年度	3,500,000	1,050,000	4,550,000
2010年度	3,800,000	1,140,000	4,940,000
年度			
年度			
総計	12,100,000	3,630,000	15,730,000

研究分野：総合領域

科研費の分科・細目：情報学，計算機システム・ネットワーク

キーワード：ディペンダブル，省エネルギー，低消費電力，システムオンチップ，計算機システム

1. 研究開始当初の背景

情報を世界規模で自由かつ安全に入手・共有・発信できれば、それらがあらゆる分野で創造的な活動に結実されるだろう。そのような高度情報通信ネットワーク社会が形成されれば、知的コンピューティングの屋外への進出はより一層その勢いを増すと予測される。屋外での快適な知的コンピューティングを実現するためにはユビキタスデバイス

必然的に小型でなければならず、将来的には着衣などの一部として身に纏うものとなるに違いない。したがってユビキタスデバイスは以下の要件に直面する。屋外利用のためには信頼性が重要である。小型化のために物理的な容量は当然小さくなり、バッテリー容量も制約を受ける。つまり省電力であることが重要になる。その上、知的コンピューティングに必要な性能も必要である。まとめると、高

性能で小さく、省電力で信頼性の高いユビキタスデバイスが求められている。そのキーコンポーネントがマイクロプロセッサである。プロセッサにも、高性能で小さく、省電力で信頼性が高いことが求められる。

これまで、マイクロプロセッサの性能向上や消費電力削減には、多くの努力が払われてきた。しかし、主に性能向上に寄与していた半導体技術の進展が、現在、三つの非常に大きな課題を提示している。それらはソフトウェア、ばらつき、そして経年劣化である。

ソフトウェアとは、様々な雑音源が間違った結果を引き起こしてしまう過渡的でランダムな故障である。例えば、宇宙から降り注ぐ熱中性子により回路内の電荷量に変化してしまい、間違った結果を引き起こすことがあり得る。半導体の微細化によって雑音に対するマージンや信頼度が低下し、世代毎に8%の割合で故障率が增大していると言われている。特にユビキタスデバイスは屋外の劣悪な環境下で使用されるため、プロセッサのソフトウェア耐性、すなわち信頼性を確保する技術の確立が急務である。

半導体の製造には確率的な要素があり、そのプロセスを100%人為的にコントロールすることはできない。微細化によってトランジスタ形状のコントロールが困難となり、形状の乱れがトランジスタ性能に与える影響が大きくなっている。また、チップ上の全トランジスタが一樣に動作するわけではないことも、ばらつきの原因となる。この動作の不均一さは電力消費量の不均一さを引き起こし、さらに電源電圧の揺らぎやチップ表面温度の不均一さにつながる。電源電圧降下や温度上昇はトランジスタ速度を低下させるので、チップ上の位置の違いによりトランジスタ間に性能ばらつきが存在することになる。以上の原因によるばらつきは、全トランジスタが同一の性能を持つという設計上の前提を脅かし、プロセッサの動作を不安定にする。製造技術・回路技術・計算機支援設計(EDA)技術の分野で問題解決への大きな努力が払われている。しかし、多くの国際会議での基調講演などで繰り返し指摘されているように、それらだけでは十分ではなく、ばらつきに配慮したプロセッサアーキテクチャも必要である。

従来、半導体は非常に信頼性の高いものであると信じられていた。しかしやはり微細化の進展に伴い、トランジスタ性能の経年劣化が深刻となっている。代表的な要因はNBTI(Negative Bias Temperature Instability)である。NBTIによりPMOSトランジスタの閾値が見かけ上上昇し、その性能が年を経るに連れて劣化する。最先端のテクノロジーで製造されたトランジスタの場合、寿命は7年程度であると言われている。近年LSIは自動車で

の利用が急増しているが、自動車に期待される耐用年数は7年よりも長いだろう。人命に大きな影響のある自動車での応用を考慮すると、半導体の経年劣化は深刻である。その寿命を延長することが理想であるが、少なくとも劣化を検出し使用を停止するよう促す方式の検討が必須である。

2. 研究の目的

「研究開始当初の背景」を受けて以上をまとめると、本研究の目的は、ソフトウェア、ばらつき、経年劣化の問題を考慮した、マイクロプロセッサ向けの高信頼アーキテクチャを検討することである。

3. 研究の方法

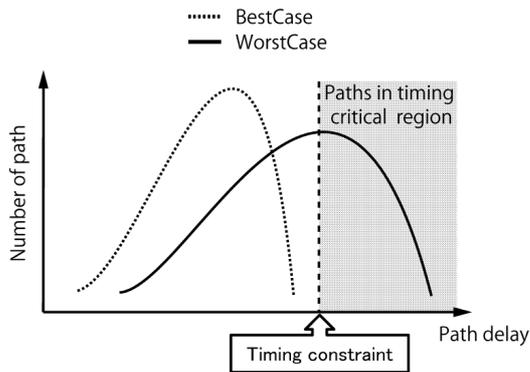
本研究は、ソフトウェア・シミュレータを用いた評価により実施される。プロセッサの評価を行なうために試作することは、システムの大規模化・複雑化にともなって現在では不可能になっている。現実的な評価方法として、ソフトウェアによりプロセッサのモデルを作成し、コンピュータ上でのシミュレーションを行なうことが一般的である。本研究においてもこの方法を採用する。プロセッサのハードウェア構成には大きな自由度があるため、広大な評価空間を探索しなければならない。このためには大量のシミュレーションを実行する必要がある。アプリケーションには、まずSPECベンチマーク、MediaBenchプログラムとMiBenchプログラムを用いる。SPECベンチマークはSPEC協会から配布されており、計算機システムの性能評価の目的で、研究レベルから商用レベルまで計算機業界で標準に使用されている。MediaBenchプログラムは米国UCLAが策定したマルチメディアアプリケーション動作時のプロセッサ評価のためのベンチマークである。MiBenchプログラムは米国ミシガン大学が策定した組み込みプロセッサ評価のためのベンチマークである。これらの現実に応じたアプリケーションを用いることで、本課題の実現性を評価できると考えている。

したがって本研究では、方式検討とモデル化→ソフトウェア・シミュレータの作成→シミュレーションによるデータ収集→評価結果に基づく方式の改善、を繰り返すことになる。中でも、シミュレータの作成とデータ収集、そして評価用アプリケーションの開発は非常に時間を要する作業である。そこで大学院学生による研究補助を考える。

4. 研究成果

平成20年度は、「研究の目的」で述べた三つの問題のうち、ソフトウェアとばらつきについて研究した。前者については、マルチコアプロセッサの構成とディペンダビリティ

との間の関係を明らかにした。後者については、回路とアーキテクチャの二面から問題を軽減する方式について検討した。いずれも、国際会議や学術論文誌に採択され、その意義を認められた。例えば、タイミングエラーを予報する目的で、カナリア・フリップフロップを提案している。カナリア・フリップフロップは通常のフリップフロップと比較して大凡3倍の面積となるので、LSI内の全てのフリップフロップをカナリア・フリップフロップで置き換えると、ある商用プロセッサの場合でコア全体の面積が50%以上大きくなり、実用面から現実的であるとは言えない。そこで真に必要な箇所においてのみ置き換える挿入位置決定手法を提案し、実際のネットリストを利用して評価した。タイミング的に余裕のあるパスの終点にあるフリップフロップは置き換える必要が無い。下図に示すように、想定される最悪条件下で解析し、タイミング違反を生じるフリップフロップだけを置き換える。



既存のツールチェーンを用いて挿入位置を決定できること、手法の適用によりチップの面積増加を大凡10%程度に抑えることが出来ること等、有用性を確認している。この時、上と同じコアで前フリップフロップの約20%が置き換えられている。置き換えをこの程度以下に抑えることが良いと思われる。

平成21年度は、上述した三つの問題のうち、経年劣化について注力的に研究した。アーキテクチャ上の工夫を施すことでSRAMセルにおける経年劣化を抑え、シミュレーションにより寿命を延長出来ること確認した。国際会議ISQED2010にて成果発表を行い、その意義を認められた。この方法では経年劣化を予防するためにNBTIの回復モードを活用するメモリ・アーキテクチャを提案している。下図はVattikondaらの論文(DAC2006)から引用したグラフである。横軸が時間の経過で、縦軸が閾値電圧の変化量である。Stress時には閾値電圧が劣化しているが、Recovery時には劣化が回復している。

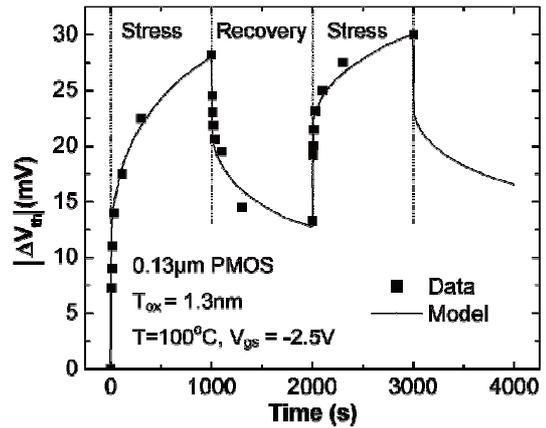
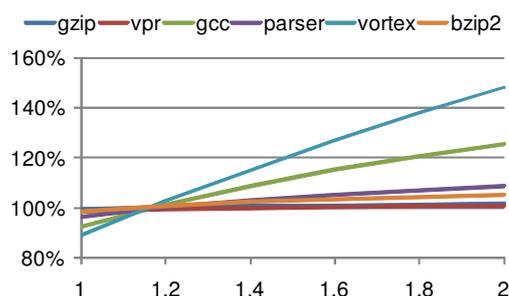


Figure 4. ΔV_{th} during dynamic NBTI [14].

このように、原因を取り除くと劣化が回復するというモードをNBTIは持っている。SRAMでは対向するインバータが相補的な値を保持しているため、常に一方のインバータでPMOSがStress状態にあるが、他方はRecovery状態にある。すなわちSRAMが保持している値を反転すれば、回復モードに切り替えることが可能である。この考えを利用したアーキテクチャを提案した。メモリへの書き込み・読み出し時に値を反転させるだけという極めて簡易な方法であり、遅延時間や回路面積への影響が小さく現実的である。レジスタファイルに採用した場合のシミュレーション結果を紹介する。本方式を用いることで、全レジスタの全ビットで閾値電圧の劣化が0.05Vに抑えられることを確認した。これは最大で70%の改善になる。

平成22年度の計画ではコア構成を可変にすることが大きな課題であった。マルチコアプロセッサ環境で、個々のコア構成を変えた場合の影響や、コア内部の構成を変えることによる性能改善見込みについて評価した。実行されるプログラムの特性によっては、小さなコアを多数用意するのでは不十分で、大きなコアが必要である。また、コアの規模を縮小し動作周波数を向上する方式を提案できた。以上については、国内シンポジウムで成果発表を行った。そこではPollack's RuleとAmdahl's Lawを比較した結果から、プログラム中の並列化可能部分が80%程度に過ぎないと、17個の小規模コアから構成されるマルチコアプロセッサよりも、17倍の面積を持つ大規模シングルコアプロセッサの方が高性能であることを示した。つまり、依然としてシングルスレッド性能の改善が必要である。さらに本稿ではコア単体の性能改善を検討し、コアの演算器規模を動的に適応変化させることで動作周波数の向上を図ることを提案した。大規模動作時に比較して小規模動作時にクロック周波数を40%上昇出来ると仮定すると、下図に示すようにコア単体の性

能を約 5%改善できることをシミュレーションにより確認した。



5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 3 件)

- ① Yuji Kunitake, Toshinori Sato, and Hiroto Yasuura, Short Term Cell-flipping Technique for Mitigating SNM Degradation Due to NBTI, IEICE Transactions on Electronics, 査読有, Vol. E94-C, No. 4, pp. 520-529, 2011.
- ② Yuji Kunitake, Kazuhiro Mima, Toshinori Sato, and Hiroto Yasuura, Enhancements of a Circuit-Level Timing Speculation Technique and Their Evaluations Using a Co-simulation Environment, IEICE Transactions on Electronics, 査読有, Vol. E92-C, No. 4, pp. 483-491, 2009.
- ③ 渡辺慎吾, 橋本昌宜, 佐藤寿倫, タイミング歩留まり改善を目的とする演算カスケーディング, 情報処理学会論文誌 コンピューティングシステム, 査読有, Vol. 1, No. 2, pp. 12-21, 2008 年.

[学会発表] (計 20 件)

- ① Yuji Kunitake, Toshinori Sato, Hiroto Yasuura, and Takanori Hayashida, Possibilities to Miss Predicting Timing Errors in Canary Flip-flops, 54th IEEE International Midwest Symposium on Circuits and Systems, 査読有, 2011 年 8 月発表予定, ソウル (韓国).
- ② Yuji Kunitake, Toshinori Sato, Hiroto Yasuura, and Takanori Hayashida, A Selective Replacement Method for Timing-Error-Predicting Flip-Flops, 54th IEEE International Midwest Symposium on Circuits and Systems, 査読有, 2011 年 8 月発表予定, ソウル (韓国).

- ③ Toshinori Sato, Takahito Yoshiki, and Takanori Hayashida, Multicore Power Management Utilizing Error-Predicting Flip-flop, 4th International Workshop on Multi-Core Computing Systems, 査読有, 2011 年 6 月発表予定, ソウル (韓国).
- ④ Toshinori Sato, Hideki Mori, Rikiya Yano, and Takanori Hayashida, Hitting Pollack's Law for Improving MPSoC Programmability and Efficiency, 3rd Workshop on Designing for Embedded Parallel Computing Platforms: Architectures, Design Tools, and Applications, 査読有, 2 pages, 2011 年 3 月 18 日, グルノーブル (フランス).
- ⑤ 吉木崇人, 佐藤寿倫, 林田隆則, タイミングエラー予報 FF を利用するマルチコアプロセッサのパワーマネジメント, 情報処理学会九州支部 火の国情報シンポジウム, 査読無, 6 頁, 2011 年 3 月 8 日, 福岡.
- ⑥ 小林哲也, 佐藤寿倫, 林田隆則, チップ面積制約下におけるマルチコア化による性能改善要件の調査, 情報処理学会九州支部 火の国情報シンポジウム, 査読無, 5 頁, 2011 年 3 月 8 日, 福岡.
- ⑦ 矢野力也, 森英貴, 佐藤寿倫, 林田隆則, 構成可変コアによるシングルコア・プロセッサの性能改善検討, 情報処理学会九州支部 火の国情報シンポジウム, 査読無, 6 頁, 2011 年 3 月 8 日, 福岡.
- ⑧ Yuji Kunitake, Toshinori Sato, and Hiroto Yasuura, A Replacement Strategy for Canary Flip-Flops, 16th IEEE Pacific Rim International Symposium on Dependable Computing, 査読無, pp. 227-228, 2010 年 12 月 15 日, 東京.
- ⑨ Yoshimi Otsuka, Toshinori Sato, Takahito Yoshiki, and Takanori Hayashida, MultiCore Energy Reduction Utilizing Canary FF, 10th International Symposium on Communications and Information Technologies, 査読有, pp. 922-927, 2010 年 10 月 29 日, 東京.
- ⑩ 國武勇次, 佐藤寿倫, 安浦寛人, ストレス確率を考慮した SRAM の値反転による NBTI 劣化抑制手法, 査読有, DA シンポジウム, pp. 129-134, 2010 年 9 月 3 日, 豊橋.
- ⑪ Yuji Kunitake, Toshinori Sato, and Hiroto Yasuura, A Case Study of Short Term Cell-Flipping Technique for Mitigating NBTI Degradation on Cache, 2nd Asia Symposium on Quality

- Electronic Design, 査読有, pp.301-307, 2010年8月4日, ペナン(マレーシア).
- ⑫ Yuji Kunitake, Toshinori Sato, and Hiroto Yasuura, Signal Probability Control for Relieving NBTI in SRAM Cells, 11th International Symposium on Quality Electronic Design, 査読有, pp.660-666, 2010年3月24日, サンノゼ(アメリカ).
- ⑬ Toshinori Sato and Shingo Watanabe, Uncriticality-directed Scheduling for Tackling Variation and Power Challenges, 10th International Symposium on Quality Electronic Design, 査読有, pp.820-825, 2009年3月18日, サンノゼ(アメリカ).
- ⑭ Shingo Watanabe, Masanori Hashimoto, and Toshinori Sato, A Case for Exploiting Complex Arithmetic Circuits towards Performance Yield Enhancement, 10th International Symposium on Quality Electronic Design, 査読有, pp.401-407, 2009年3月17日, サンノゼ(アメリカ).
- ⑮ 国武勇次, 佐藤寿倫, 山口誠一郎, 安浦寛人, タイミングエラーの予報を目的とするカナリア FF の挿入位置限定, 電子情報通信学会技術研究報告 査読無, VLD2008-60-90, Vol. 108, No. 298, pp.85-89, 2008年11月17日, 北九州.
- ⑯ Yuji Kunitake, Toshinori Sato, and Hiroto Yasuura, Mitigating Performance Loss in Aggressive DVS Using Dual-Sensing Flip-Flops, 16th IFIP/IEEE International Conference on Very Large Scale Integration, 査読有, pp.543-546, 2008年10月15日, ロードス島(ギリシャ).
- ⑰ Toshimasa Funaki and Toshinori Sato, Formulating MITF for a Multicore Processor with SEU Tolerance, 11th Euromicro Conference on Digital System Design, 査読有, Vol.1, pp.234-241, 2008年9月3日, パルマ(イタリア).
- ⑱ Shingo Watanabe, Masanori Hashimoto, and Toshinori Sato, Cascading Dependent Operations for Mitigating Timing Variability, Workshop on Quality-Aware Design, 査読有, 8 pages, 2008年6月21日, 北京(中国).
- ⑲ 渡辺慎吾, 橋本昌宜, 佐藤寿倫, タイミング歩留まり改善を目的とする演算器カスケードニング, 先進的計算基盤システムシンポジウム, 査読有, pp.115-122, 2008年6月12日, つくば.

- ⑳ 国武勇次, 佐藤寿倫, 安浦寛人, カナリア方式におけるタイミングエラー見逃しに関する調査, 先進的計算基盤システムシンポジウム, 査読有, pp.48-49, 2008年6月11日, つくば.

[その他]
ホームページ等
<http://uarch.jimdo.com/>

6. 研究組織

(1) 研究代表者

佐藤 寿倫 (SATO TOSHINORI)
福岡大学・工学部・教授
研究者番号: 00322298

(2) 研究分担者

林田 隆則 (HAYASHIDA TAKANORI)
福岡大学・工学部・助教
研究者番号: 00380551