

## 自己評価報告書

平成 23 年 4 月 22 日現在

機関番号：12601  
研究種目：基盤研究 (B)  
研究期間：2008～2011  
課題番号：20360152  
研究課題名 (和文) シリコン単電子・量子・CMOS 融合 3 次元ナノ集積回路システムに関する研究  
研究課題名 (英文) Research on 3D-integrated Circuit System of Silicon Single Electron, Quantum and CMOS Devices  
研究代表者 竹内 健 (TAKEUCHI KEN)  
東京大学・大学院工学系研究科・准教授  
研究者番号：80463892

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：メモリ、SSD、3次元 LSI、電源、低消費電力、フラッシュメモリ、強誘電体

## 1. 研究計画の概要

本研究の目的は、10nm 以下のサイズで室温動作するシリコン単電子デバイス・量子デバイスと CMOS デバイスを 3 次元構造に集積化したナノ集積回路システムを可能にすることである。特に 10nm サイズで 256Gbit の大容量、100MByte/sec の超高速な単電子メモリを可能にし、10 年後の日本の半導体産業を牽引する基盤技術の構築を目的とする。

## 2. 研究の進捗状況

まず、ナノ集積回路システムの重要な構成要素であるナノメモリの低消費電力化の研究を行った。従来のメモリは微細化により素子の寄生容量が増大するのに加え、書き換え電圧が 20V から低電圧化困難であるため大幅に消費電力が増大する。また従来のメモリに使われている電源回路では容量を用いたチャージポンプ型昇圧回路を用いていたため電力効率は 10% と非常に低いという問題があった。本研究ではインダクターを用いた電源回路を採用することで電力効率を 50% 以上に高め、メモリ全体の消費電力を半減することに成功した。

本研究で開発した 3 次元 LSI 内に集積化されたナノ集積回路システムでは、インタポーター中のインダクタ・CMOS ロジックプロセスで作成した制御回路・メモリプロセスで作成した高電圧 MOS スイッチと、最適なプロセス技術・回路で回路を構成することで、消費電力の低減のみならずコストの低減も実現した。

インタポーター中のインダクタ、デジタルロジック回路、メモリ回路を 3 次元に集積した

ナノ集積回路システムを設計、試作、評価し、電源システムの消費電力を従来の 12% に低減できることを実証した。開発した電源システムとメモリを 3 次元に集積したナノ集積回路システムにより、パソコンやデータセンターの記憶装置の電力を低減し、地球環境に優しい IT プラットフォームを実現することが期待される。研究成果は半導体分野のオリンピックと呼ばれる ISSCC (International Solid-State Circuit Conference) で発表し、日経エレクトロニクス、IEEE Spectrum、日刊工業新聞、化学工業日報、EE Times Japan、科学新聞など多くのメディアに取り上げられた。

また、ナノ集積回路システムの重要な構成要素であるナノメモリの低消費電力化の研究を行った。ゲート電圧によってしきい値電圧が変化する強誘電体ゲートトランジスタを CMOS ロジックに適用することにより、0.5V とした極低電力で動作し、従来の CMOS に比べて電力を約 30% 低減するナノ集積回路の動作を実証した。

提案したメモリは NMOS の基板と PMOS の基板をそれぞれ VDD と VSS に接続する。読み出しと保持動作では、強誘電体トランジスタのしきい値電圧が自動的に変化し、スタティック・ノイズ・マージンが 60% 増加する。また、保持動作中はリークパスとなるトランジスタのしきい値電圧が高くなっているためリーク電流が 42% 削減される。スタティック・ノイズ・マージンの増加によって電源電圧が 0.11V 削減され、アクティブ電力が 32% 削減される。トランジスタ数が 6 つであるため、提案の SRAM は最小の面積を実現している。

### 3. 現在までの達成度

① 当初の計画以上に進展している。研究の進捗状況で記載のように、当初の計画以上に研究成果があがっており、雑誌論文2件の掲載、学会発表34件を行った。また、成果は日経エレクトロニクスなどのメディアでも取り上げられた。

### 4. 今後の研究の推進方策

研究は順調に推移しており、シリコン単電子デバイス・量子デバイスとCMOSデバイスを3次元構造に集積化したナノ集積回路システムの実現のために、回路・デバイス要素技術の研究を引き続き遂行する。

### 5. 代表的な研究成果

[雑誌論文] (計2件)

- ① 竹内健、フラッシュメモリの最新技術動向-SSDへの応用、情報処理、vol. 49, no. 9、PP. 1090-1098、2008年、査読無
- ② Shuhei Tanakamaru, Teruyoshi Hatanaka, Ryoji Yajima, Mitsue Takahashi, Shigeki Sakai and Ken Takeuchi, A 0.5-V 6-Transistor Static Random Access Memory with Ferroelectric-Gate Field Effect Transistors, Japanese Journal of Applied Physics (JJAP)、49、121501-121509、2010年、査読有

[学会発表] (計8件)

1. Koichi Ishida, Tadashi Yasufuku, Shinji Miyamoto, Hiroto Nakai, Makoto Takamiya, Takayasu Sakurai and Ken Takeuchi, "A 1.8V 30nJ Adaptive Program-Voltage (20V) Generator for 3D-Integrated NAND Flash SSD," *IEEE International Solid-State Circuits Conference (ISSCC)*, pp. 238-239, February 2009. サンフランシスコ/USA
2. Ken Takeuchi, "Novel Co-design of NAND Flash Memory and NAND Flash Controller Circuits for sub-30nm Low-Power High-Speed Solid-State Drives (SSD)," *IEEE Symp. on VLSI Circuits*, pp. 124-125, June 2008. 京都
3. Ken Takeuchi, "Memory System Innovation with SSD and Emerging Memories," *IEEE International Solid-State Circuits Conference*

(*ISSCC*), Memory Forum F-1, February 2009. (招待講演) サンフランシスコ/USA

4. Ken Takeuchi, Current Status and Future Challenge of Fe-NAND/SRAM Cell Technology, International Conference on Solid State Devices and Materials, 2010年9月、東京
5. Ken Takeuchi, Ferroelectric-gate FET for Flash Memory & SRAM application, ITRS Emerging Research Devices and Emerging Research Materials Meeting, 2011年4月、ミラノ/イタリア
6. Tadashi Yasufuku, Koichi Ishida, Shinji Miyamoto, Hiroto Nakai, Makoto Takamiya, Takayasu Sakurai and Ken Takeuchi, Inductor Design of 20-V Boost Converter for Low Power 3D Solid State Drive with NAND Flash Memories, IEEE International Symposium on Low Power Electronics and Design (ISLPED)、2009年8月、サンフランシスコ/USA
7. Tadashi Yasufuku, Koichi Ishida, Shinji Miyamoto, Hiroto Nakai, Makoto Takamiya, Takayasu Sakurai and Ken Takeuchi, Effect of Resistance of TSV's on Performance of Boost Converter for Low Power 3D SSD with NAND Flash Memories, IEEE International Conference on 3D System Integration (3D IC)、2009年9月、サンフランシスコ/USA
8. Shuhei Tanakamaru, Teruyoshi Hatanaka, Ryoji Yajima, Mitsue Takahashi, Shigeki Sakai and Ken Takeuchi, A 0.5V Operation, 32% Lower Active Power, 42% Lower Leakage Current, Ferroelectric 6T-SRAM with VTH Self-Adjusting Function for 60% Larger Static Noise Margin, IEEE International Electron Devices Meeting (IEDM)、2009年12月、ボルチモア/USA

[産業財産権]

○出願状況 (計1件)

名称：不揮発性半導体記憶装置  
発明者：竹内健、他4名  
権利者：東京大学  
出願年月日：2008年10月20日  
国内外の別：国内

[その他]

ホームページ：  
<http://www.lsi.t.u-tokyo.ac.jp/index.html>