

## 科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 25 年 6 月 1 日現在

機関番号：32641

研究種目：基盤研究（B）

研究期間：2008～2012 年度

課題番号：20360152

研究課題名（和文） シリコン単電子・量子・CMOS 融合 3 次元ナノ集積回路システムに関する研究

研究課題名（英文） Research on 3D-integrated Silicon Nano LSI System

研究代表者：竹内 健（TAKEUCHI KEN）中央大学・理工学部・電気電子情報通信工学科・教授  
研究者番号：80463892

研究成果の概要（和文）：ナノ集積回路システムの重要な構成要素であるナノメモリの低消費電力化の研究を行った。インダクタを用いた電源回路を採用することで電力効率を 50%以上に高め、メモリ全体の消費電力を半減することに成功した。また、ゲート電圧によってしきい値電圧が変化する強誘電体ゲートトランジスタを CMOS ロジックに適用することにより、0.5V とした極低電力で動作し、従来の CMOS に比べて電力を約 30%低減するナノ集積回路の動作を実証した。更に、ナノメモリの 3 次元積層技術による大容量化に関する研究を行い、ゲート長とスペースは等しいことが望ましく、空孔の直径が 90nm において層間ピッチ 40nm が達成可能であることを明らかにした。

研究成果の概要（英文）：Inductor based low power circuits are developed to enhance the power efficiency up to 50% and decrease the memory power consumption by half. In addition, the ferroelectric MOS transistor based logic circuit system is developed which operates at an extremely low voltage, 0.5V, and eventually decrease the power by 30% compared with the conventional CMOS circuit system. Finally, a 3D-integrated nano memory structure is studied. A vertically integrated memory device structure is proposed which enables the scaling of the vertical transistor to 40nm.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
平成 20 年度	7,300,000	2,190,000	9,490,000
平成 21 年度	2,300,000	690,000	2,990,000
平成 22 年度	2,300,000	690,000	2,990,000
平成 23 年度	2,600,000	780,000	3,380,000
平成 24 年度			
総計	14,500,000	4,350,000	18,850,000

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス、電子機器

キーワード：メモリ・SSD・3次元 LSI・電源・低消費電力・フラッシュメモリ

## 1. 研究開始当初の背景

従来の LSI は CMOS デバイスの微細化により集積度・性能の向上をはかってきたが、単なる微細化では高集積化・高速化が困難に

なっている。この状況を打ち破るため、各種のナノデバイスを 3 次元構造に積層することで、小型化・高機能化・高性能化を図る技術が必要になっている。

## 2. 研究の目的

本研究の目的は、20nm 以下のサイズで室温動作するシリコンナノデバイスと CMOS デバイスを 3次元構造に集積化したナノ集積回路システムを可能にする基盤研究を推進する。特にギガビットの大容量、10MByte/sec 超の高速かつ低電力なメモリを可能にし、将来の日本の半導体産業を牽引する基盤技術の構築を目的とする。

## 3. 研究の方法

本研究ではナノデバイスのモデル化とコンピュータによるシミュレーションを駆使する新しい研究手法を導入する。即ち、本研究ではナノデバイスのモデルを用いたシミュレーションを行うことで、ナノデバイスが実際に大規模に集積化できるよりかなり前に、世界に先駆けて回路システムの研究に着手し実証実験を行う。

## 4. 研究成果

まず、ナノ集積回路システムの重要な構成要素であるナノメモリの低消費電力化の研究を行った。従来のメモリは微細化により素子の寄生容量が増大するのに加え、書き換え電圧が 20V から低電圧化困難であるため大幅に消費電力が増大する。また従来のメモリに使われている電源回路では容量を用いたチャージポンプ型昇圧回路を用いていたため電力効率は 10%と非常に低いという問題があった。本研究ではインダクターを用いた電源回路を採用することで電力効率を 50%以上に高め、メモリ全体の消費電力を半減することに成功した。

本研究で開発した 3次元 LSI 内に集積化されたナノ集積回路システムでは、インタポージャー中のインダクタ・CMOS ロジックプロセスで作成した制御回路・メモリプロセスで作成した高電圧 MOS スイッチと、最適なプロセス技術・回路で回路を構成することで、消費電力の低減のみならずコストの低減も実現した。

インタポージャー中のインダクタ、デジタルロジック回路、メモリ回路を 3次元に集積したナノ集積回路システムを設計、試作、評価し、電源システムの消費電力を従来の 12%に低減できることを実証した。開発した電源システムとメモリを 3次元に集積したナノ集積回路システムにより、パソコンやデータセンタの記憶装置の電力を低減し、地球環境に優しい IT プラットフォームを実現することが期待される。研究成果は半導体分野のオリンピックと呼ばれる ISSCC(International Solid-State Circuit Conference)で発表し、

日経エレクトロニクス、IEEE Spectrum、日刊工業新聞、化学工業日報、EE Times Japan、科学新聞など多くのメディアに取り上げられた。

また、ナノ集積回路システムの重要な構成要素であるナノメモリの低消費電力化の研究を行った。ゲート電圧によってしきい値電圧が変化する強誘電体ゲートトランジスタを CMOS ロジックに適用することにより、0.5V と言った極低電力で動作し、従来の CMOS に比べて電力を約 30%低減するナノ集積回路の動作を実証した。

提案したメモリは NMOS の基板と PMOS の基板をそれぞれ VDD と VSS に接続する。読み出しと保持動作では、強誘電体トランジスタのしきい値電圧が自動的に変化し、スタティック・ノイズ・マージンが 60%増加する。また、保持動作中はリークパスとなるトランジスタのしきい値電圧が高くなっているためリーク電流が 42%削減される。スタティック・ノイズ・マージンの増加によって電源電圧が 0.11V 削減され、アクティブ電力が 32%削減される。トランジスタ数が 6つであるため、提案の SRAM は最小の面積を実現している。

更に、ナノ集積回路システムの重要な構成要素であるナノメモリのスケールリングに関する研究を行った。バルク基板と silicon-on-insulator (SOI) 基板を用いた 20nm 世代以降の NAND フラッシュメモリの微細化限界を短チャネル効果と書き込み禁止動作におけるチャネル昇圧リークの観点から三次元デバイスシミュレーションを用いて検討した。バルク NAND フラッシュメモリではチャネル不純物濃度が高くなると短チャネル効果の抑制に効果的だが、p/n 接合の耐圧が悪化するためチャネル昇圧リークが悪化する。SOI NAND フラッシュメモリでは埋め込み酸化膜 (BOX) を薄くすると短チャネル効果の耐性は向上するが BOX を介したリークによりチャネル昇圧動作に問題が生じる。バルク NAND フラッシュメモリでは 13nm 世代でチャネル昇圧リークによる微細化限界を迎えるが、SOI NAND フラッシュメモリでは 8nm まで延長が可能であることを明らかにした。

最後に、本研究では BiCS 型 3次元積層ナノメモリのスケールビリティを 3次元デバイスシミュレーションを用いて検討し、デバイス設計と積層数の方針を示した。電気的特性からスケールリング可能な層間ピッチを調べ、平面型ナノメモリのセル面積に相当するための積層数を明らかにした。3次元ナノメモリではゲート・オール・アラウンド構造のためサブレスショナルが優れているが、即値電圧のロールオフや隣接セルに電荷がある際の即値電圧シフトが大きいことを明らかにした。

これは3次元ナノメモリでは基板がないため、隣接セルからの電界の影響をチャンネルが強く受けるからである。3次元ナノメモリではゲート長とスペースは等しいことが望ましく、空孔の直径が90nmにおいて層間ピッチ40nmが達成可能であることを明らかにした。層間ピッチ40nm18層以上積層することで、15nm世代平面型ナノメモリに匹敵する大容量化が可能であることを明らかにした。

#### 5. 主な発表論文等

[雑誌論文] (計4件)

- ① Kousuke Miyaji, Chinglin Hung and Ken Takeuchi, “Scaling Trends and Tradeoffs between Short Channel Effect and Channel Boosting Characteristics in sub-20nm Bulk/SOI NAND Flash Memory,” vol. 51, no. 4, pp. 04DD12, *Japanese Journal of Applied Physics (JJAP)*, April 2012. 査読有
- ② Ken Takeuchi, Teruyoshi Hatanaka and Shuhei Tanakamaru, “Highly Reliable, High Speed and Low Power NAND Flash Memory-Based Solid State Drives (SSDs),” vol. 9, no. 8, pp. 779-794, *IEICE Electronics Express (ELEX)*, 2012. 査読有
- ③ Shuhei Tanakamaru, Teruyoshi Hatanaka, Ryoji Yajima, Mitsue Takahashi, Shigeki Sakai and Ken Takeuchi, “A 0.5-V 6-Transistor Static Random Access Memory with Ferroelectric-Gate Field Effect Transistors,” *Japanese Journal of Applied Physics (JJAP)*, 49, 121501-121509, 2010年、査読有
- ④ 竹内健、フラッシュメモリの最新技術動向-SSDへの応用、情報処理、vol.49,no.9, PP.1090-1098, 2008年、査読無

[学会発表] (計42件)

- ① Ken Takeuchi, “NAND & Controller Co-design for SSD,” *IEEE International Memory Workshop Short Course*, May.23,2012. ミラノ【招待講演】
- ② Yuki Yanagihara, Kousuke Miyaji and Ken Takeuchi, “Control Gate Length, Spacing and Stacked Layer Number Design for 3D-Stackable NAND Flash Memory,” *IEEE International Memory Workshop*, May.22, 2012. ミラノ
- ③ Ken Takeuchi, “Ferroelectric-gate FET for Flash Memory & SRAM application,” *ITRS Emerging Research Devices and Emerging Research Materials Meeting*,

April.25,2011. ミラノ

- ④ Ken Takeuchi, “Current Status and Future Challenge of Fe-NAND/SRAM Cell Technology,” *International Conference on Solid State Devices and Materials*, September.25,2010. 東京
- ⑤ Shuhei Tanakamaru, Teruyoshi Hatanaka, Ryoji Yajima, Mitsue Takahashi, Shigeki Sakai and Ken Takeuchi, “A 0.5V Operation, 32% Lower Active Power, 42% Lower Leakage Current, Ferroelectric 6T-SRAM with VTH Self-Adjusting Function for 60% Larger Static Noise Margin,” *IEEE International Electron Devices Meeting (IEDM)* December.8,2009. ボルチモア
- ⑥ Tadashi Yasufuku, Koichi Ishida, Shinji Miyamoto, Hiroto Nakai, Makoto Takamiya, Takayasu Sakurai and Ken Takeuchi, “Effect of Resistance of TSV’s on Performance of Boost Converter for Low Power 3D SSD with NAND Flash Memories,” *IEEE International Conference on 3D System Integration (3D IC)*, September.28,2009. サンフランシスコ
- ⑦ Tadashi Yasufuku, Koichi Ishida, Shinji Miyamoto, Hiroto Nakai, Makoto Takamiya, Takayasu Sakurai and Ken Takeuchi, “Inductor Design of 20-V Boost Converter for Low Power 3D Solid State Drive with NAND Flash Memories,” *IEEE International Symposium on Low Power Electronics and Design (ISLPED)*, August.19,2009. サンフランシスコ
- ⑧ Ken Takeuchi, “Memory System Innovation with SSD and Emerging Memories,” *IEEE International Solid-State Circuits Conference (ISSCC)*, Memory Forum F-1, February.11,2009. サンフランシスコ【招待講演】
- ⑨ Koichi Ishida, Tadashi Yasufuku, Shinji Miyamoto, Hiroto Nakai, Makoto Takamiya, Takayasu Sakurai and Ken Takeuchi, “A 1.8V 30nJ Adaptive Program-Voltage (20V) Generator for 3D-Integrated NAND Flash SSD,” *IEEE International Solid-State Circuits Conference (ISSCC)*, pp. 238-239, February.10, 2009. サンフランシスコ
- ⑩ Ken Takeuchi, “Novel Co-design of NAND Flash Memory and NAND Flash Controller Circuits for sub-30nm Low-Power High-Speed Solid-State

Drives (SSD),” *IEEE Symp. on VLSI Circuits*, pp.124-125, June.22,2008. ホノルル

〔図書〕 (計 1 件)

- ① Ken Takeuchi, “Inside Solid State Drives (SSDs)”, Chapter 7, 13, 2012, Springer.

〔産業財産権〕

○出願状況 (計 1 件)

名称：不揮発性半導体記憶装置

発明者：竹内健、他 4 名

権利者：東京大学

種類：特願

番号：特願 2010-534730、US 13/123811、  
CN 200980141666.6

出願年月日：2009 年 4 月 17 日

国内外の別：国内及び国外

〔その他〕

ホームページ：

<http://www.takeuchi-lab.org/>

6. 研究組織

(1) 研究代表者

竹内 健 (TAKEUCHI KEN)

中央大学・理工学部・電気電子情報通信工学科・教授

研究者番号：80463892