

機関番号：12201

研究種目：基盤研究 (C)

研究期間：2008～2010

課題番号：20500047

研究課題名 (和文)

汎用マルチコアプロセッサ向けバイナリレベル投機的複数スレッド化の研究

研究課題名 (英文)

Research on binary-level speculative multithreading for general-purpose multi-core processors

研究代表者

大津 金光 (OOTSU KANEMITSU)

宇都宮大学・工学研究科・准教授

研究者番号：00292574

研究成果の概要 (和文)：

本研究では、プログラムの実行パスに基づいた投機的なスレッド実行方式を導入することで、スレッドサイズの大幅な拡大やスレッド間データ通信の削除を可能とする投機的な複数スレッド化手法を開発した。(1)プログラムの実行パスに基づいた高性能な複数スレッド化手法の開発、(2)プログラムの実行パスをソフトウェアにより低コストで精確に把握する手法の開発、(3)投機的スレッド実行のソフトウェアによる低コストな実現、の3つの主要課題について研究を行い、ソフトウェアシステムとしての実装開発を行った。

研究成果の概要 (英文)：

This research developed a method of thread-level parallelization for the speculative multithreading, that enables both the enlargement of thread codes and the removal of the data communication between threads, by introducing a speculative multithread execution method based on the execution path of programs. A software proto-type system have been developed, while solving the three primal problems (1)development of the high-performance thread-level parallelization based on the execution path of programs,(2)development of the software accurate path profiling system at low cost,(3)realization of high-performance speculative multithreading only by software.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2008年度	1,300,000	390,000	1,690,000
2009年度	1,200,000	360,000	1,560,000
2010年度	600,000	180,000	780,000
年度			
年度			
総計	3,100,000	930,000	4,030,000

研究分野：

科研費の分科・細目：総合領域、情報学、計算機システム・ネットワーク

キーワード：バイナリ変換、複数スレッド化、投機実行、実行パス、プロファイル

1. 研究開始当初の背景

近年、1個のLSIチップ上に複数のマイクロプロセッサを集積したマルチコアプロセッサがパーソナルな利用環境においても普及の段階にあるが、その潜在的に高い処理

性能が現実的には十分に活かされていない状況にある。そこで我々は、現在一般的に普及している汎用マルチコアプロセッサの性能を最大限に活用することで、コンピュータプログラムの計算処理に要する時間の大幅

短縮(=高速化)を実現することを目的として、マルチコアプロセッサ上でコンピュータプログラムを効率良く処理するために必要となるプログラムの自動的な複数スレッド化をプログラムのバイナリコード、すなわちマイクロプロセッサの機械命令コードを直接の対象として複数スレッド化を行う我々独自のバイナリコードレベル複数スレッド化手法を提案し、ソフトウェア変換システムを開発する研究を行ってきた。

我々の行ったこれまでの性能評価によりプロセッサコア数に比例したスケラブルな高速化(例えば、数値計算系プログラムにおける典型的なループ処理においてコア数 8 個の場合で最大約 8 倍の高速化)を達成し、バイナリコードレベル複数スレッド化手法の有効性を明らかとしてきたが、本システムによって高速化が難しいプログラムも存在しており、高速化のためには(1) スレッドの処理サイズが大きい、(2) スレッド間でデータ通信が発生しないという二つの条件を同時に満たすようにプログラムをスレッドに分割することが必要であることも明らかとなった。特にプログラムの制御構造やデータ依存関係が複雑になりがちな非数値計算系プログラムにおいて、従来の保守的な分割方法では処理間の依存関係による制約が強く、条件を満たすようにプログラムを分割することがむずかしい。さらに、近年の商用マルチコアプロセッサにおいては演算パイプラインの段数が多く、キャッシュメモリ等へのアクセスサイクル数も以前と比べて増大しており、それに伴ってスレッドサイズやスレッド間通信が性能に与える影響が格段に大きくなっている。そのため、今後マルチコアプロセッサの性能を最大限に活用するためには複数スレッド化処理においてこれらの制約を打破する革新的な手法の確立が急がれる状況にあった。

2. 研究の目的

本研究では、プログラムの実行パスに基づいた投機的なスレッド実行方式を導入することで、スレッドサイズの大幅な拡大やスレッド間データ通信の削除を可能とする投機的な複数スレッド化手法を開発する。本研究を実現する上で特に重要な課題を以下に挙げる。

- プログラムの実行パスに基づいた高性能な複数スレッド化手法の開発
プログラムの制御の流れ(すなわち、実行パス)の中から頻出するパターンを解析し、高速化に必要なスレッドサイズを確保しつつ、スレッド間でデータ通信が発生しないようなプログラムの分割パターンを見つけ出すことで、どのようなプログラムに対しても高速化を実現する複数スレッド化手法を開発

する。

- プログラムの実行パスをソフトウェアにより低コストで精確に把握する手法の開発

本研究で開発する複数スレッド化手法では、プログラムの実行パスをソフトウェアにより精確に把握する必要がある。しかし、これは一般的にプログラムの実行時間を増大させる作業であるため、可能な限り短い時間で精確なパス情報を取得する手法を開発する。

- 投機的スレッド実行のソフトウェアによる低コストな実現

現在普及している汎用マルチコアプロセッサでは投機的なスレッド実行を支援するハードウェア機能を備えていない。そこで、本研究で開発する投機的複数スレッド実行を汎用マルチコアプロセッサ上でソフトウェアによって低コストで実現する。

本研究では我々のバイナリコードレベル複数スレッド化システムをベースとしてこれら三つの重要課題の解決を図りながら、開発した手法をシステムとして実現することによりその有効性を実証していく。

3. 研究の方法

本研究課題では、コンピューターのユーザープログラムをバイナリコード変換により自動的に複数スレッド化するソフトウェア変換システムにおいてこれまで高速化が難しかった非数値演算系プログラムに対しても高速化を実現する複数スレッド化手法を開発する。そのために、プログラムの実行パスに基づいた投機的なスレッド実行方式を導入し、複数スレッド実行による高速化に必要なスレッドサイズの拡大とスレッド間データ通信の削減を可能とするスレッド分割手法を開発する。開発した手法を変換システム上に実装を行い、現実的なプログラムを対象として性能評価を行うことで、その有効性を実証する。そのために、以下の課題の解決を図る。

- プログラムの実行パスに基づいた高性能な複数スレッド化手法の開発
- プログラムの実行パスをソフトウェアにより低コストで精確に把握する手法の開発
- 投機的スレッド実行のソフトウェアによる低コストな実現

上記の三つの課題の解決を図りながらそれによって獲得した開発した技術を我々のバイナリコードレベル複数スレッド化システムをベースとして実現し、その有効性を実証していく。

4. 研究成果

研究計画に従い、以下の3課題の解決を図

りながら、汎用マルチコアプロセッサ向けのバイナリレベル投機的複数スレッド化手法の研究開発を行ってきた。

- プログラムの実行パスに基づいた高性能な複数スレッド化手法の開発

プログラムの制御の流れ(実行パス)の中から頻度の高いものを選び出し、スレッド間でデータ通信が発生しないようなプログラムの分割パターンを見つけ出すことで、高速化を達成する複数スレッド化手法の開発を行った。また、頻度の高い実行パスに沿って自動的にプログラムのスレッド分割を行うシステムソフトウェアの開発を行った。さらに、スレッド分割の障害となるデータ依存関係に関して、複数スレッド実行への影響の少ないものを許容する分割方法についても検討を行った。研究の結果、実行パスに基づいた複数スレッド化手法を実現した自動並列化処理系を開発し、SPEC2000 ベンチマークプログラムを用いた評価により性能向上が可能であることが確認できた。また、スレッド間データ依存を許容することで、さらなる性能向上を目指した改善方法についても検討を行い、初期評価により性能改善が可能であることを確認した。本課題についての主要な成果を雑誌論文 [2, 3] および学会発表 [2, 3, 13, 19, 21, 23, 35, 43, 52, 55, 60] で公表した。

- プログラムの実行パスをソフトウェアにより低コストで精確に把握する手法の開発

プログラムの実行パス情報を短時間で精確に把握するパスプロファイラの開発を行った。EPP をベースとしたソフトウェアパスプロファイラを開発を行った。また、それによって得られる実行パス情報を解析し、実行プログラムの実行パスの挙動変化について調査を行った。さらに、挙動変化に基づいて最も高い性能向上が得られる可能性の高い実行パスを選択し、実行時にスレッドコードを切り替える実行時最適化手法について研究を行った。研究の結果、開発したパスプロファイラによるプログラムの解析評価を行い、実行パスの挙動変化に追従して実行時にスレッドコードを切り替える実行時最適化手法の有効を確認できた。本課題についての主要な成果を学会発表 [7, 24, 45, 54] で公表した。

- 投機的スレッド実行のソフトウェアによる低コストな実現

投機的なスレッド実行を支援するハードウェア機能を備えていない現在の商用汎用マルチコアプロセッサにおいて、投機的複数スレッド実行手法を実現するためのソフトウェア支援環境の開発を行った。また、ソフトウェアによる投機的メモリアクセスをより効率的に動かすためのハードウェア支援機

能についての研究も行った。研究の結果、投機的複数スレッド実行機能を持たない汎用プロセッサ上でソフトウェアのみにより投機的スレッド実行の低コスト化には限界があり、(少量ではあるが) ハードウェアによる支援を前提とした設計を行う必要があることが分かった。ただし、本課題で当初より最も性能に影響を与えると懸念していた静的に解析できないスレッド間データ依存の動的なチェック処理については、評価を行った範囲で問題にならなかったことも確認しており、実用上の影響はないと考えられ、結論として、汎用プロセッサ上での投機的複数スレッド処理をバイナリ変換処理によって実現する本研究は十分実用になるという確証を得た。本課題についての主要な成果を雑誌論文 [1] および学会発表 [8, 12, 14, 31] で公表した。

また、上記 3 つの課題の研究と並行して、バイナリ変換によるスレッドレベル自動並列化システムの開発を行い、SPEC2000 ベンチマークプログラムの一部のプログラムの自動並列化に成功している。また本システムを使っての性能評価実験により、その有効性を確認している。この成果については学会発表 [14, 22, 44, 57] 等で公表している。

また、本研究より派生したアイデアを取り込んだ研究を遂行し、他多数の成果発表を行っている。

本研究により、汎用プロセッサ上でのバイナリ変換による自動複数スレッド化が有効である確証を得た。今後は、評価作業を拡大的に実施し、性能上のボトルネックに対処しながら、汎用プロセッサ向けの複数スレッド化処理をバイナリ変換により実現するシステムの開発を継続して行い、本研究の実用化を目指す予定である。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 4 件)

1. Y.Zhang, K.Ootsu, T.Yokota, T.Baba, “Clustered Communication for Efficient Pipelined Multithreading on Commodity MCPs”, IAENG International Journal of Computer Science, 査読有, Vol.36, Issue.4, 2009.
2. Y.Zhang, K.Ootsu, T.Yokota, T.Baba, “Clustered Pipelined Multithreading on Commodity Multi-Core Processors”, システム制御情報学会論文誌, 査読有, Vol.22, No.11, 2009.
3. 大津金光, 小川大仁, 横田隆史, 馬場敬信, “プログラム実行パスに基づいた

投機スレッド分割”，システム制御情報学会論文誌，査読有，Vol. 22，No. 6，2009.

4. 大津金光，横田隆史，馬場敬信，“プログラムループの実行頻度分布に関する一考察”，電子情報通信学会論文誌 A，査読有，Vol. J91-A，No. 12，2008.

〔学会発表〕（計 61 件）

1. T. Yokota, K. Ootsu, T. Baba, “Steady/Unsteady Communication Performance in Large-Scale Regular Networks,” 25th IEEE International Conference on Advanced Information Networking and Applications Workshops (WAINA 2011), 2011. 3. 22, シンガポール.
2. 塚本寛隆，大津金光，横田隆史，馬場敬信，“スレッド間データ依存を考慮したバスベーススレッド分割手法の検討”，情報処理学会第 73 回全国大会，2011. 3. 4，東京.
3. 高橋辰平，白戸卓志，大津金光，横田隆史，馬場敬信，“プログラムループおよび実行パスに基づいた自動並列化システムの検討”，情報処理学会第 73 回全国大会，2011. 3. 4，東京.
4. 川上憂騎，大津金光，横田隆史，馬場敬信，“H. 264 のデコード処理における 2 パス限定投機方式の並列性能評価”，情報処理学会第 73 回全国大会，2011. 3. 3，東京.
5. 十鳥弘泰，大津金光，横田隆史，馬場敬信，“2 パス限定投機システムによる難並列化ループの高速化”，情報処理学会第 73 回全国大会，2011. 3. 3，東京.
6. 福田明宏，十鳥弘泰，大津金光，横田隆史，馬場敬信，“2 パス限定投機システムにおけるコードスケジューリング手法とその評価”，情報処理学会第 73 回全国大会，2011. 3. 2，東京.
7. 津田翼，大津金光，横田隆史，馬場敬信，“2 パス限定投機方式における動的最適化の効果”，情報処理学会第 73 回全国大会，2011. 3. 2，東京.
8. 関口祐司，十鳥弘泰，大津金光，横田隆史，馬場敬信，“2 パス限定投機システムにおける投機的メモリアクセスの解析”，情報処理学会第 73 回全国大会，2011. 3. 2，東京.
9. 金海和宏，大津金光，横田隆史，馬場敬信，“2 パス限定投機システムにおけるパス予測器の検討”，情報処理学会第 73 回全国大会，2011. 3. 2，東京.
10. 北直樹，横田隆史，大津金光，馬場敬信，“投機メモリスシステムのハードウェア実装”，情報処理学会第 73 回全国大会，2011. 3. 2，東京.
11. 修沢坤，横田隆史，大津金光，馬場敬信，“投機的マルチスレッド実行を行う VLIW マシンによる ILP と TLP の活用”，情報処理学会第 73 回全国大会，2011. 3. 2，東京.
12. K. Ootsu，T. Shiroto, T. Yokota, T. Baba, “Handling of Inter-Thread Memory Access Dependencies for Automatic Binary-Code Parallelization”，10th IASTED International Conference on Parallel and Distributed Computing and Networks (PDCN 2011), 2011. 2. 16, オーストリア.
13. Y. Zhang, G. Xiao, K. Ootsu, T. Yokota, T. Baba, “Automatic Thread Decomposition for Pipelined Multithreading”，16th International Conference on Parallel and Distributed Systems (ICPADS), 2010. 12. 9, 中国.
14. 白戸卓志，大津金光，横田隆史，馬場敬信，“バイナリレベル変数解析に基づいた自動並列化処理の初期評価”，電子情報通信学会 CPSY, 2010. 12. 1, 福岡.
15. K. Ootsu, T. Abe, T. Yokota, T. Baba, “Loop Performance Improvement for Min-Cut Program Decomposition Method”，1st International Conference on Networking and Computing (ICNC' 10), 2010. 11. 18, 広島.
16. 十鳥弘泰，福田明宏，津田翼，大津金光，横田隆史，馬場敬信，“2 パス限定投機システムにおける投機的メモリアクセスの検討”，SWoPP2010, 2010. 8. 5, 金沢.
17. 横田隆史，大津金光，馬場敬信，“相互結合網の転送パターンと定常・非定常性能について”，SWoPP2010, 2010. 8. 4, 金沢.
18. 横田隆史，大津金光，馬場敬信，“相互結合網の非定常性能—予備評価—”，先進的計算基盤システムシンポジウム SACSIS 2010, 2010. 5. 27, 奈良.
19. 津田翼，大津金光，横田隆史，馬場敬信，“2 パス限定投機方式における動的最適化適用可能性の検討”，情報処理学会第 72 回全国大会，2010. 3. 11，東京.
20. 北直樹，十鳥弘泰，横田隆史，大津金光，馬場敬信，“2 パス限定投機システムのハードウェア設計—メモリアクセス機構—”，情報処理学会第 72 回全国大会，2010. 3. 11，東京.
21. 金井新一，十鳥弘泰，横田隆史，大津金光，馬場敬信，“2 パス限定投機システムのハードウェア設計—マルチスレッド制御機構—”，情報処理学会第 72

- 回全国大会, 2010. 3. 11, 東京.
22. 十鳥弘泰, 福田明宏, 大津金光, 横田隆史, 馬場敬信, “2パス限定投機システム PALS の評価環境 - システムシミュレータ -”, 情報処理学会第 72 回全国大会, 2010. 3. 11, 東京.
 23. 福田明宏, 十鳥弘泰, 大津金光, 横田隆史, 馬場敬信, “2パス限定投機システム PALS の評価環境 - 言語処理系 -”, 情報処理学会第 72 回全国大会, 2010. 3. 11, 東京.
 24. 川上憂騎, 大津金光, 横田隆史, 馬場敬信, “H. 264 デコーダにおける 2パス限定投機方式の適用検討”, 情報処理学会第 72 回全国大会, 2010. 3. 11, 東京.
 25. 阿部武志, 大津金光, 横田隆史, 馬場敬信, “グラフ理論に基づくスレッド分割におけるループ性能向上法”, 情報処理学会第 72 回全国大会, 2010. 3. 10, 東京.
 26. 白戸卓志, 大津金光, 横田隆史, 馬場敬信, “バイナリレベル変数解析に基づいた自動並列化システムの実装”, 情報処理学会第 72 回全国大会, 2010. 3. 10, 東京.
 27. 伊里拓也, 大津金光, 横田隆史, 馬場敬信, “パスベーススレッド分割手法に基づく自動並列化処理の実装”, 情報処理学会第 72 回全国大会, 2010. 3. 10, 東京.
 28. 山形雄紀, 伊里拓也, 大津金光, 横田隆史, 馬場敬信, “パスベーススレッド分割による並列実行性能の評価”, 情報処理学会第 72 回全国大会, 2010. 3. 9, 東京.
 29. 森裕貴, 横田隆史, 大津金光, 馬場敬信, “広域情報による Turn-Model の高性能化”, 情報処理学会第 72 回全国大会, 2010. 3. 9, 東京.
 30. T. Yokota, K. Ootsu, T. Baba, “An Effective Throttling Method based on Quasi-Global Congestion Information”, 10th International Symposium on Pervasive Systems, Algorithms and Networks (I-SPAN 2009), 2009. 12. 14, 台湾.
 31. Y. Zhang, K. Ootsu, T. Yokota, T. Baba, “Clustered Software Queue for Efficient Pipelined Multithreading”, 10th International Conference on Parallel and Distributed Computing, Applications and Technologies (PDCAT 2009), 2009. 12. 9, 広島.
 32. 十鳥弘泰, 大津金光, 横田隆史, 馬場敬信, “2パス限定投機方式を実現するマルチコアプロセッサ PALS の提案”, 電子情報通信学 CPSY, 2009. 12. 3, 高知.
 33. 馬場敬信, 大津金光, 横田隆史, “YAWARA: 自己最適化計算機システム・プロジェクト”, 電子情報通信学会 RECONF, 2009. 9. 17, 宇都宮.
 34. 横田隆史, 大津金光, 馬場敬信, “準広域情報を用いるルーティングアルゴリズムの改善検討”, SWoPP2009, 2009. 8. 6, 仙台.
 35. Y. Zhang, K. Ootsu, T. Yokota, T. Baba, “Pipelined Multithreading with Clustered Communication for Commodity Multi-core Processors”, SWoPP2009, 2009. 8. 5, 仙台.
 36. T. Yokota, K. Ootsu, T. Baba, “A Quantitative Evaluation Methodology of Interconnection Networks”, 先進的計算基盤システムシンポジウム SACSIS 2009, 2009. 5. 28, 広島.
 37. 中島伸吾, 横田隆史, 大津金光, 馬場敬信, “動的最適化のためのハードウェアホットパス検出機構”, 情報処理学会第 71 回全国大会, 2009. 3. 12, 滋賀.
 38. 米田淳一, 福田明宏, 十鳥弘泰, 佐藤和史, 大津金光, 横田隆史, 馬場敬信, “2パス限定投機システムの提案 - スレッド実行機構 -”, 情報処理学会第 71 回全国大会, 2009. 3. 12, 滋賀.
 39. 佐藤和史, 福田明宏, 十鳥弘泰, 米田淳一, 大津金光, 横田隆史, 馬場敬信, “2パス限定投機システムの提案 - マルチスレッド制御機構 -”, 情報処理学会第 71 回全国大会, 2009. 3. 12, 滋賀.
 40. 十鳥弘泰, 福田明宏, 佐藤和史, 米田淳一, 大津金光, 横田隆史, 馬場敬信, “2パス限定投機システムの提案 - メモリアクセス機構 -”, 情報処理学会第 71 回全国大会, 2009. 3. 12, 滋賀.
 41. 福田明宏, 十鳥弘泰, 佐藤和史, 米田淳一, 大津金光, 横田隆史, 馬場敬信, “2パス限定投機システムの提案 - スレッドコード生成処理系 -”, 情報処理学会第 71 回全国大会, 2009. 3. 12, 滋賀.
 42. 篠原啓志, 大津金光, 横田隆史, 馬場敬信, “次世代マルチコアプロセッサ開発のための PS3 クラスタシステムの構築”, 情報処理学会第 71 回全国大会, 2009. 3. 12, 滋賀.
 43. 佐藤裕輔, 大津金光, 横田隆史, 馬場敬信, “拡張容易な CMP シミュレータの電力評価環境構築”, 情報処理学会第 71 回全国大会, 2009. 3. 11, 滋賀.
 44. 水沼光, 大津金光, 横田隆史, 馬場敬信, “ループ並列化における命令移動によるデータ依存同期待ち削減法の検討”, 情報処理学会第 71 回全国大会, 2009. 3. 11, 滋賀.
 45. 阿部武志, 大津金光, 横田隆史, 馬場

- 敬信, “グラフ理論に基づくスレッド分割手法におけるループ展開の適用検討”, 情報処理学会第 71 回全国大会, 2009. 3. 11, 滋賀.
46. 伊里拓也, 小川大仁, 大津金光, 横田隆史, 馬場敬信, “パスベーススレッド分割手法に基づいた自動並列化システムの実装” 情報処理学会第 71 回全国大会, 2009. 3. 11, 滋賀.
47. 白戸卓志, 大津金光, 横田隆史, 馬場敬信, “バイナリレベル変数解析に基づいた自動並列化システムの開発”, 情報処理学会第 71 回全国大会, 2009. 3. 11, 滋賀.
48. 津田翼, 矢野目秀人, 大津金光, 横田隆史, 馬場敬信, “ホットループパス検出機構における動的最適化に向けたパラメータの検討”, 情報処理学会第 71 回全国大会, 2009. 3. 11, 滋賀.
49. 五井孝典, 横田隆史, 大津金光, 馬場敬信, “PISA based VLIW Processor への割込み/例外制御機能の実装”, 情報処理学会第 71 回全国大会, 2009. 3. 10, 滋賀.
50. 石井浩登, 月川淳, 古川文人, 横田隆史, 大津金光, 馬場敬信, “PISA based VLIW Processor 向けクロス環境の構築”, 情報処理学会第 71 回全国大会, 2009. 3. 10, 滋賀.
51. 安西由行, 大津金光, 横田隆史, 馬場敬信, “CMP におけるキャッシュメモリ階層構成の違いによる電力性能評価”, 情報処理学会第 71 回全国大会, 2009. 3. 10, 滋賀.
52. Y. Zhang, K. Ootsu, T. Yokota, T. Baba, “Clustered Decoupled Software Pipelining on Commercial CMP”, 14th IEEE International Conference on Parallel and Distributed Systems (ICPADS' 08), 2008. 12. 9, オーストラリア.
53. T. Yokota, K. Ootsu, T. Baba, “Are Uniform Networks Scalable?”, 9th International Conference on Parallel and Distributed Computing, Applications and Technologies (PDCAT 2008), 2008. 12. 2, ニュージーランド.
54. 小川大仁, 大津金光, 横田隆史, 馬場敬信, “ループ構造を考慮したパスベーススレッド分割手法の検討”, 電子情報通信学会 CPSY, 2008. 11. 18, 北九州.
55. 森裕貴, 横田隆史, 大津金光, 馬場敬信, “広域情報を用いた迂回ルーティング手法の検討”, 電子情報通信学会 CPSY, 2008. 11. 18, 北九州.
56. 矢野目秀人, 大津金光, 横田隆史, 馬場敬信, “ループパスに基づいたプログラムの挙動解析”, 電子情報通信学会 CPSY, 2008. 11. 18, 北九州.
57. T. Baba, T. Yokota, K. Ootsu, J. Yoneda, K. Sato, H. Jutori, H. Yanome, “Two-Path Limited Speculative Multithreading Processor”, 20th IASTED International Conference on Parallel and Distributed Computing and Systems (PDCS 2008), 2008. 11. 17, アメリカ.
58. T. Yokota, K. Ootsu, T. Baba, “Adaptation Level and Injection Control in a Quasi-Globally Adaptive Routing”, 20th IASTED International Conference on Parallel and Distributed Computing and Systems (PDCS 2008), 2008. 11. 17, アメリカ.
59. Y. Zhang, K. Ootsu, T. Yokota, T. Baba, “Thread Pipelining with Clustered Data Communication on Commodity CMPs”, 20th IASTED International Conference on Parallel and Distributed Computing and Systems (PDCS 2008), 2008. 11. 17, アメリカ.
60. K. Ootsu, T. Yokota, T. Baba, “Run-time Binary Code Patching and Its Application”, 12th IASTED International Conference on Software Engineering and Applications (SEA 2008), 2008. 11. 16, アメリカ.
61. T. Baba, H. Yanome, K. Ootsu, T. Yokota, “A Hardware Hot Loop Path Detector for Dynamic Parallelization and Optimization”, 4th IASTED International Conference on Advances in Computer Science and Technology (ACST 2008), 2008. 4. 3, マレーシア.

〔図書〕(計 1 件)

1. 大津金光, 他, 電子情報通信学会, “知識ベース”, 2011. (Web 出版)
<http://www.ieice-hbkb.org/portal/>

〔その他〕

ホームページ等
<http://aquila.is.utsumiya-u.ac.jp/>

6. 研究組織

(1) 研究代表者

大津 金光 (OOTSU KANEMITSU)
宇都宮大学・工学研究科・准教授
研究者番号: 0 0 2 9 2 5 7 4