

機関番号：14401

研究種目：基盤研究 (C)

研究期間：2008～2010

課題番号：20500050

研究課題名(和文) ダイナミック・リコンフィギャラブル・コンポーネントの設計最適化手法

研究課題名(英文) Design Methodology for Dynamic Reconfigurable Component Optimization

研究代表者

武内 良典 (TAKEUCHI YOSHINORI)

大阪大学・大学院情報科学研究科・准教授

研究者番号：70242245

研究成果の概要(和文)：

本研究では、アプリケーションとして無線通信を想定し、ダイナミック・リコンフィギャラブル・コンポーネントの消費電力最適化手法に関する研究を行った。低消費電力でダイナミックに機能を変更できる2ステージのコンフィギャラブル・デコーダ・モデルを提案し、処理性能、ハードウェア面積、消費電力の異なる FEC デコーダを生成できるようになった。また、無線通信において消費電力の大きな部分を占める変復調方式部の電力解析を行い、伝送エラーレートを仮定した場合のサンプリング速度、演算処理精度を変化させることにより、誤りの小さい低消費電力復調回路を実現できることを示した。

研究成果の概要(英文)：

This research studies a low power design methodology for dynamic reconfigurable components in wireless communication applications. In this research, low power and dynamically configurable 2-stage configurable decoder model is proposed. By using this model, several Forward Error Correction (FEC) decoders can be generated according to the specifications. Furthermore, by analysis of modulation and demodulation part of wireless communication systems, low bit error rate and low power system is shown to be realized by adjusting the sampling rate and computational precision of demodulation circuits.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2008年度	1,500,000	450,000	1,950,000
2009年度	1,100,000	330,000	1,430,000
2010年度	900,000	270,000	1,170,000
年度			
年度			
総計	3,500,000	1,050,000	4,550,000

研究分野：複合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：VLSI 設計技術、設計最適化、低消費電力

1. 研究開始当初の背景

2010年頃には、集積システムは1チップで10億トランジスタを超える集積化が可能となると予測されていた。そのため、集積システムは、その大規模化により複雑なシステムをも1チップのVLSI、SoC(System on a

Chip)として実現可能とされることになる。しかしながら、VLSIの大規模化が年率58%で向上するのに対して、設計の生産性は年率21%程度の向上と言われており、近年、VLSIの大規模化を活用するための設計手法に関する研究が盛んに行われてきた。

申請者らはこれまで、設計生産性を飛躍的に高める方法として、

(1)システム全体をまとめてモデル化することにより設計初期段階から、VLSIの面積、性能、消費電力を見積もり可能とする手法、(2)既設計のコンポーネントIP(設計資産)を再利用し、IPを組み合わせることでSoCを構築していく方法を組み合わせたシステムレベル設計

の研究を進めてきた。これまでの研究では、設計制約を面積および性能で与えたときの効率的なSoC設計を決定することができ、同時に消費電力を求めることもできたが、消費電力を最適化対象とすることはできていなかった。

低消費電力化は、大規模なVLSIでは、極めて重要な問題となっており、低消費電力に対応した手法の拡張が求められている。一方、大規模化が進んだSoCは、従来の専用設計では設計の効率を活かすことができなくなるため、従来の設計とは異なったSoCアーキテクチャとその設計手法が提案されている。有力なSoCの候補となっているのは、MPSoC(Multi-Processor System on Chip)と呼ばれる多数のプロセッサが一つのSoC上に搭載されているアーキテクチャであり、プロセッサ以外のコンポーネントとしては、プログラムによって処理内容を変更することが可能な再構成可能ブロック(リコンフィギャラブル・ロジック・ブロック)が有力な候補である。また、これまでの研究で、リコンフィギャラブル・ロジックでは、演算途中のデータの配置により性能が大きく変化するなどの性質があることがわかっている。プロセッサの低消費電力化の方法としては、並列化、可変電圧制御、マルチVt制御、コンパイラによる低消費電力向けスケジューリングなど各種の方法が提案されている。海外ではADRESと呼ばれるVLIW Coreとリコンフィギャラブル技術を組み合わせた研究が提案されているが、プロセッサコアの最適化研究に留まっており、SoC全体に適用可能な研究ではない。リコンフィギャラブル・ブロック、特に動的再構成可能ブロックを含めたSoC全体の低消費電力化はまだ十分な検討がなされていなかった。

2. 研究の目的

本研究では、次世代SoCに適用可能な、ダイナミック・リコンフィギャラブル・コンポーネントの消費電力削減技術についての設計最適化の研究を行う。本研究では、ダイナミック・リコンフィギャラブル技術のキラーアプリケーションとして、動的にさまざまな通信方式への対応が望まれるソフトウェア無線を設計対象として、携帯端末への搭載を視野に入れたダイナミック・リコンフィギャラ

ブルシステムの設計最適化手法を提案する。

3. 研究の方法

ダイナミック・リコンフィギャラブル・コンポーネントでは、システムのメモリ上へのデータの配置法、コンフィギュレーションタイミングにより、大きく性能、消費電力が変わると予想されるため、次の研究内容に分割して研究を進める。

- (1)低消費電力ダイナミック・リコンフィギャラブル・アーキテクチャの検討、評価
- (2)アプリケーションのデッドラインに基づく動的電力制御アーキテクチャの検討、評価
- (3)低消費電力ダイナミック・リコンフィギャラブル・アーキテクチャの携帯用無線機器向けのアーキテクチャ最適化

本研究では、アプリケーションをソフトウェア無線に特定し、ダイナミック・リコンフィギャラブル・コンポーネントの消費電力最適化を研究していくため、初めにソフトウェア無線のアプリケーションを解析、プロファイリングし、その結果を利用して、低消費電力ダイナミック・リコンフィギャラブル・アーキテクチャを検討する。これらのプロファイルには、これまでの研究成果であるデータ流量を利用した高速な性能見積もり手法を活用する。ダイナミック・リコンフィギャラブル技術は、粗粒度化や高集積化に伴い回路構成の変更(再構成)の高速化により、チップ動作時に回路構成を変更可能となっているためFPGAの低消費電力化技術との差異を明確化する必要がある。

具体的には、以下のように研究を進めた。初めに、ソフトウェア無線のアプリケーションを解析・プロファイリングし、その結果を利用して、低消費電力ダイナミック・リコンフィギャラブル・アーキテクチャを検討した。ソフトウェア無線のプロファイリングの結果、ソフトウェア無線全体処理の中で、特に受信機側の復調方式部およびデータ復号部の処理量が大きいこと、ソフトウェア無線を低消費電力で実現するためには、SoC全体の中でそのデコーダ部をリコンフィギャラブル・コンポーネントで実現することが有効であることがわかった。そこで、ソフトウェア無線の復号処理に適したリコンフィギャラブル・アーキテクチャを、リコンフィギャラブル・デコーダ・モデル(RDM)として提案した。ソフトウェア無線向けダイナミック・リコンフィギャラブル・デコーダは、符号化方式、拘束長、PE(処理エレメント)数、並列数等のパラメータを持ち、パラメータを与えることにより、さまざまな処理性能、ハードウェア面積、消費電力を持つリコンフィギャラブル・デコーダ生成可能なモデルである。その

後、提案モデルの拡張を行い、ハードウェア設計時に与えるパラメタと動作時に与えるパラメタを分類することで、各種符号化処理に低消費電力でダイナミックに機能を変更できる2ステージのコンフィギャラブル・デコーダ・モデル(2-stage Configurable Decoder Model)を提案した。このデコーダモデルは、Forward Error Correction (FEC) 処理を低消費電力で処理するためのコンフィギャラブルなモデルであり、標準化された符号化方式であるターボ符号、Viterbi 符号に対応し、拘束長、PE(処理エレメント)数、並列数等のパラメタを持つ。コンフィギュレーションは2段階のステージに分解され、第一ステージでは、対象の符号化方式、PE 数、演算の並列化数などハードウェア設計時に決定し、第2ステージで、動作時にパラメタを与えることにより、処理性能、ハードウェア面積、消費電力の異なる FEC デコーダの生成できることを確認した。

次に、無線通信において消費電力の大きな部分を占める変復調方式部の電力解析を行うため、実際に無線の変調、復調部のデジタル設計をハードウェア記述言語 (HDL) を用いて行い、論理合成をおこなって、その回路規模と消費電力を調べた。また、その結果を用いて、シミュレーションを繰り返すことにより、伝送エラーレートを変化させたときの変復調部における消費電力変化の解析を進めた。解析結果から、伝送エラーレートを仮定した場合の受信信号のサンプリングレートおよび信号処理精度を変化させることにより、誤りの小さい低消費電力変復調回路を実現できることを示した。

4. 研究成果

提案した2ステージのコンフィギャラブル・デコーダ・モデル(2-stage Configurable Decoder Model)を図1に示す。

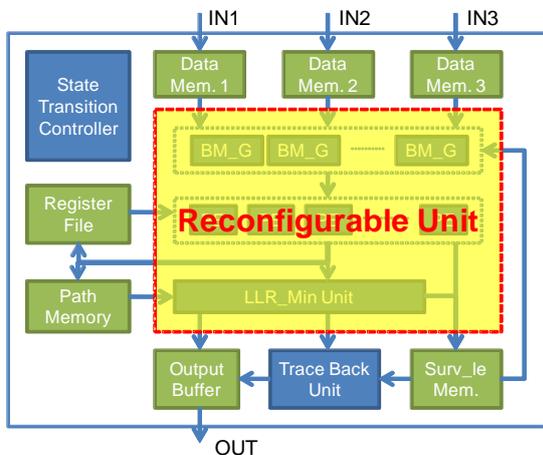


図1 2-stage Configurable Decoder Model

表1 設計時パラメタと動作時パラメタ

設計時パラメタ	動作時パラメタ
<ul style="list-style-type: none"> PE数 入力データのビット幅 Sliding WindowアルゴリズムのWindowサイズ 対象復号方式 ビタビ復号の拘束長 ビタビ復号の符号化率 ビタビ復号の判定方式 ターボ復号の拘束長 最大ブロック長 	<ul style="list-style-type: none"> 符号生成式 ターボ復号のループ回数 実行復号方式(ターボ/ビタビ) 拘束長(ビタビ復号時) 符号化率(ビタビ復号時) 判定方法(ビタビ復号時) 拘束長(ターボ復号時) ブロック長

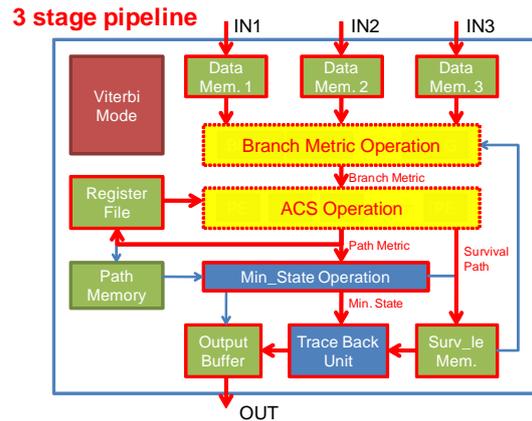


図2 Viterbi 復号処理モードアーキテクチャ

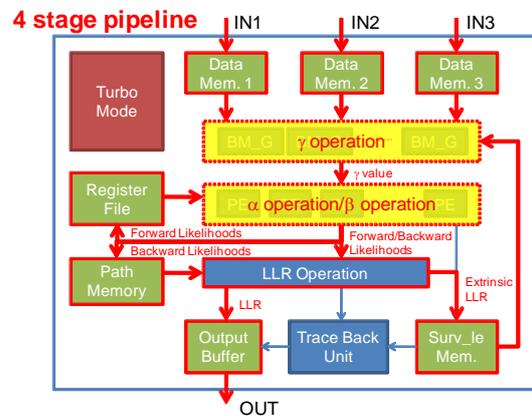


図3 Turbo 復号処理モードアーキテクチャ

入出力部分は、使用する符号化方式に依存しないため、固定の方式とし、図1中央部の演算部をリコンフィギャラブルユニットで実現する構成を採用した。表1に、設計時のパラメタと動作時のパラメタを示す。

表 2 生成した 2stage CDM アーキテクチャ

形式	スループット [Mbps]	面積		電力 [mW]
		Logic [Kgate]	Memory [Kbit]	
A (Viterbi復号)	3.0	57	73	92
B (Turbo復号)	4.1	13	242	241
C (Viterbi復号)	3.0	64	267	100
C (Turbo復号)	4.1			285

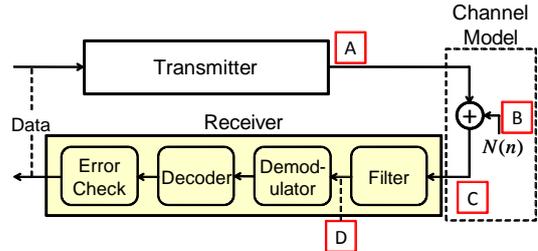
表 3 アーキテクチャのスケラビリティ

PE数	スループット [Mbps]	面積		消費電力 [mW]
		ロジック部 [Kgate]	メモリ部 [Kbit]	
8	12	21	13	96
16	24	26	13	112
32	49	38	13	148
64	98	59	13	193

Viterbi 復号処理モードおよび Turbo 復号処理モードを、コンフィギャラブル・デコーダ・モデルに適用した時に生成されるアーキテクチャを図 2 および図 3 に示す。Viterbi 復号処理モードおよび Turbo 復号処理モード双方とも、コンフィギャラブルブロック内の PE に対して、復号の演算処理に適した演算の割り当てが行われ、パイプライン実装されていることがわかる。本モデルに対して、0.18 μm プロセスを用いて、100MHz で動作させたときの、性能（スループット）、面積、電力を表 2 にまとめる。

形式 A は Viterbi 復号のみを使用する場合、形式 B は Turbo 復号のみを使用する場合、形式 C は双方の復号方式に対応した場合のアーキテクチャである。また、Viterbi 復号で、拘束長 7、符号化率 1/2 として、PE 数を変化させてアーキテクチャを評価した場合を表 3 に示す。表 3 から、PE を増やすことによりスループット向上できることも確認できる。

図 4 に解析を行った受信機の電力解析モデルを示す。このモデルでは、送信機より送信されたデータ (A 点) は伝送路によりノイズが付加され (B 点)、受信機ではノイズが付加された信号をサンプリング (C 点)、フィルタ処理 (D 点) を行ってから、復調を行う。電力解析結果を図 5 に示す。(A, B) の記法は、A が用いたフィルタの次数、B は搬送波に対するサンプリングレートの比を表わす。変調方式は BPSK、符号化は BMC、エラーチェックコードには CRC を用いた。フィルタ次数としては、16, 32, 128 次、サンプリングレートとしては 4, 8, 16、搬送波対雑音比 (CNR) は、3dB と 6dB について、発生するエラーレート (BER) と消費電力の関係を調べた。



※ $N(n)$: Additive White Gaussian Noise (AWGN)

図 4 復調部の電力解析モデル

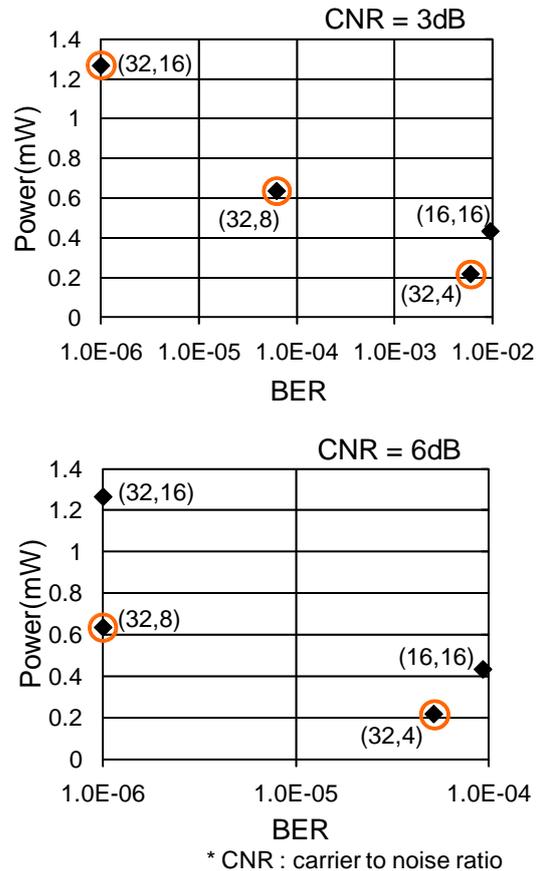


図 5 電力と BER の関係

この解析結果からは、128 次のフィルタを使用した構成は、そのハードウェアサイズが大きく、消費電力も大きいたく、搬送波対雑音比 (CNR) が 3dB, 6dB 程度の場合には、消費電力の小さな 16 次、32 次のフィルタ使用で十分であり、許容される BER によって、サンプリングレートを調整し、電力削減可能であることがわかった。

本研究の提案の 2 ステージのコンフィギャラブル・デコーダ・モデルは、ハードウェア設計時と、動作時の 2 ステージのパラメータを持ち、その方式により生成されるデコーダは、従来提案されているコンフィギュレーション可能なデコーダよりもすぐれた結果とな

っており、用途の定まったダイナミック・リ
コンフィギャラブル・システムの新たな実現
方法として期待できる。受信機の電力解析モ
デルを使用した低消費電力復調回路の設計
では、フィルタの次数、サンプリングレート
の変更など、実装ハードウェアのみの最適化
ではなく、対象のアルゴリズムレベルの最適
化の可能性も示すものであり、抽象度の異な
るクロスレイヤを考慮した消費電力最適化
手法の端緒となる成果である。

今後の展望としては、今回提案したデコーダ
モデルに対して、対象とする復号方式の拡張、
復号部、復調部のみの個別評価ではなく、受
信機全体の最適化を考慮した評価があげら
れる。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者に
は下線)

[学会発表] (計 6 件)

① Yoshinori Takeuchi, Hiroki Ohsawa,
Tomohiro Kondo, Hirofumi Iwato, Keishi
Sakanushi, and Masaharu Imai,

Low Energy MDPC Implementation using
Special Instructions on Application
Domain Specific Instruction-Set Processor
Asia-Pacific Signal and Information
Processing Association Annual Summit
and Conference (APSIPA ACS 2010) (招待
講演),
平成 22 年 12 月 15 日, Singapore, シンガポ
ール

② Ittetsu Taniguchi, Ayataka Kobayashi,
Keishi Sakanushi, Yoshinori Takeuchi, and
Masaharu Imai,

Two-stage Configurable Decoder Model for
Multiple Forward Error Correction
Standards, 査読有,
8th IEEE Workshop on Embedded Systems
for Real-time Multimedia (ESTIMedia
2010)
平成 22 年 10 月 29 日
Scottsdale, アメリカ

③ Kazuki Ohya, Hirofumi Iwato, Keishi
Sakanushi, Yoshinori Takeuchi, and
Masaharu Imai,

Design and Evaluation of Digital Receiver
for Low Power Wireless Communication
16th Workshop on Synthesis And System
Integration of Mixed Information
Technologies 2010 (SASIMI 2010), 査読有,
平成 22 年 10 月 19 日

台北, 台湾

④ 谷口一徹, 小林礼貴, 坂主圭史, 武内良典,
今井正治

複数誤り訂正符号に対応する再構成可能
デコーダモデル
の提案

情報処理学会, ETNET2010,
平成 22 年 3 月 26 日, 東京

⑤ 今村多一郎, 坂主圭史, 武内良典, 今井
正治,

応用プログラムのプロファイル情報を用い
たマルチプロセッサシステムの最適プロセ
ッサ数の評価手法,
電子情報通信学会 2009 ソサイエティ大会,
平成 21 年 9 月 17 日, 新潟

⑥ 谷口一徹, 小林礼貴, 坂主圭史, 武内良典,
今井正治,

小型・低消費エネルギーなリコンフィギャ
ラブル・アーキテクチャ向けスイッチボックス
構成情報削減手法,
情報処理学会, DA シンポジウム 2008,
平成 20 年 8 月 26 日, 浜松

6. 研究組織

(1) 研究代表者

武内 良典 (TAKEUCHI YOSHINORI)
大阪大学・大学院情報科学研究科・准教授
研究者番号: 7 0 2 4 2 2 4 5

(2) 研究分担者

今井 正治 (IMAI MASAHARU)
大阪大学・大学院情報科学研究科・教授
研究者番号: 5 0 1 2 6 9 2 6

坂主 圭史 (SAKANUSHI KEISHI)
大阪大学・大学院情報科学研究科・助教
研究者番号: 0 0 3 4 6 1 7 3

(3) 連携研究者