

機関番号：27101

研究種目：基盤研究(C)

研究期間：2008 ~ 2010

課題番号：20500055

研究課題名(和文) 環境適応型プログラマブルアナログLSIに関する研究

研究課題名(英文) Environmental Adaptive Programmable Analog LSI

研究代表者

中武 繁寿(NAKATAKE SHIGETOSHI)

北九州市立大学・国際環境工学部・准教授

研究者番号：10282831

研究成果の概要(和文):

本研究では、アナログ集積回路のプログラマブル技術に主眼を置き、経年劣化や環境変動に高い耐性をもつ集積回路することを目的とした。研究成果は、以下のようにまとめられる。

- (1) 差動増幅回路を基本単位としたPDTB(Programmable Differential-pair Transistor Block)の提案し、PDTBを利用したオペアンプ2つを実現するCAB(Configurable Analog Block)の開発を行った。CABは、(a)基板電位の調整によるV<sub>th</sub>調整回路、(b)pMOS/nMOSのPDTB、(c)pMOS/nMOSのトランジスタ・アレイ、(d)抵抗、容量アレイ、(e)各ブロックの結線を行う配線資源(接続スイッチマトリックス)から構成される。
- (2) MOSトランジスタのチャンネル長(L)分割のDC・AC特性に対する影響の検証。テストチップの開発・評価の結果により、Lの2分割、4分割ではDC・AC特性のいずれにもほとんど影響を及ぼさないことを実証した。このL分割の機構を応用し、スイッチにより遅延量を線形制御できるプログラマブル遅延素子(PDE)の提案をした。
- (3) 温度依存性が比較的メタル間容量を利用したプログラマブル容量を提案し、逐次比較型ADCの機構を応用した容量相対精度評価手法を提案した。

研究成果の概要(英文):

This study is focusing on the programmable technologies for analog LSIs, which serve the high tolerance to the aging degradation and environmental variation. The contributions of this study are summarized as follows;

- (1) We proposed the PDTB (Programmable Differential-pair Transistor Block) which make use of the differential amplifier circuit as an element, and developed the CAB (Configurable Analog Block). The CAB is composed of (a)V<sub>th</sub>-tuning circuit by body biasing, (b)pMOS-/nMOS-PTDB, (c)pMOS/nMOS transistor array, (d)resistor and capacitor array, and (e)routing resource and switch matrix.
- (2) We clarified the influence on DC/AC characteristics of analog circuits

by the decomposition of the channel length (L) of MOS transistors. Through evaluating the test chip, we revealed that 2-L and 4-L decomposition do not matter in the DC/AC characteristics. Furthermore, we developed the Programmable Delay Element (PDE) by applying L-decomposition with a switching mechanism.

- (3) We proposed the programmable metal-to-metal capacitor array which has a low temperature dependency, and also present the capacitance evaluation methodology by employing the SAR-ADC mechanism.

#### 交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2008年度	1,000,000	300,000	1,300,000
2009年度	1,500,000	450,000	1,950,000
2010年度	1,000,000	300,000	1,300,000
年度			
年度			
総計	3,500,000	1,050,000	4,550,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：回路とシステム、電子デバイス、集積回路、アナログLSI、プログラマブルLSI、FPAA

#### 1. 研究開始当初の背景

近年、あらゆる生活環境が著しく高度情報化されてきている。近未来の自動車を考えれば、走行上のあらゆる環境情報をセンシングし、瞬時に情報処理し、危機回避を警告し、安全走行へと制御するであろう。従って、これらの機能を実現する集積回路の品質が社会の安全性に与える影響は甚だ大きい。しかし、パソコンや家庭用電子機器に代表されるように、これまでの集積回路技術の発展は高機能化（大規模化）と多機能化を追求するものであった。もちろん、車載用集積回路については高いレベルの安全性基準が存在するが、設計生産性の向上（コスト）と品質保全を両立させることに窮しているのが現状である。この困難が強いられるひとつの要因は、集積回路に経年劣化や温度変動に耐性を持たせるための有効手段が成熟されていないためであろう。本研究は、集積回路のプログラマブル技術に主眼を置き、経年劣化や環境変動に高い耐性をもつ集積回路を開発することを目的としている。ここでプログラマブル技術とはチップ製造後に回路の機能や性能を変更するための回路機構を意味する。一般に、集積回路はデジタル回路とアナログ回路に分類されるが、プログラマブル技術はデジタル回路に対して研究が進められ

てきた。FPGA (Field Programmable Gate Array) がその代表として広く流通し、研究面でもアーキテクチャや自動設計技術など要素技術からリコンフィギュラブルコンピューティングなど応用技術まで確立されてきている。一方、アナログ回路に対するプログラマブル技術は、デジタルのそれと比べればひどく未成熟であるといえる。これは、デジタル回路は、0, 1 論理値の信号のみを扱い、またノイズに強いという特性から FPGA のスイッチデバイスの組合せにより実現できたのに対して、アナログ回路は、その性能がトランジスタの増幅機能に大きく依存し、寄生による影響を受けやすいため、単純なスイッチによるプログラムでは回路を実現できないためである。つまり、アナログ回路をプログラマブルにするには、トランジスタの特性自体を詳細にプログラムする仕組みが必要となる。これまで、いくつかの FPAA (Field Programmable Analog Array) が提案されている。FPAA に関する既存研究は、連続時間領域型と離散時間領域型とそれらの複合型に分類できる。連続時間領域型の典型的な FPAA は、カレントミラー回路を利用してトランスコンダクタンスを可変する技術、あるいはプログラマブル抵抗を導入し実現されている。一方、離散時間領域型の FPAA

は、オペアンプの周囲回路として、接続切り替え可能なスイッチトキャパシタ回路を導入したものがあ。これらの既存研究では、製造ばらつきの抑制と広帯域回路の実現を主目的としているが、いずれの方式においても、オペアンプ等の機能回路の組み合わせにより実現されるためFPAAの応用がフィルタ回路等に限定され、一般的な用途に適用するには限界がある。また、一般にMOSアナログ回路設計では、トランジスタサイズ(W/L)の決定により、回路特性を調整する。既存のFPAAがこうした設計手法との関連付けがないことも、FPAA利用を妨げる要因の一つとして考えられる。そこで本研究では、経年劣化や温度変動に起因するアナログ的なトランジスタ特性を誤差調整するトランジスタレベルのプログラマブル機構を開発する。また、これらのプログラマブル機構は、実際のアナログ回路設計に則し、MOSトランジスタを擬似的にサイジングするものである。

## 2. 研究の目的

本研究は、アナログ集積回路のプログラマブル技術に主眼を置き、経年劣化や環境変動に高い耐性をもつ集積回路を開発することを目的としている。ここでプログラマブル技術とはチップ製造後に回路の機能や性能を変更するための回路機構を意味する。具体的には、MOSトランジスタのアナログ的なトランジスタ特性を、実際のアナログ回路設計に則し、MOSトランジスタを擬似的にサイジングすることにより、誤差調整するトランジスタレベルのプログラマブル機構を開発する。提案するプログラマブル機構は、MOSトランジスタの増幅特性を広範囲に離散的に調整する機構と狭範囲で連続的に調整する機構から構成される。また本研究では、これらのプログラマブル機構を利用した汎用的なFPAA(Field Analog Programmable Array)アーキテクチャを開発し、そのFPAAを利用してチップ製造後に環境変動に対する各種アナログ回路の特性の変動が補正可能であることを示すことも目的とする。

## 3. 研究の方法

本研究では、ライブラリなどで応用回路が制限されることなく、チップ製造後にトランジスタレベルでプログラマブルなFPAAを開発する。提案するFPAAの新規技術は、

- (1) MOSトランジスタの並列化によるW調整機構(離散プログラマブル機構)
  - (2) MOSトランジスタの基板電位の調整により調整機構(連続プログラマブル機構)
  - (3) 差動ペアを基本構成要素とするアナログ特性に配慮したアーキテクチャ
- にある。(1)と(2)のプログラマブル機構については、これまでの基礎研究により良好なプロ

グラマブル性を有する、という結果を得ている。(参考:井手洋平 他,“基板電位調整を伴うプログラマブルCMOSアナログ回路の提案”電子情報通信学会VLD研究会技術報告書, Vol.106.No.551, pp.109-114, 2007.)

これらの機構が組み込まれた汎用的なFPAAアーキテクチャの概略に対して次のような検討および開発を行う。【PTDB開発】FPAAの基本コンポーネントとして、PTDB(Programmable Differential-pair Transistor Block)を開発する。これは、アナログ回路設計において最も注意が払われるべき差動ペアトランジスタに対応する。そして、これらのトランジスタの特性(ダイナミックレンジ、利得帯域幅など)を離散/連続プログラマブル機構により制御する。PTDBの例を図1に示す。

【CAB開発】このPTDBを利用して、オペアンプ2つ程度の規模の回路を実現するCAB(Configurable Analog Block)を開発する。CABの例を図2に示す。このCABは、(a)基板電位を調整するための電圧調整回路(Voltage Generator)、(b)PMOS,NMOSのPDTB、(c)PMOS,NMOSのトランジスタ・アレイ、(d)抵抗,容量アレイ、(e)各ブロックの結線を行なう配線資源(接続スイッチマトリックスを含む)から構成される。

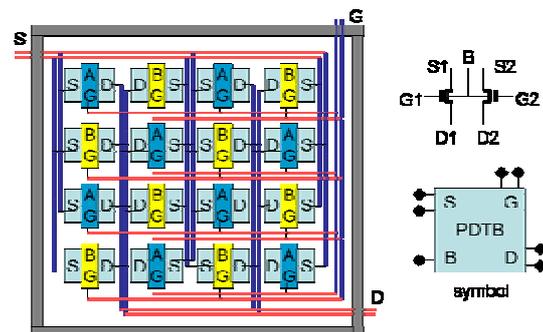


図1: PTDBの例

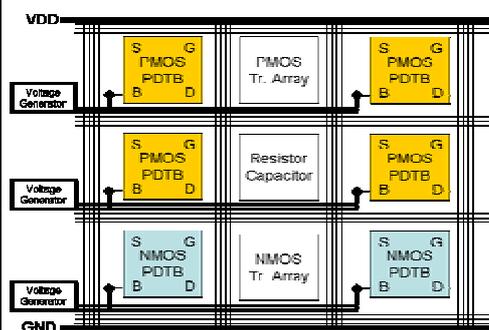


図2: CABの例

【汎用FPAA開発】さらに、このCABを組み合わせることにより、応用範囲の広いFPAAを開発する。図3に汎用FPAAの例を示す。このFPAAは、(a)CAB、(b)伝送ゲート、(c)抵抗、容量アレイの繰り返しの構造をもつ。

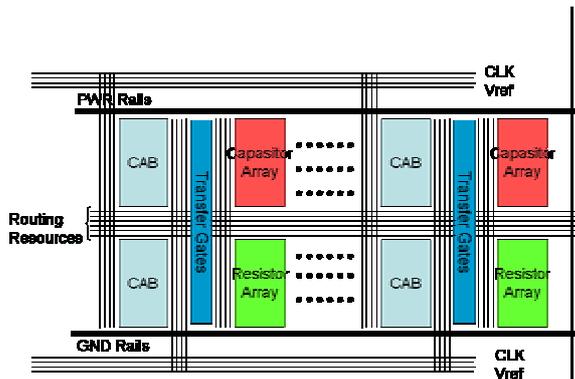


図 3：汎用 FPAA の例

具体的な研究の方法は以下のようなものである。

- (1) PDTB のプログラマブル機構の単体プログラマブル特性の検証。
- (2) オペアンプを適用回路の例題とした CAB のプログラマブル機構のプログラマブル特性の検証。
- (3) FPAA アーキテクチャ設計。モチーフ回路として逐次比較型 A/D コンバータを設計。ここで、差動回路やカレントミラー回路など、回路特性上で重要な部分回路は PDTB ヘマッピングする。
- (4) FPAA アーキテクチャを実際設計で利用するための設計ツールの研究を行う。特に、回路図(ネットリスト)から特性上重要な部分回路を抽出し、PDTB ヘマッピングするテクノロジーマッピングツールの開発。
- (5) 90nm/1.2V プロセスにおいて、PDTB 4 個、及び抵抗、容量アレイを含むテストチップ設計し、試作・評価する。
- (6) テストチップ上で PDTB によりオペアンプ回路、コンパレータ回路を実現し、動作確認、性能評価を行う。

#### 4. 研究成果

平成 20 年度では、FPAA アーキテクチャの基本コンポーネントとなる PDTB と CAB の要素技術の開発を行った。具体的には、差動対のトランジスタは、16 個のサブトランジスタの並列数を接続の切り替えによるトランジスタ特性への影響について検証した。この成果は、

- 劉博、越智敦、中武繁寿、「MOS トランジスタの耐ばらつきチャンネル分割に関する考察」、電子情報通信学会 VLSI 設計技術研究会、2010 年 3 月、沖縄で発表している。また、基板電位調整による  $V_{th}$  調整回路を伴う回路の検証も行っている。この成果は、
- T. Fujimura, S. Nakatake, 「Transistor-Level Programmable

MOS Analog IC with Body Biasing」, Proc. of IEEE International Symposium on Circuits and Systems, P153 ~ P156, 2008.にまとめている。

平成 21 年度では、FPAA アーキテクチャ上で逐次比較型 A/D コンバータを実現しアナログ回路が FPAA 上で実現し、差動回路やカレントミラー回路など、回路特性上で重要な部分回路は PDTB ヘマッピングに関して 90nm/1.2V プロセスでの TEG 試作及び評価に基づき検討を進めた。これらの自動設計に対する成果は、

- J. Li, B. Yang, X. Hu, Q. Dong, S. Nakatake, 「STI Stress Aware Placement Optimization Based on Geometric Programming」, Proc. of ACM Great Lake Symposium on VLSI, P.209 ~ P.214, 2009.
- 藤村徹、楊波、董青、中武繁寿, 「Current-Driven Linear Layout of MOSFET with Diffusion-Sharing」, Proc. of IEEJ International Analog VLSI Workshop, P.225 ~ P.230, 2010.
- 中武繁寿、川北真裕、伊藤隆夫、小島雅宏、小島典子、泉健二、幅崎唯之, 「Regularity-Oriented Analog Placement with Conditional Design Rules」, IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, E93-A, No.12, P.2389 ~ 2398, 2010.

にまとめている。また、FPAA のような MOS トランジスタの規則レイアウト(図 4 参照)を利用したアナログ回路の設計方式については、

- 楊波、董青、李静、中武繁寿, 「Structured Analog Circuit Design and MOS Transistor Decomposition for High Accuracy Applications」, Proc. of IEEE/ACM International Conference on Computer-Aided Design, P.721 ~ P.726, 2010.

にまとめている。

H22 年度には、本研究で提案しているプログラマブル機構のアナログ回路への適用範囲を拡大するために、MOS トランジスタのチャンネル長(L)分割の DC・AC 特性に対する影響の検証を行った。テストチップの開発・評価の結果、L の 2 分割、4 分割では DC・AC 特性のいずれにもほとんど影響を及ぼさないことを実証した。この成果の一部を図 5, 6 に示している。図 5 は MOS トランジスタの  $V_{ds}$ - $I_{ds}$  特性が L 分割に影響しないことを示している。図 6 は差動対トラ

ンジスタに L 分割を適用(つまり PDTB に適用)した際に、オペアンプの周波数特性が影響しないことを示している。これにより、PDTB により高品質なオペアンプが実現できることが実証された。実際に規則レイアウトを利用しオペアンプを測定し、考察した結果については、

- 篠原宏太、日高美穂子、董青、李静、中武繁寿, 「レイアウト構造を意識したばらつきモデル化及びそのオペアンプ設計における検証」, 電子情報通信学会、VLSI 設計技術研究会, 2010 年 6 月, 北見工大

において発表している。

また、この L 分割の機構を応用し、スイッチにより遅延量を線形制御できるプログラブル遅延素子(PDE)の提案を行っている。

さらに、温度依存性が比較的メタル間容量を利用したプログラブル容量を提案し、逐次比較型 ADC の機構を応用した容量相対精度評価手法を提案した。この成果は、

- 越智敦、島津怜英、藤村徹、中武繁寿, 「アナログ集積回路における容量の実現及び評価手法に関する一考察」, 電子情報通信学会、VLSI 設計技術研究会, 2011 年 3 月, 沖縄

において発表している。

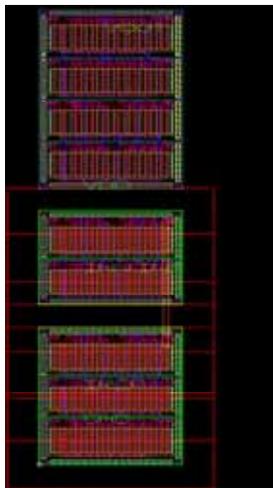


図4：オペアンプの規則レイアウト

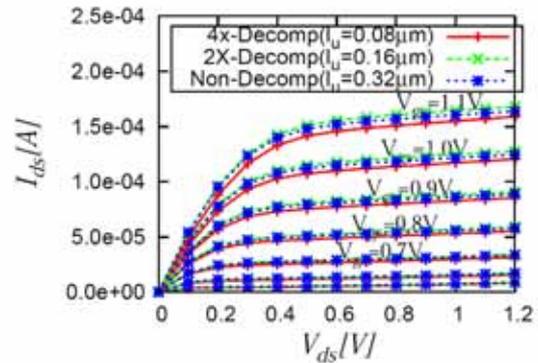


図5：L分割とトランジスタDC特性

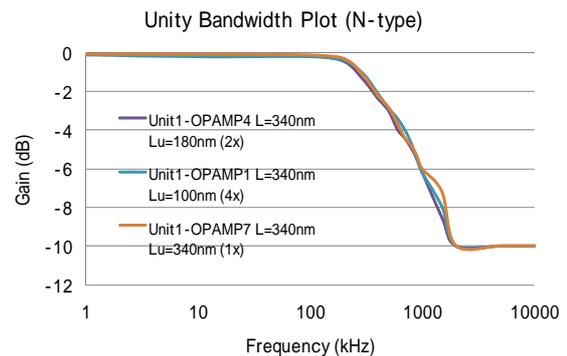


図6：L分割とオペアンプのAC特性

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計 8 件)

- (1) T. Fujimura, S. Nakatake, 「Transistor-Level Programmable MOS Analog IC with Body Biasing」, 査読有, Proc. of IEEE International Symposium on Circuits and Systems, P153 ~ P156, 2008.
- (2) Q. Dong, S. Nakatake, 「Structured Placement with Topological Regularity Evaluation」, IPSJ Transaction on System LSI Design Methodology, 査読有, P.1 ~ P.7, 2009.
- (3) B. Liu, T. Fujimura, B. Yang, S. Nakatake, 「D-A Converter Based Variation Analysis for Analog Layout Design」, Proc. of IEEE/ACM Asia South Pacific Design Automation Conference, 査読有, P.843 ~ P.848, 2010.
- (4) J. Li, B. Yang, X. Hu, Q. Dong, S. Nakatake, 「STI Stress Aware Placement Optimization Based on

- Geometric Programming」, Proc. of ACM Great Lake Symposium on VLSI, 査読有, P.209 ~ P.214, 2009.
- (5) S. Nakatake, M. Kawakita, T. Ito, Masahiro Kojima, Michiko Kojima, K. Izumi, T. Habasaki, 「Regularity-Oriented Analog Placement with Diffusion Sharing and Well Island Generation」, Proc. of IEEE/ACM Asia South Pacific Design Automation Conference, 査読有, P.305 ~ P.311, 2010.
- (6) 藤村徹、楊波、董青、中武繁寿, 「Current-Driven Linear Layout of MOSFET with Diffusion-Sharing」, Proc. of IEEJ International Analog VLSI Workshop, 査読有, P.225 ~ P.230, 2010.
- (7) 楊波、董青、李静、中武繁寿, 「Structured Analog Circuit Design and MOS Transistor Decomposition for High Accuracy Applications」, Proc. of IEEE/ACM International Conference on Computer-Aided Design, 査読有, P.721 ~ P.726, 2010.
- (8) 中武繁寿、川北真裕、伊藤隆夫、小島雅宏、小島典子、泉健二、幅崎唯之, 「Regularity-Oriented Analog Placement with Conditional Design Rules」, IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, 査読有, E93-A, No.12, P.2389 ~ 2398, 2010.

〔学会発表〕(計6件)

- (1) 劉博、越智敦、中武繁寿, 「MOSトランジスタの耐ばらつきチャンネル分割に関する考察」, 電子情報通信学会 VLSI設計技術研究会, 2010年3月, 沖縄
- (2) 川添亜里沙、藤村徹、中武繁寿, 「トランジスタ・アレイ方式に基づくオペアンプのレイアウト設計およびその評価」, 電子情報通信学会 デザインガイア, 2009年11月, 高知
- (3) 佐土平裕一、中武繁寿, 「MOSトランジスタ特性の距離/空間ばらつきにおけるレイアウト構造依存性の解析」, 電子情報通信学会 デザインガイア, 2009年11月, 高知
- (4) 越智敦、島津怜英、藤村徹、中武繁寿, 「アナログ集積回路における容量の実現及び評価手法に関する一考察」, 電子情報通信学会、VLSI設計技術研究会, 2011年3月, 沖縄
- (5) 楊波、董青、李静、中武繁寿, 「構造化アナログレイアウト方式及び低電力設計

- 向けトランジスタ・チャンネル分割に関する解析」, 電子情報通信学会、VLSI設計技術研究会, 2010年9月, 九州大学
- (6) 篠原宏太、日高美穂子、董青、李静、中武繁寿, 「レイアウト構造を意識したばらつきモデル化及びそのオペアンプ設計における検証」, 電子情報通信学会、VLSI設計技術研究会, 2010年6月, 北見工大

## 6. 研究組織

- (1) 研究代表者 中武繁寿 (NAKATAKE SHIGETOSHI)

北九州市立大学・国際環境工学部・准教授  
研究者番号: 10282831