

機関番号：17104

研究種目：基盤研究 (C)

研究期間：2008~2010

課題番号：20500156

研究課題名 (和文) フーリエ補間による省回路サンプルレート変換器

研究課題名 (英文) Circuit-efficient sample-rate convertor by Fourier interpolation

研究代表者

小林 史典 (KOBAYASHI FUMINORI)

九州工業大学・大学院情報工学研究院・教授

研究者番号：60134970

研究成果の概要 (和文)：最近大勢を占める、デジタルのオーディオ、ビデオで、サンプルレートが異なる場合に必須の変換器 (以下 SRC と略す) に関する。従来の SRC は、時間領域で複雑な処理をするため、よい性能 (歪率) を小さな回路で得ることが難しい。そこで、信号をフーリエ変換して一度周波数領域にし、そこで信号を再構築する方法を提案した。その結果従来の、多タップのフィルタを用いる方式に比して、同程度の性能の場合、回路規模が約 2 桁小さいことを確認した。

研究成果の概要 (英文)：This project relates to SRC, sample-rate convertor, inevitable for now proliferate digital audio and video with different sampling rates. Existing SRC cannot simultaneously satisfy good performance (THD) and small circuit, because of complicated processing in the time domain. This project proposes a novel method to reconstruct signal in the frequency domain, after Fourier transform. Compared to existing methods with multi-tap filters, the method is much smaller, in the order of two, in circuit for equivalent performance.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2008年度	1,100,000	330,000	1,430,000
2009年度	900,000	270,000	1,170,000
2010年度	900,000	270,000	1,170,000
総計	2,900,000	870,000	3,770,000

研究分野：総合領域

科研費の分科・細目：情報学 知覚情報処理・知能ロボティクス

キーワード：デジタル・オーディオ、FPGA、高調波歪、クロック・ジッタ、CORDIC

1. 研究開始当初の背景

(1) 最近オーディオ、ビデオは、CD、DVD に象徴されるように、ほとんどデジタルである。しかしこれらは、開発された時期が異なるため、そのサンプルレートは同じではない。たとえばオーディオについて言えば、時期の早かった CD は 44kHz であるのに対して、近年出た DVD オーディオは 96kHz であり、両者を互換するためには、サン

ルレート変換器 (Sample Rate Converter: 以下 SRC と略す) が必要である。SRC は、最近では携帯電話に搭載されているほどで、民生機器には相当数組み込まれており、性能価格比は重要である。

(2) SRC は基本的に、サンプルにないデータを推定する補間器で、1980年代前半から

研究が始まった[Lagadec 1982]。最近の成果は、超高性能のもの[Kevin & Robert 2000]、補間法の工夫[Huang 2003, Lehtinen 2004]などである。

しかし従来のSRCは、多タップのFIRフィルタ（係数器と加算器が主な要素）を中心に置いており、高性能を得ようとすると、係数を格納するROMと、それを信号に乗じる乗算（係数）器が、回路規模を増大させる欠点があった。

- (3) これらを背景に、フィルタを用いた周波数領域アプローチには限界があると考え、時間領域の補間演算を検討した。補間演算として一般的な多項式は、乗算を必要とするので、入力データのDFTを求め、その結果を連続的なフーリエ級数の係数とする方法をシミュレートし、よい結果を得ていた。

そこで申請により、上記手法の、当時シミュレーションと基本的な回路実験で確認していた特性を、実際に総合的な回路として検討しようとしていた。

2. 研究の目的

- (1) 他の時間領域手法との回路規模比較

この手法の第一の特徴は、従来方式の1/150という、格段に小さい回路にある。しかし、あまり実用に供されていないが、多項式に基づく、時間領域演算による補間 ($at+bt$, at^2+bt+c など。tは時間) も考えられる。そこで、これらと比較を行い、これの利点を明確にする。

- (2) フィルタ型と組合せて超高性能を実現するときの問題点

フーリエ補間 SRC は、回路は非常に小さいが、性能は、後述するようにそこそこであり、高級な機器の要求に応えるには、従来の SRC と組合せる必要がある。この場合、フィルタ部とフーリエ部の比率によって、最小の回路で最大の性能を発揮する最適化を検討する。

- (3) 入出力のクロックとの非同期問題

このSRCは、フーリエ級数部が時間連続のため、入出力のクロックは独立でよい。

しかし実際には、クロックに同

期してデータを受け渡す際に、微妙な周波数の差で、クロックの「追い越し」ないし「周回遅れ」が生じる。これの解決には、ある段階から後の動作をすべて出力側のクロックで同期させる方法が有望である。この具体的な回路方式を検討する。

- (4) 提案手法の特色の確認

次の3点を評価し、携帯電話から業務用機器まで、広範に活用できるだけの低価格、高性能のLSIが実現できるかを確認する：

- ① 回路がきわめて小規模

フィルタ型SRCのような高次フィルタのための大容量の計算を必要としないので、回路規模が小さい。

- ② 入出力が非同期でよい

入力信号から推定したフーリエ変換をフーリエ級数の係数にすることが原理だが、出力側は、連続的な「級数」のため原理的に時間連続になっている。このため、入出力は非同期でよい。

- ③ 遅延が揃っており、かつ短い

周波数領域での処理ではなく、「4点データを採取しては推定結果を1点出す」という動作が、どんな周波数の信号でも変わらないため、高音質に不可欠の「群遅延」の特性が揃っている。また、わずかに4点のため、遅延が非常に短い特徴も、他にはない。

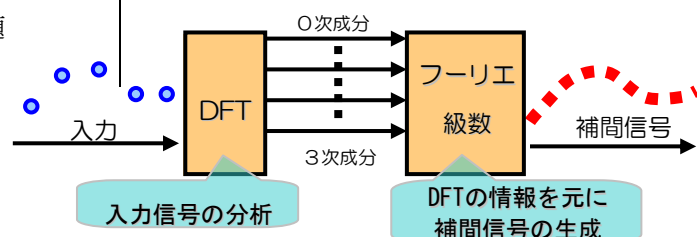
3. 研究の方法

- (1) 平成20年度

- ① 基本アルゴリズムの確認 (担当: 小林)
採択時までに確認した基本アルゴリズム (原理的な構成を下図に示す) の特性、特に信号周波数がサンプルレートに比して高い場合の歪、が悪化する問題を、シミュレーションで確認した。[コンピュータとソフトウェアを使用]

- ② 低歪アルゴリズムの開発 (担当: 小林)

入出力周波数の差が大きい場合、特にダウンサンプルのときの歪を小さくする手法を、シミュレーションで検討した。検討したのは、スプライン補間とデジタルフィルタである。[現有のコンピュータを使用]



③ハードウェア化の準備（担当：渡邊）

FPGA/CPLDによる回路実現のために、基板と開発環境を整備した。[ボードシャーシ、電子部品とISPプログラマを使用]

(2) 平成21年度

①レーシングの影響の検討（担当：小林）

この方式では、フーリエ級数部が時間連続なため、原理的に非同期動作が可能であるが、実際の回路での状況を、シミュレーションにより確認し、FPGA/CPLDで対策を検討した。[現有のコンピュータとハードウェア実験環境を使用]

本研究の最大の障害はここに現れた。これは非同期回路によくあるメタステーブル問題ではなく、それを除去するためのフリップフロップ・チェーンを挿入しても除去できない。

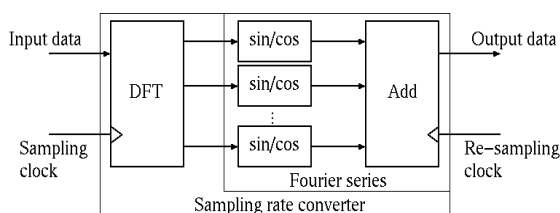
そこで、過去に経験のある企業の助けを借りた。すなわち、PLL で試用した SpAct である。これは適応型の PLL で、高速応答と低ジッタの両立を特徴としており、この技術を応用して、ある段以降の動作を出力クロックに同期させる方法を試みた。

② ハードウェア化（担当：渡邊）

シミュレーションによって確定したアルゴリズムを、基板上にFPGA・CPLDで実現した。[電子部品を使用]

この結果、概略の構成は下図のようになる。DFT のブロックがフーリエ変換部、その右の sin/cos と Add のブロックがフーリエ級数部で、通常非線形回路が必要な sin/cos を、積分器 2 つをループにした線形構成で発生することが特徴である（伝達関数が $1/s$ である積分器 2 つをループにすると、系の特性方程式が $s^2 + \omega^2 = 0$ になり、この根が $s = \pm j\omega$ 、すなわち時間領域で $\sin/\cos \omega t$ になることを活用）。

特徴的なことは、入出力のクロックが独立なことで、非同期問題を解決している。



(3) 平成 22 年度

① 総合検証（担当：小林、渡邊）

完成したハードウェアの動作をさまざまな実信号で検証し、有効性を確認した。[ファンクションジェネレータを使用]

この段階での障害は、「基本アルゴリズムの確認」で示唆した、高周波信号に対する歪の問題である。ここではこれを、当該SRCの前に、従来からあるフィルタ型のSRCを前置して解決したが、そのときに、性能と回路規模に関する最適化（トレードオフ）が難しい可能性があった。これには、パラメータを変えてシミュレーションを繰り返し、対処した。

4. 研究成果

(1) 平成 20 年度

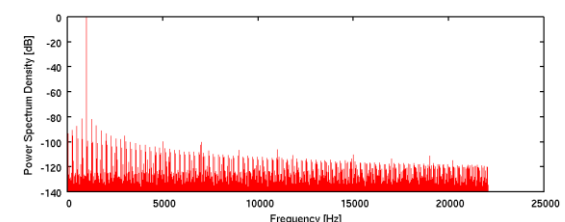
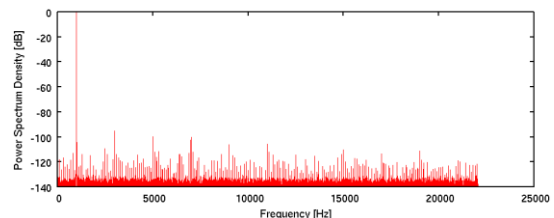
① 省回路CORDICの検討（担当：小林）

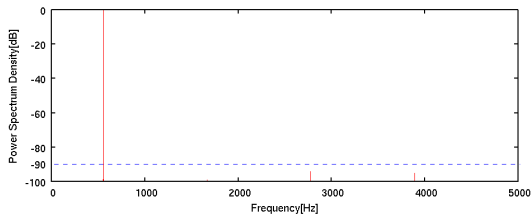
SRC の入出力クロックは基本的に独立だが、実際には、両者が同期していない場合、下図のような問題が発生する。

これは、図の上のようになるべきところ、クロックのビートによって、下のようになります。楕状のスペクトルとなり、音質が劣化する、というものである。

これを防ぐ1つの方法は、SRC の出力回路に、出力側のクロックで駆動されるCORDIC を用いることである。そこで、CORDIC による回路の増大を抑えるため、浮動少数演算を用いず、ビットシフトと加算を組み合せ、精度と規模の両立できないか検討した。

次ページ上部の図がその結果の1つで、CORDIC で生成した正弦波のスペクトル解析である。





これからわかるように、ビットシフトで近似しても歪率は-90dB 以下となっており、全く問題ない。

② 低ジッタ PLL の検討 (担当：小林)

同じく当初計画になかった項目で、サンプルクロックのジッタが歪に影響することがわかり、補助回路の低ジッタ化について検討した。回路構成の工夫として、フィードフォワードと内挿ループによって改善されることを確認し、実地に成果を得た。

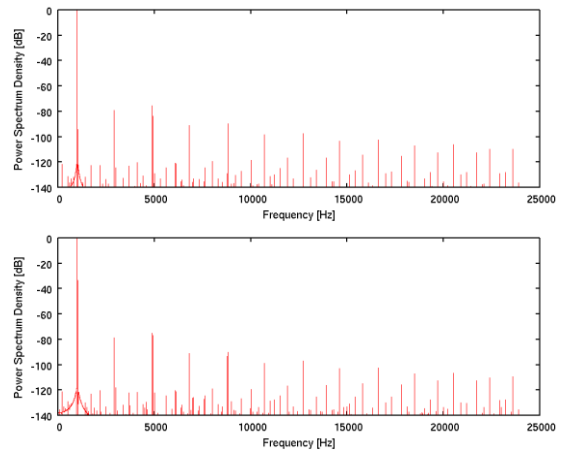
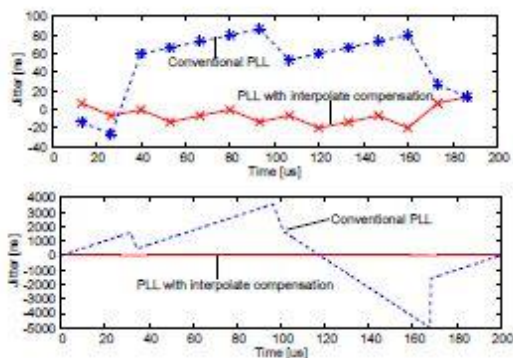
下図がその効果を示す実験結果で、青いプロットが通常の PLL、赤いプロットが新しい PLL で、ジッタが大幅に減ることがわかる。

特に注意したいのは、下は縦軸のスケールが大きいことで、従来の PLL が、周波数シンセサイザとしての通倍数 N が大きくなるほどジッタが増えるのに対して、新 PLL はほとんど変っていない。

(2) 平成 21 年度

① 非同期 CORDIC の検討 (担当：小林)

前年に引き続き、フーリエ逆変換の際に正弦波を発生する CORDIC 回路の改良、特に入出力のクロックが非同期な場合のビートの抑制を試みた。計画していた周期長測定回路と、その出力から位相差を計算する方法は使用せず、ビットシフトと加算を組み合わせることで精度と規模を両立できないか検討し、可能なことを確認した (学会発表)。



この CORDIC を用いてレート変換を行った結果が上図である。

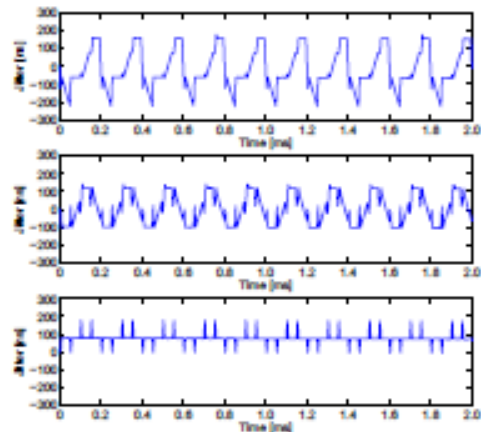
図の上側が原理的なシミュレーション結果、下側が CORDIC で正弦波を発生した場合で、ほとんど差がないことがわかる。

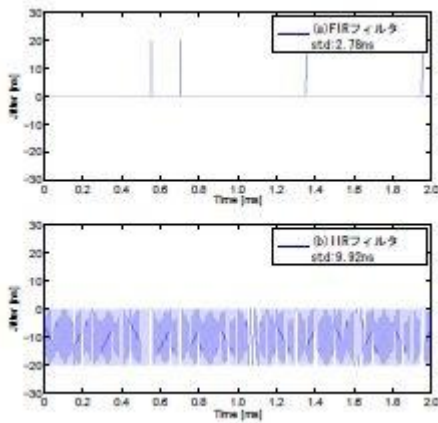
② 低ジッタ PLL の検討 (担当：小林)

前年に続き、サンプルクロックのジッタが歪に影響するため、補助回路の低ジッタ化について検討した。フィードフォワードゲインをある周波数帯域でマイナスにする方法で、ある程度の効果が得られたが (学会発表)、それよりは、位相比較器から直接フィルタを駆動し、キャンセルする方法が有効なことが確認された (修士論文で学内発表)。

下図はその効果を見たもので、一番上がフィードフォワードなし、中と一番下が 2 種類のフィードフォワードを示す。

方式によって効果上図がその効果を示す実験結果で、手法によって効果は異なるが、フィードフォワードがジッタ低減に有効であることが確認できる。





(3) 平成 22 年度

①低ジッタ PLL の検討 (担当 : 小林)

前々年、前年に続き、サンプルクロックのジッタが歪に大きく影響するため、補助回路の低ジッタ化について検討した。

まず、周波数の変化に応答する際のジッタには、2重ループ PLL およびフィードバック/フォワードがある程度有効であるとの結果が得られた (国際学会発表)。

上の図はその効果を示すもので、2種類のフィルタのどちらでも、十分なジッタ特性が得られることが確認できる。

なお付加的な成果として、PLL をリアルタイム OS 上で実現すれば、組み込み機器のコスト削減に有効、との知見も得ている (国内学会で発表)。

②総合検証 (担当 : 小林)

SRC と、そのクロックを生成する PLL を組合せ、総合的な特性を検証した。その結果、以下の特徴を確認した :

- ・回路がきわめて小規模
従来の場合と比較して、同期式で約1/10、非同期ならば約1/150。
- ・入出力が非同期でよい
出力側を独立クロックで動作するCORDICで構成すれば、入出力が同一クロックに同期している必要はない。
- ・遅延が揃っており、かつ短い
常に 4 サンプルの入力から出力を計算するため、群遅延特性が抜群によい。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[学会発表] (計 6 件)

- ① F. Kobayashi, Phase-Locked Loops — Principle and some topics, IEEE APCCAS (Asia-Pacific Conf. on Circuits And Systems), Dec. 6, 2010, Kuala Lumpur, Malaysia
- ② 池田 浩平、小林 史典, リアルタイム OS による最短時間 PLL の実装, 平成 22 年度電気関係学会九州支部連合大会, 2010 年 9 月 26 日, 福岡市
- ③ H. Machida, M. Kambara, K. Tanaka, F. Kobayashi, A Motor Speed Control System Using Dual-Loop PLL and Speed Feed-Forward/Back, IEEE ICMA (Int. Conf. on Mechatronics and Automation), Aug. 6, 2010, Xian, China
- ④ F. Kobayashi, Y. Egashira, H. Kondoh, A PLL Configuration for Reducing both Incoming and Inherent Jitters, IEEE ICECS (Int. Conf. on Electronics, Circuits and Systems), Dec. 14, 2009, Hammamet, Tunisia
- ⑤ 井上学、小林史典、フーリエ補間によるサンプリング・レート変換 : CORDIC アルゴリズムの位相近似、平成 21 年度電気関係学会九州支部連合大会, 2009 年 9 月 29 日、福岡県飯塚市
- ⑥ Y. Nakanishi, F. Kobayashi, H. Kondoh, Low-Jitter PLL by Interpolate Compensation, IEEE APCCAS (Asia-Pacific Conf. on Circuits And Systems), Dec. 2, 2008, Macau, China

[その他]

ホームページ等

<http://www-koba.ces.kyutech.ac.jp/intro/{src,pll}.html>

6. 研究組織

(1) 研究代表者

小林 史典 (KOBAYASHI FUMINORI)
九州工業大学・大学院情報工学研究院・教授
研究者番号 : 6 0 1 3 4 9 7 0

(2) 研究分担者

渡邊 実 (WATANABE MINORU)
静岡大学・工学部・准教授
研究者番号 : 3 0 3 2 5 5 7 6