

平成22年5月20日現在

研究種目：若手研究 (B)
 研究期間：2008～2009
 課題番号：20700042
 研究課題名 (和文) 自己組織化による大規模集積ナノシステムのディペンダブル
 ネットワークの構成方式
 研究課題名 (英文) Design of Dependable Network for Self-assembled Large-scale
 Integrated Nano-systems
 研究代表者
 福士 将 (FUKUSHI MASARU)
 東北大学・大学院情報科学研究科・助教
 研究者番号：50345659

研究成果の概要 (和文)：

本研究では、ナノテクノロジーの1つとして知られるDNA自己組織化技術を用いて1チップ内に実装される大規模集積ナノシステムに対して、システム内に発生する欠陥や故障に対処するためのディペンダビリティの向上技術を明らかにする。欠陥隔離と冗長化の2種類の耐欠陥アプローチを組み合わせたディペンダブルなシステムネットワークの構成方式を研究し、欠陥隔離を自律的に行うためのオンチップ組込み回路構成を明らかにする。

研究成果の概要 (英文)：

In this research, we study techniques for enhancing dependability of large-scale integrated nano-systems built though DNA self-assembly which is known as a promising nano-technology for practical use. We study a hybrid approach combining defect isolation and redundancy techniques for constructing dependable system networks avoiding defective and faulty parts. We also reveal the circuit structure for the developed technique so that defect isolation is automatically done inside the chip.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2008年度	1,300,000	390,000	1,690,000
2009年度	1,200,000	360,000	1,560,000
年度			
年度			
年度			
総計	2,500,000	750,000	3,250,000

研究分野：ディペンダブル並列システム

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：ディペンダブルシステム, DNA自己組織化, 大規模ナノシステム, 自律再構成, システムオンチップ

1. 研究開始当初の背景

CMOS トランジスタの微細化による集積回路製造技術の進歩は多大な成功を収め、今日のコンピュータ社会に大きく貢献してきた。しかしながら、米国半導体工業会の近年の技術ロードマップでは、現在の製造技術は近い将来に物理的な限界に達するため、新たな方式に基づく製造技術の研究開発が提言されている。これは、微細化により CMOS トランジスタのリーク電流が劇的に増大することと、ナノスケール回路の配線加工法として現在のフォトリソグラフィ法を用いることが原理的に困難になるという、回路素子と製造技術の両方の物理的限界に起因している。そのため、カーボンナノチューブ・トランジスタやナノセル、量子ドットなど小型で低消費電力の新たなナノデバイス素子や、それらを用いたナノシステムの製造技術の研究開発が現在盛んに行われている。

近年、ナノシステムの製造技術として応用が注目され始めているナノテクノロジーの1つに、DNA 自己組織化技術がある。この技術では、生物が持つ DNA 分子の選択的な結合能力（自己組織化）を利用することで、回路の基礎構造を作成し、ナノデバイス素子の配置・配線を行う。これにより、100 万～10 億個の細粒度な処理要素 (Processing Element: PE) が局所的なネットワークで結合された大規模集積ナノシステムが1チップ内に実装され、現在のチップ・マルチプロセッサやタイプロセッサなどとは比較にならないほどの超並列動作が可能になる。しかし、自己組織化の過程で DNA のミスマッチ（誤った結合）が発生し、システム内に欠陥や故障が発生するため、チップの信頼性が著しく低下するという問題がある。従って、欠陥や故障に対処するためのディペンダビリティの向上技術が必要不可欠な要素技術となる。

DNA 自己組織化によるナノシステムのディペンダビリティの向上手法は数年前から研究が開始され、主に海外を中心に研究が行われている。PE やリンクなどの欠陥要素を冗長要素で代替する冗長化アプローチに基づく手法として、3 重化手法の適用や、NAND マルチプレキシング、欠陥マップを用いたシステム再構成法などがある。しかし、冗長要素を導入したシステムは元のシステムの 2～4 倍もの大きさになるため、10 億の PE からなる大規模なナノシステムでは実用的ではないことが指摘されている。

これに対し、正常に機能する要素のみを用いてシステムやそのネットワークを構成す

る欠陥隔離アプローチに基づく手法として、ブロードキャストによりパケット転送を行う手法や、ワイヤレス・アドホック・ネットワーク向けの手法を応用した研究代表者らの手法がある。これらの手法はディペンダビリティ向上のための追加の回路オーバーヘッドが少なく済むという大きな利点があるが、チップの外部と内部のデータ入出力を行うアンカーPE (パケットの送信元 PE) やその周辺の PE の欠陥により、多数の正常な PE が使用不可能になってしまうという問題点が指摘されている。

2. 研究の目的

本研究では、DNA 自己組織化技術によって1チップに実装される大規模集積ナノシステムを対象に、システム内に発生する欠陥や故障に対処するためのディペンダビリティの向上技術を明らかにする。具体的には、欠陥隔離と冗長化の2種類の耐欠陥アプローチを組み合わせることにより、高信頼性のあるシステムネットワークの構成方式を考案し、それを自律的に実行するためのオンチップ組込み回路の構成方式を明らかにする。

具体的な目的は次の通りである。

(1) 新たなアプローチに基づくネットワーク構成方式の開発

研究代表者がこれまでに開発した欠陥隔離手法をさらに発展させ、部分的に冗長要素を導入することにより、欠陥隔離と冗長化アプローチを組み合わせる新たなアプローチのネットワーク構成方式を詳しく研究する。これにより、欠陥要素の救済とシステムからの隔離の両効果により得られる耐欠陥性能を明らかにし、従来のアプローチに対する本手法の有効性を示す。

(2) 欠陥モデルの構築

DNA 自己再構成過程で発生するクラスタ欠陥やリンク欠陥に着目し、これらのモデルを構築することで、より現実に即した環境下で提案手法の性能を明かにする。

(3) オンチップ組込み回路の設計

チップ自身により自律的に欠陥に対処するオンチップ自律的手法の可能性を示すために、本手法を実行する組込みハードウェア回路の設計を行い、実装テストを通じて、必要となる面積や実行時間などの性能を明らかにする。

3. 研究の方法

本研究の目的を達成するための具体的な

研究方法は次の通りである。

(1) ディペンダブルネットワーク構成方式の開発

欠陥隔離手法の既知の問題に対処するために、部分的に冗長要素を導入し、欠陥隔離と冗長化の両方のアプローチを組み合わせた新たな手法を開発する。アンカーPE やその周辺のPE に限定して冗長要素を部分的に配置するアプローチにより、少ない冗長化オーバーヘッドで高信頼化を図る。冗長化手法として、従来法である3重化や、NAND マルチプレキシング、および、研究代表者が行ってきたプロセッサアレイの論理ネットワークの再構成法などの手法の適用を検討し、最も少ない冗長要素数で高信頼化を達成する方式を明らかにする。

また、欠陥PE の隔離をより効率よく行うために、並列計算機の耐故障ルーティングで用いられている、非安全PE の回避手法を導入する。

(2) 欠陥モデルの構築

DNA 自己組織化では、あるDNA のミスマッチが他のDNA のミスマッチを誘発し、欠陥がクラスタ状に発生することが知られている。また、PE 間のリンクの形成には、ナノデバイス素子の配置・配線とは異なる自己組織化技術が用いられることから、リンク欠陥がさらに発生することも知られている。これらの欠陥が耐欠陥性能に与える影響はこれまでまだ明らかにされていなかった。そこで本研究では、より実際に近い環境を想定した評価法を確立するために、クラスタ欠陥とリンク欠陥のモデル化を行う。DNA 自己組織化による欠陥発生メカニズムを調査し、欠陥PE 間の距離、リンク欠陥率などのパラメータを用いて欠陥モデルを構築する。

(3) 計算機シミュレーションによる性能評価と手法の見直し

上記(1)、(2)の各作業が終了した時点で、C 言語でシミュレーションプログラムを作成し、ナノシステムのネットワーク構成シミュレーションを行う。ネットワーク構成後に得られる、正常PE の使用率やネットワーク構成時間、平均経路長、および非安全PE の存在率などの性能指標を詳細に評価し、従来法と比較する。また、構築するクラスタ欠陥やリンク欠陥モデルをプログラムに組み込み、これらのモデルが性能指標に与える影響を詳しく評価する。

(4) オンチップ組み込みハードウェア回路の設計

ハードウェア回路の実装方式として、システムの各PE に回路を分散配置し、並列的に制御して実行する方式を詳しく検討する。ハードウェア記述言語VHDL で回路設計を行い、CAD ソフトウェアにより回路データを合成する。CAD ソフトウェアのシミュレータにより

基本的な論理の検証を行い、その回路規模を評価する。また、検証・評価結果に応じて設計の見直しを行う。

(5) 回路の実装と動作確認

CAD ソフトウェアにより合成された回路をFPGA 上に実装し、ハードウェアとしての動作を検証する。制御用ホストコンピュータとFPGA 間のデータ送受信プログラムを作成し、テストデータの入力に対するFPGA からの出力を確認する。

4. 研究成果

(1) ディペンダブルネットワーク構成方式の開発

システムの製造過程で発生する欠陥プロセッサの影響を回避するために、欠陥隔離と冗長化の2種類の耐欠陥アプローチを組み合わせたディペンダブルなシステムネットワークの構成方式を開発した。本手法では、アンカーPE からパケットを送信し、パケットが届いたPE のみを用いてシステムネットワークを構成する。複数の欠陥PE に隣接しているPE を非安全PE として認識し、それらのPE には低い優先度でパケットを送信することで、アンカーPE からのパケットを効率よく全体に送信することを可能とした。

さらに、冗長化手法の一つであるn-out-of-k 手法を応用し、アンカーPE の機能を代替可能なPE を複数導入した。これは、複雑な機構を用いずに、アンカーPE の周辺PE に対して、内部にPE をバイパスさせるリンクおよびスイッチを追加することで実現した。このバイパス機能のアイデアにより、これまで未解決であったクラスタ欠陥により多数の使用可能PE がネットワークに接続できない問題を解決し、より多くのPE となるネットワークを短時間で構成することを可能とした。

計算機シミュレーションにより、PE 数が1万~400万個、欠陥率が0~50%の様々なシステムネットワークを想定し、従来手法と提案手法の効果を検証した。その結果、以下のことが明らかになった。

- ① PE の使用率に関しては、従来法、提案手法ともネットワークサイズの増加に対してほぼ一定である。欠陥率が30%を超える場合、従来法の使用率は極端に低下するのに対し、提案手法の低下の割合は低く、最大約50%高い使用率を実現可能である。
- ② ネットワーク構成時間に関しては、従来法ではネットワークサイズに比例して増加するのに対し、提案手法ではほぼ一定でしかも著しく低く、最大約30倍も構成時間を短縮可能である。
- ③ ネットワークの平均経路長に関しては、

従来法では欠陥率が 30%を超える場合に急激に増加するのに対し、提案手法ではほぼ一定であり、最大約 50%も経路長を短縮可能である。

以上の結果は、ネットワークサイズが大きくなり、欠陥率も高い、DNA 自己組織化によるシステムにおいて、提案手法が非常に有用であることを示している。

(2) 欠陥モデルの構築

DNA 自己組織化では欠陥がクラスタ状に密集して発生することが知られているため、その特性を考慮したクラスタ欠陥モデルを考案した。DNA 自己組織化の成長プロセスは、格子構造の最も右下から最も左上に向けて対角線が移動するような形で進み、ミスマッチによる欠陥は自己組織化が終わった部分には影響しないことが分かった。自己組織化技術の高信頼化に深い知識を持つ研究支援者の Lombardi 教授から、ミスマッチが発生した場合、その箇所を 2~7 程度の隣接箇所にも影響が及び、発生箇所との距離が遠くなるにつれて欠陥率が低下するという知見を得た。このことを考慮し、ミスマッチの影響範囲 (R) と発生箇所との距離をパラメータに加えた欠陥モデルを構築した。

このモデルの下で、計算機シミュレーションにより提案手法を評価した結果、以下のことが分かった。

- ① 正常 PE の使用率は R の増加に伴い低下し、クラスタ欠陥を考慮しない場合 (R=0) と比較して、最大約 80%も低下することがある。
- ② ネットワーク構成時間は R の増加に伴い増加し、R=0 の場合と比較して、最大約 30%増加する。

R は自己組織化を行う際の温度や濃度等の条件に依存し、本モデルにより、様々な条件下で製造されたシステムを評価することが可能になった。

(3) オンチップ組込みハードウェア回路の実装と評価

ディペンダブルネットワークの構成をシステム自身が自律的に行うためのオンチップ組込み回路の設計を行い、動作確認を行った。DNA 自己組織化により製造されるネットワークは不規則メッシュ構造になるため、この構造向けのパケットルーティング手法として知られるフォールトリングに基づく手法に改良を加え、ハードウェア実装向けの手法として新たに開発した。さらに、パケットが互いに妨害し合うデッドロックが発生しないことも理論的に証明した。(1)で開発した手法は、パケットの送信により欠陥隔離を行うものであるため、パケットを隣接 PE に転送するためのルータ回路の内部に本ルーティング手法による欠陥隔離機能を実装した。局所的な情報のみを用いて、各ルータが

並列分散的に動作するため、大規模なシステムにも適用可能である。さらに、回路面積を少なく抑える要求から、パケットの一時保存バッファである仮想チャネルを全く必要としないことも特徴の一つである。VHDL により回路設計を行い、FPGA に実装した結果、少ない面積オーバーヘッドで約 4 ナノ秒の時間で高速なルーティング制御が可能であることを明らかにした。

本研究により、DNA 自己組織化技術によって製造される大規模ナノシステム向けのディペンダビリティの向上手法およびその組込み回路構成が明らかになった。今後は、本手法で構成可能なシステムの特性を考慮した新たなシステムアーキテクチャおよびアプリケーションを解明し、大規模ナノシステムの実用化に向けてさらに研究を進める予定である。

5. 主な発表論文等

[雑誌論文] (計 4 件)

[1] K. Watanabe, M. Fukushi and S. Horiguchi, "Expected-credibility-based Job Scheduling for Reliable Volunteer Computing," IEICE Transactions on Information and Systems, Vol. E93-D, No. 2, pp.306-314, 2010 (査読有) .

[2] M. Fukushi, S. Horiguchi, L. Demoracski, and F. Lombardi, "An Efficient Framework for Scalable Defect Isolation in Large Scale Networks of DNA Self-Assembly," Journal of Electronic Testing: Theory and Applications, Vol. 25, No.1, pp.11-23, 2009 (査読有) .

[3] 三浦 康之, 堀口 進, 福土 将, "細粒度並列処理向け相互結合網 TESH における適応型ルーティングアルゴリズム," 電子情報通信学会論文誌 Vol. J91-D, No.5, pp.1202-1215, 2008 (査読有) .

[学会発表] (計 4 件)

[1] Y. Fukushima, M. Fukushi, and S. Horiguchi, "Fault-Tolerant Routing Algorithm for Network on Chip without Virtual Channels," Proceedings of the 24th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, pp.313-321, Chicago, USA, Oct. 8, 2009.

[2] 田澤 源太, 福土 将, 堀口 進, "再帰的アプローチに基づく組み込みシステムのハードウェア/ソフトウェア分割手法" 電子情報通信学会 機能集積システム研究会, 奈良, 2008 年 10 月 31 日.

6. 研究組織

(1) 研究代表者

福士 将 (FUKUSHI MASARU)

東北大学・大学院情報科学研究科・助教

研究者番号：50345659

(2) 研究分担者

()

研究者番号：

(3) 連携研究者

()

研究者番号：