

機関番号：12102
 研究種目：若手研究（B）
 研究期間：2008～2010
 課題番号：20700044
 研究課題名（和文）部分回路再構成を利用した可変並列計算システムの実現と耐故障性の向上について
 研究課題名（英文）Development of the high-fault-tolerant system using partial and dynamic reconfiguration
 研究代表者
 山口 佳樹（YAMAGUCHI YOSHIKI）
 筑波大学・大学院システム情報工学研究科・講師
 研究者番号：30373377

研究成果の概要（和文）：

モジュール毎に分割した回路を動的かつ部分的に書き換えることで、回路量の削減および耐故障性が実現できることを確認した。対象アプリケーションにもよるが、時間方向にモジュールを分割実装することで最大40%程度の回路の削減が可能であった。また、これを利用して回路冗長性を高効率に実現することも可能となった。アプリケーションに特化した構成だけでなく、組み込み用マイコンなどの一般的な回路についてもFPGAを使用して検証を行いその有効性について実証した。

研究成果の概要（英文）：

The aim of this project is to identify the merit which is caused from the adoption of partial-and-dynamic reconfiguration when a high-fault-tolerant system is assumed. It reduces the amount of the logical circuit in the LSI-based system and will lead the performance improvement. Though the results were application dependent, the proposed approach can reduce the number of circuits up to 40 percents and attain higher dependability compared to naive implementation. It could be applied to embedded processors when the circuit is appropriately divided to modules. Thus, the effectiveness was able to be verified by not only special-purpose circuits but also general-purpose circuits.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2008年度	1,300,000	390,000	1,690,000
2009年度	1,300,000	390,000	1,690,000
2010年度	600,000	180,000	780,000
年度	0	0	0
年度	0	0	0
総計	3,200,000	960,000	4,160,000

研究分野：情報学

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：リコンフィギャラブルシステム, ディペンダブルコンピューティング

1. 研究開始当初の背景

宇宙空間、極地、原子力発電所等において数多くの電子制御システムが利用されるようになった。再設置の困難性という観点から、これらのシステムにおいて高信頼性を実現することは非常に重要である。

現在、各構成要素の高信頼性（特殊な電子回路の使用）と多重冗長の利用によりシステム全体の高信頼性の実現に努めているが、一般にシステム構築コストは高くなる。また、よく試験された技術を使うという意味で、最新の技術を利用することは難しく、比較的古

い技術に頼らざるをえない。

そこで、これらを解決する為に、自律的な故障の修復、もしくは遠隔よりシステムを監視しそれを修復することができることが望ましい。

2. 研究の目的

電氣的に回路を再構成できるデバイスを使用し耐故障箇所を特定した後に動的にその部位を修正することができれば、システムの信頼性向上に大きく貢献できる。一方で、部分的かつ動的に回路構成を変更する方式は提案に留まり実用までには至っていない。そこで、本提案では部分回路再構成を使用した耐故障性能の改善手法および故障経過などに伴い減少する回路資源を効率的に使用するための可変並列処理システムの構築とその検証を目的とする。

3. 研究の方法

より広いプラットフォームに対応する為、書き換え可能ハードウェアも1種類ではなく2数種使用した。具体的には細粒度デバイスとして Xilinx 社の Field Programmable Gate Array を、粗粒度デバイスとして IPFLEX 社の DAPDNA デバイスを用い、複数のアプリケーションを実装した。

実装後は、回路規模、動作周波数、消費電力、リアルタイム性などについて検証した。また、同じアプリケーションをソフトウェアで実行した場合とハードウェア(同アーキテクチャの書き換え可能ハードウェア)で実行した場合についても比較および検証し、本提案手法の有意性について示した。

4. 研究成果

(1) 可変並列プロセッサの設計

書き換え可能ハードウェア用に提供される組込み用プロセッサコアは数多く挙げられるがその多くは試作の延長線上で利用されていることが多い。つまり、組込みプロセッサ+書き換え可能ハードウェアという物理構成をそのまま書き換え可能ハードウェア上に展開したに過ぎない。しかし、対象アプリケーション、要求性能、信頼性などで組込みプロセッサの構成も大きく異なるべきでありその意味でプロセッサ用ソフト IP も様々な構成を許容できることが望ましい。そこで本提案では、図 1 に示すように並列度可変ソフト IP を提案しそれについて評価・検証を行った。

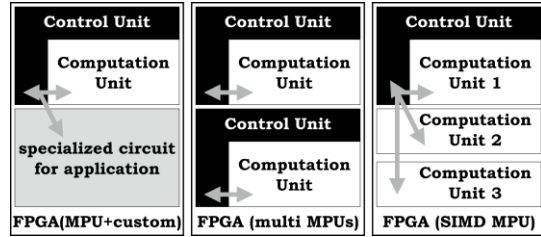


図 1. 並列度可変プロセッサコアの概要

提案するプロセッサは、プロセッサコアの内部構造（制御ユニット数と演算ユニット数の比、SIMD の割合）およびプロセッサコア数を自由に変更が可能であり、プロセッサコア間ネットワークについても柔軟に変更が可能である。

図 1 に提案したプロセッサコアによって期待される性能向上率（速度向上率と使用回路面積・消費電力の比）を図 2 に示す。

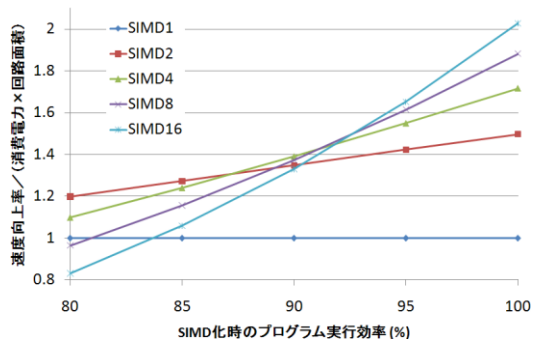


図 2. 並列度可変ソフト IP コアの数値向上率

プログラムの実行効率が高ければプロセッサコアの構成によらず変更しない場合、使用回路面積が最小となる（つまり、静的および動的な消費電力も最小となる）SIMD プロセッサが高い性能向上率を示すのは明白である。しかし、一般に SIMD 化を進めた場合、プログラムの実行効率は低下していくことが知られている。このため、プログラム実行効率の減少係数と性能向上率にはトレードオフポイントが存在することがわかる。

本提案手法では、現在の構成だと SIMD 4 ないし 8 の構成が一般には適していることが確認できた。本手法は自由に構成を変更可能である。そこで、上パラメータを基本構成として持たせ、対象アプリケーションによってユーザがより適したパラメータを選択できるようにすることで、より高効率なシステムを簡単に実現することが可能となる。

(2) 動的なモジュール単位回路再構成

回路構成およびその並列度を動的に変更することができれば、システム構築の幅が大きく広がる。そこで、モジュール単位回路再構成について提案し、その実システムの構築を行った。この概要を図 3 に示す。

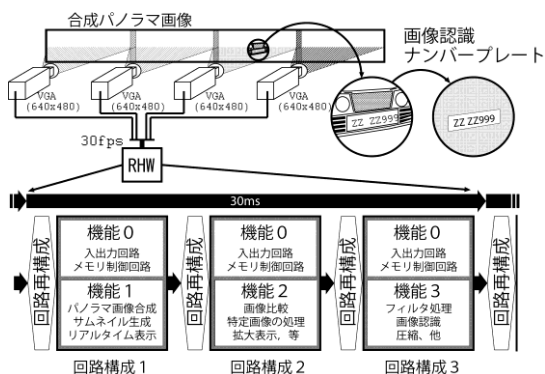


図 3. モジュール単位回路再構成とその概要

上記では例として 3 種類の回路構成を示したが、バックグラウンドで回路情報メモリを変更することができれば機能は無限に実装が可能である。従来手法の場合、一つの LSI に全ての機能を実装する必要があるが、本手法ではユーザが想定する時間刻みの中で同時に実行される回路のみを実装する為回路面積を減らすことができる。また、回路資源を許す限り並列度を高め、計算時間を短縮することも可能である。この手法の有効性はアプリケーションに高く依存するが、画像処理など、処理が明確に分かれている問題に対しては有効であることを示した。

(3) プロセッサの耐故障性向上

部分および動的な回路再構成を適用し、より耐故障性向上に特化した方法についても提案と検証を進めた。本提案手法では、図 4 に示すタイルフォールトトレラント手法を提案し、故障が生じた機能モジュールを予備モジュールに移すことで耐故障性の向上を図った。

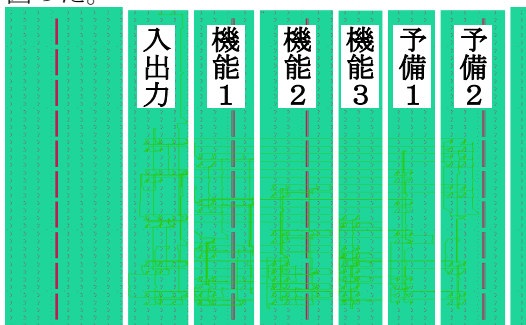


図 4. 部分回路再構成による耐故障性向上

図 4 の例は、書き換え可能ハードウェアを 6 モジュールに分割し、入出力モジュールを静的モジュールとして設定し、機能 1～3 について自由に変更できる構成としてある。回路再構成は外部の JTAG 端子によって行われているが、近年では内部から直接変更することも可能になったため、この利用によりリアルタイム性についても追求できると考えている。

現状では全ての故障の組み合わせに対して対応可能にするため、各モジュールは全結合されている。これはモジュール数を大きくしていく上で問題となるが、内部のモジュール間接続にバス構造を採用し、改善を図れることも検証した。

(4) 消費電力対性能に関する検証

部分回路再構成および並列度を上げ効率を改善しても、書き換え可能ハードウェアを使用すること自体が他の LSI を採用したシステムよりも劣っている場合は本提案手法の意味も大きく薄れる。

そこで、(1)および(2)においても行ったが、更に遺伝子情報処理のアプリケーションを対象にその性能と消費電力について詳細に調査を行った。本提案手法による回路は XILINX 社の XC5VLX330T に実装され、Intel E5420 プロセッサおよび Nvidia GTX295 における既公表結果とその性能を比較した（同アプリケーションは本代表者のローカル環境 (Intel W3505 および NVIDIA GTX480) で追試され、同等の結果が得られることを確認している）。

このとき、FPGA は GPGPU および汎用プロセッサに対し、絶対性能 3～5 倍の高速化が得られることを確認できた。また、消費電力対性能を見ると約 30 倍の向上を実現することがわかった。以上より、大規模・組込み等のシステムの大小に因らず、書き換え可能ハードウェアの利用により高い効果が得られることを示すことができた。

これらの結果を基に、様々なアーキテクチャの強みを組み合わせたヘテロジニアスな環境をつくることで、高効率で耐故障性の高いシステムを構築ことが可能となる。これは今後のコンピュータシステムには重要であり、本研究がその指針を定量的に示す一助になればと考えている。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 14 件)

① S. Tanabe, T. Nagashima, and Y. Yamaguchi,

“A study of FPGA-based Flexible SIMD processor”, Highly-Efficient Accelerators and Reconfigurable Technologies, pp.118-123, 2011, 査読有.

② Y. Yamaguchi, K.H. Tsoi and W. Luk, “FPGA-based Smith-Waterman Algorithm: Analysis and Novel Design”, Applied Reconfigurable Computing, pp.181-192,

2011, 査読有.

③ Y. Yamaguchi, K.H. Tsoi and W. Luk, ``A comparison of FPGAs, GPUs and CPUs for Smith-Waterman algorithm'', Field-Programmable Gate Arrays 2010, pp.281, 2011, 査読有.

④ S. Yoshida and Y. Yamaguchi, ``A Study of an FPGA Synthesizer'', Audio, Language and Image Processing, pp.1205-1210, 2010, 査読有.

⑤ Y. Arai, Y. Yamaguchi, M. Yasunaga, ``FHC Lattice Gas Model on Playstation3'', Highly-Efficient Accelerators and Reconfigurable Technologies 2010, pp.131-136, 2010, 査読有.

⑥ 川合浩之、山口佳樹、安永守利, "FPGA の動的部分再構成を利用した進化型高速パターン認識ハードウェア," 電子情報通信学会論文誌 D, Vol.J93-D, No.11, pp.2354-2367, (2010), 査読有.

⑦ S. Hiinaga, Y. Yamaguchi, T. Yao, and T. Kawabe, ``Dynamic Reconfiguration System for Real-Time Video Processing'', Field Programmable Logic and Applications, pp. 691-694, 2009, 査読有.

⑧ K. Ikeda, M. Yasunaga, Y. Yamaguchi, Y. Yamamoto, and I. Yoshihara, ``A Visual-inspection System Using a Self-organizing Map'', Artificial Life and Robotics, Vol.14, No.4, pp.506-510, 2009, 査読有.

⑨ S. Asano, T. Maruyama and Y. Yamaguchi, ``Performance Comparison of FPGA, GPU and CPU in Image Processing'', Field Programmable Logic and Applications, pp.126-131, 2009, 査読有.

⑩ A. Kanamaru, H. Kawai, Y. Yamaguchi, M. Yasunaga, ``Tile-Based Fault-Tolerant Approach using Partial Reconfiguration'', Applied Reconfigurable Computing, pp. 293-299, 2009, 査読有.

⑪ Y. Arai, Y. Yamaguchi, T. Maruyama, and M. Yasunaga, ``Experience of Lattice Gas Automata Simulator -- toward large-scale PlayStation 3 cluster --'', Parallel and Distributed Computing and Networks, pp.181-188, 2009, 査読有.

⑫ K. Ikeda, M. Yasunaga, Y. Yamaguchi, Y. Yamamoto, I. Yoshihara, ``A Visual-inspection System Using Self-organizing Map'', Artificial Life and Robotics, pp.654-657, 2009, 査読有.

⑬ H. Kawai, Y. Yamaguchi, M. Yasunaga, K. Glette and J. Torresen, ``A Self-Adaptive Pattern Recognition Hardware with On-chip Partial Reconfiguration'', Field-Programmable Technology, pp.169-176, 2008, 査読有.

⑭ T. Saegusa, T. Maruyama, and Y. Yamaguchi, ``How fast is an FPGA in image processing?'', Field-Programmable Logic and Applications, pp. 77-82, 2008, 査読有.

[学会発表] (計 10 件)

① 田邊翔司、山口佳樹、安永守利: SIMD 型並列度可変プロセッサコアの提案とその検証, リコンフィギャラブルシステム研究会, 2010 年 5 月 14 日, 長崎

② 木下慶, 高野大輔, 岡村知晋, 矢尾哲彦, 山口佳樹: 動的再構成デバイスによるリアルタイム翻訳システムの構築と検証, リコンフィギャラブルシステム研究会, 2010 年 5 月 14 日, 長崎

③ 山口佳樹: Cell/B.E. を用いた高速計算について, FAIS マルチコア Workshop, 2009 年 10 月 29 日, 財団法人北九州産業学術推進機構学術情報センター

④ 川合浩之, 山口佳樹, 安永守利: 高速パターン認識システムのための動的な再構成手法の評価と比較, リコンフィギャラブルシステム研究会, 2009 年 5 月 15 日, 福井大学

⑤ 金丸敦礼, 田邊翔司, 山口佳樹, 安永守利: 実装回路の耐故障性を考慮した回路再構成手法の提案と検証, 機能集積情報システム研究会, 2009 年 3 月 6 日, 長崎県長崎市, 長崎県美術館

⑥ 川合浩之, 山口佳樹, 安永守利, キレグレット, ジム テレessen: 動的部分再構成を用いた自己適応型高速パターン認識ハードウェア, リコンフィギャラブルシステム研究会, 2008 年 11 月 18 日, 北九州学術研究都市

⑦ 田邊翔司, 金丸敦礼, 川合浩之, 山口佳

樹, 安永守利: 自己修復手法による耐故障性向上の研究, 組み込みシステムシンポジウム: 2008年10月30-31日, 東京都、国立オリンピック記念青少年総合センター

⑧ 山野孝之, 新井佑介, 山口佳樹, 丸山勉, 安永守利: Cell Broadband Engine による格子ガスオートマトン法の高速化, 組み込みシステムシンポジウム: 2008年10月30-31日, 東京都、国立オリンピック記念青少年総合センター

⑨ 金丸敦礼, 川合浩之, 山口佳樹, 安永守利: 書き換え可能ハードウェアを用いた耐故障性能向上手法の研究, リコンフィギャラブルシステム研究会, 2008年9月26日, 岡山大学

⑩ 金丸敦礼, 川合浩之, 山口佳樹, 安永守利: 部分回路再構成を利用した耐故障性向上アーキテクチャの提案とその実装, リコンフィギャラブルシステム研究会, 2008年5月23日, 会津大学

[その他]

<http://www.cs.tsukuba.ac.jp/~yoshiki>

6. 研究組織

(1) 研究代表者

山口 佳樹 (YOSHIKI YAMAGUCHI)
筑波大学・大学院システム情報工学研究科・講師
研究者番号: 30373377

(2) 研究分担者

該当なし

(3) 連携研究者

該当なし