

機関番号：11301  
研究種目：若手研究(B)  
研究期間：2008～2010  
課題番号：20760213  
研究課題名(和文) 単一磁束量子論理回路によるストカスティック論理ニューロ演算のハードウェア化  
研究課題名(英文) Hardware implementation of the neural computation based on stochastic logic using single flux quantum circuits  
研究代表者  
小野美 武 (TAKESHI ONOMI)  
東北大学・電気通信研究所・助教  
研究者番号：70312676

研究成果の概要(和文)：信号のレベルを確率的なパルス頻度で表現して演算を行うストカスティック論理表現によるニューロ演算を実現する回路を、超伝導体の単一磁束量子を情報担体とする回路を用いて集積化を行った。神経細胞モデル上での入力と結合荷重値の乗算を行う回路、その結果を積算し膜電位を生成する回路、膜電位の値に応じた出力を行う回路等の基本演算ブロックの集積化を行った。これらの主要な演算回路の正常な動作確認に成功した。

研究成果の概要(英文)：Circuits for a hardware neural computation were fabricated by using single flux-quantum circuits based on stochastic logic. In the stochastic logic, the data is represented by a random pulse generation rate for a certain period on time domain. Main components of this neuron circuit are a multiplication of synaptic weight, a generation of membrane potential, and an activation function. These basic elements of the neuron circuit were fabricated. Some main circuits were successfully demonstrated.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2008年度	1,000,000	300,000	1,300,000
2009年度	800,000	240,000	1,040,000
2010年度	800,000	240,000	1,040,000
年度			
年度			
総計	2,600,000	780,000	3,380,000

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：超伝導素子・材料、磁束量子、ジョセフソン接合、ニューロ、集積回路

#### 1. 研究開始当初の背景

超伝導体の単一磁束量子を情報担体とする回路(以下、SFQ回路)は、100GHzを超える動作周波数で動作する最も有望な回路である。現在の半導体回路の高速化を押し進めた場合、30GHzの動作周波数においてチ

ップ表面の熱放出がロケットのジェットノズルと同程度の発熱量になると試算されており、半導体回路にとって代わり得る高速・低消費電力回路として最も大規模な回路が実現されているのがSFQ回路である。そのSFQ回路において信頼性の高い

Nb/AlOx/Nb ジョセフソン接合を用いた回路により、数千個〜万個程度の接合を集積化した回路が実現されている。現在の超伝導集積回路技術によって試作された回路はゲートレベルで 50~100GHz の動作周波数を持ち、パイプライン化した回路構成によるシステムレベルで数 10GHz の動作周波数である。

研究代表者が所属する研究グループは以前より SFQ 素子とその論理方式および情報処理回路への応用の研究を継続的に行っており[1],[2]、SFQ デジタル集積回路の設計・集積化・計測に対する実績を持っている。

一方、同研究グループは知的な情報処理を目指したハードウェアの実現も目指しており、ニューロコンピューティングの手法による情報処理回路の研究も行っている。近年、大規模なニューロ演算システムとしてストカスティック演算（信号のレベルを確率的なパルス頻度で表現して演算を行う）を用いた手法により 0.35 $\mu$ m ルールの CMOS 回路において 50 ニューロンを搭載したニューロチップが動作周波数約 100MHz で実現されている[3]。画像処理などへの応用を考えたばあい、数万〜数百万程度のニューロ素子が必要となりマルチチップ化が必須であるが、タイムシェアリングによる演算手法により素子数の増加を抑制する事も重要である。このばあい、少なくとも 2~3 桁程度高速な演算スピードが要求され、その要求に答えられ得るのが SFQ 回路である。ストカスティック論理表現を用いる最大の利点は、ニューロ演算の入力とシナプス荷重値の乗算を AND ゲート一つで実現することが可能となる点である。現状では半導体回路に比べて超伝導回路の集積度はそれほど高くないため、より少ない素子数でニューロ演算が可能となるストカスティック論理方式は超伝導回路にとって有効な手段である。

これらの背景から、近年研究代表者は SFQ 回路を利用したストカスティックニューロ回路の提案を行い[4]、ニューロ回路実現への見通しを得ている。ポスト半導体集積回路としての SFQ 回路の優れた信号処理能力をニューラルネットワークシステムに応用し、システムレベルでの動作実証を行うことは社会的・学術的に有意義なことと考えられる。

[1] K. Nakajima, et. al., "Phase-mode Josephson computer System," IEEE Trans. Appl. Superconduct., vol.1, pp.29-36, (1991)

[2] T.Onomi, et. al., "Implementation of Phase-Mode Arithmetic Elements for Parallel Signal Processing," IEEE Trans. Appl. Superconduct., vol.13, pp.583-586, (2003)

[3] A. Momoi, et. al., "Implementation of a Large Scale Hardware Neural Network System based on Stochastic Logic," Proc. 2004 Joint Int. Neural Networks Conf., pp.2671-2676,

(2004)

[4] T. Kondo, T. Onomi, et al., "Design and Implementation of Stochastic Neurosystem Using SFQ Logic Circuits," IEEE Trans. Appl. Superconduct., vol.15, pp.320-323, (2005)

## 2. 研究の目的

本研究では、超伝導体の単一磁束量子情報処理回路を用いたストカスティック論理ニューロ演算のハードウェア化を目的として研究を行った。単一磁束量子回路は高速・低消費電力性から信号処理回路への応用が期待されており、ニューラルネットワークを実現する回路として素子数の少ない回路で実現できるストカスティック演算を利用することでその実現を目指すこととした。超伝導集積回路の設計・試作は主として、現在最も信頼性の高い超電導工学研究所の Nb/AlOx/Nb ジョセフソン接合によるチップファンダリにより実行した。これまでの研究成果と超伝導集積回路に関する技術的背景に基づき、20GHz のストカスティック信号を処理可能なニューロン回路の集積化を目的とし研究を行った。

## 3. 研究の方法

前述の背景に基づき、SFQ 回路を用いたストカスティックニューロ演算回路の数値解析から、レイアウト設計、集積回路試作、測定までの、一連の研究を行った。

日本の研究機関において試作される Nb/AlOx/Nb ジョセフソン接合による超伝導集積回路は、その多くがチップファンダリとして超電導工学研究所（以下、SRL）より提供される信頼性の高い集積化チップを用いて実現されている。国外では米国の Hypres 社によるチップファンダリを利用した研究も行われているが、集積回路の信頼性は日本の SRL が最も高いものを提供している。従って、比較的大きな回路規模の応用にあたっては、信頼性・再現性の高い SRL のチップファンダリを利用することが現実的であり、本研究においても本ファンダリを利用して研究を行った。

各研究年度において実施した研究プロセスは以下の通りである。

### (1) 2008 年度

これまでの研究成果から集積化に見通しが得られているストカスティックニューロ演算回路の基本構成演算ブロックの数値解析・レイアウト設計を行った。必要となる回路は入力と荷重値の乗算を行う回路（乱数生成回路等）、その結果を積算し膜電位を生成する回路（アップダウンカウンタ等）、膜電位の値に応じた出力を行う活性化関数の回路等である。

これまでに SRL のチップファンダリを利用

して設計を行った回路はカスタム設計による独自のレイアウトを用いている。SRL のファンダリの利用に際してはカスタム設計の他に、同ファンダリ専用の CONNECT セルライブラリを利用することも可能であり、2つの手段とその組み合わせ等のいくつかの手法を用いて回路を設計し、本研究に最適な回路設計手法を検討した。カスタム設計では専用の回路を用いることから、回路をコンパクトに設計可能ではあるが、回路の遅延設計や信号タイミング設計などが複雑となるデメリットもある。一方、セルライブラリを利用した場合は、論理レベルでのタイミング設計などの動作解析が容易に行える。ただし、セルを配置する制約から回路が多少冗長になる可能性があり、集積度の面でデメリットがある。これらの観点から、必要に応じてセルライブラリの中にカスタム設計を行った回路を組み込む等の手法により最適な集積回路構成を探る。

回路の動的な動作解析は現有のジョセフソンシミュレータを用いて行った。回路のレイアウト設計は現有のCADシステムを使用し、SRL チップファンダリによって回路の試作を行った。試作した集積回路の計測は液体ヘリウム温度下で行った。回路の計測は、現有の液体ヘリウムクライオスタット、磁気シールドケース、高周波低温プローブ、パルスジェネレータ、オシロスコープ等の単一磁束量子回路測定システムを利用して実施した。

#### (2) 2009 年度

前年度はニューロンの膜電位を生成する高速アップダウンカウンタの集積化と回路動作の実証に成功し、ストカスティックコーディングに必要な乱数生成回路等の必要な演算回路のテストも行った。これらの基本構成演算ブロックを多ビット (8 ビット) に拡張し、同ブロックを組み合わせたニューロ回路の構成を試みた。

#### (3) 2010 年度

前年度はストカスティックニューロ演算に必要な高速アップダウンカウンタや乱数生成回路等の実証結果に基づいて、ストカスティックニューロ回路の設計を数値解析により実施した。回路全体を構成する上で、各演算ブロックのタイミング制御やチップの利用可能領域中に集積化を行う回路レイアウトの構築等に課題を残したため、集積化が可能となる回路設計の検討を行った。最終的に集積化可能な回路規模は、チップ上の利用可能面積に依存することが予測されたため、当初 8 ビット程度を予定したワード長を小規模に縮小して搭載することも考慮に入れて集積化を目指し、その性能評価と動作実証を目指した。

## 4. 研究成果

### (1) 2008 年度

これまでの研究成果から集積化に見通しが得られているストカスティックニューロ演算回路の基本構成演算ブロックの数値解析・レイアウト設計を行った。回路のレイアウトの設計手法の検討を行ったが、本年度は回路をコンパクトに設計可能であるカスタム設計手法を用いて設計を実施した。SRL 標準プロセスによるストカスティックニューロ演算システムの設計において、これまでに提案を行ってきた膜電位の生成に用いる新規のアップダウンカウンタの実験的な動作検証を行った。4 ビットのアップダウンカウンタ (図 1) を集積化したチップでは正常な論理動作 (図 2) が確認された。本アップダウンカウンタはアップカウントとダウンカウントを独立な回路で行い、値の読み出し時にアップカウンタの値からダウンカウンタの値を減算する方式である。数値解析と 2 ビットのテスト回路による高速信号応答から、本アップダウンカウンタでは 100GHz 以上の磁束量子パルスをカウントすることが可能であることが確認された。

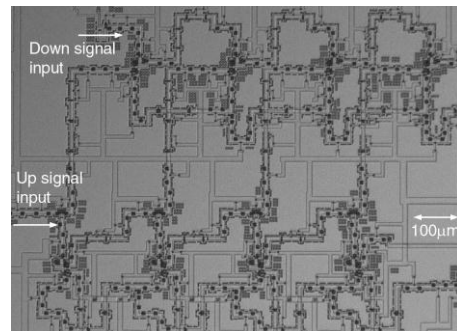


図 1 膜電位生成用 4 ビットアップダウンカウンタ

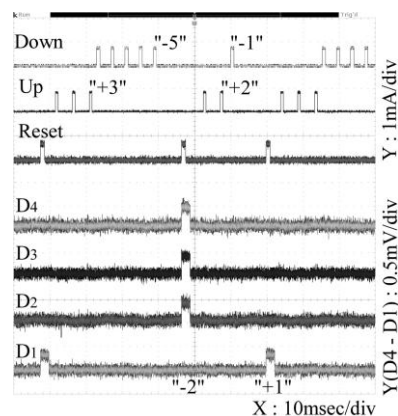


図 2 4 ビットアップダウンカウンタの論理動作

また、ストカスティックパルスコーディングに利用する 4 ビットの疑似乱数生成回路と、符号の正負を識別してストカスティック

パルス列の入力方向を切り替えるセレクト回路の動作検証も確認された。これらの結果から、必要な演算機能に関してはほぼ集積化が可能であることが実験を通して確認されたため、次のステップとしてのニューロ回路試作への展開に見通しを得ることができた。

## (2)2009 年度

前年度までの研究成果から、ストカスティックニューロ演算回路の基本構成演算ブロックを用いたストカスティックニューロ回路の数値解析とレイアウト設計を行った。回路全体を構成する上で、各演算ブロックのタイミング制御やチップの利用可能領域(5mm角)中に集積化を行うための回路レイアウトの構築に問題があり、回路全体の試作までは達成できなかった。当年度の計画としては8ビットのワード長の回路を使用してニューロ演算回路の構築を目指すこととしていたが、ニューロ演算の膜電位の値に応じた出力を得るための活性化関数回路を実現するためのデジタル比較器において、回路面積が増大し、既存の回路レイアウトでは5mm角のチップ上に集積化することが困難であることが判明した。これに伴い回路レイアウトの改良を要することとなり、そのためのタイミング制御の設計が未達となった。チップ上に搭載可能な回路サイズの上限が決まっていることから、ワード長を小規模に縮小した回路の設計が必要となる可能性もあり、回路全体の構成変更も考慮する必要があることが判明した。

## (3)2010 年度

前年度、ニューロ演算の膜電位に応じた出力を得るための活性化関数回路を実現するデジタル比較器において、回路面積が増大し、既存の回路レイアウトでは5mm角のチップ上に集積化することが困難であることが判明しており、ワード長を8ビットから4ビットに縮小したデジタル比較器(図3)の設計を行った。タイミング制御を含めた回路の設計を実施し、数値解析により正常な動作を確認した。このデジタル比較器は、ニオブ集積回路のチップファンダリを利用した試作を行ったが、実測では正常な回路動作が得られず、その原因として集積化チップのパラメータ不安定性に伴う、回路動作マージンの低下やタイミング設計エラーなどによるものであると推測している。また、このデジタル比較器を含めたストカスティックニューロ回路の設計と試作を同時に進めたが、デジタル比較器の動作検証が得られておらず、ニューロ回路の検証を行うことは未達となった。集積プロセスの信頼性の向上と、回路の動作マージンの拡張が回路動作を得るためには必須であると考えられる。

一方、当年度は超伝導ニューロン回路によ

る最適値問題解法への応用を提案し、応用面での新たな知見を得ている。応用分野への展開と、ジョセフソン接合の高臨界電流密度化による高性能な集積化プロセスを用いた回路の高集積・高信頼化により、ストカスティックニューロ回路の有効性が見込まれており、本研究によりその実現への見通しを得ることができた。

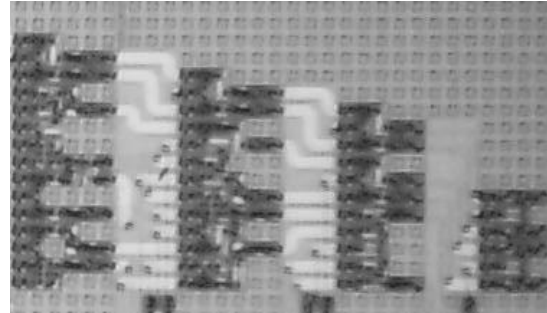


図3 活性化関数回路を実現する4ビットデジタル比較器

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計4件)

1. T. Onomi, Y. Maenami, and K. Nakajima, "Superconducting Neural Network for Solving a Combinatorial Optimization Problem," IEEE Transactions on Applied Superconductivity, 査読有、vol.21, 2011年、印刷中
2. R. Nakamoto, T. Onomi, 他3名、3番目, "4-bit SFQ Multiplier Based on Booth Encoder," IEEE Transactions on Applied Superconductivity, 査読有、vol.21, 2011年、印刷中
3. R. Nakamoto, T. Onomi, 他4名、4番目, "High Throughput Parallel Arithmetic Circuits for Fast Fourier Transform," IEICE Transactions on Electronics, 査読有、vol.E94-C, 2011年、280-287
4. T. Onomi, T. Kondo, and K. Nakajima, "Implementation of High-Speed Single Flux-Quantum Up/Down Counter for the Neural Computation Using Stochastic Logic," IEEE Transactions on Applied Superconductivity, 査読有、vol.19, 2009年、626-629

[学会発表] (計13件)

1. 中本 涼介、小野美 武、他2名、2番目、各種並列加算アルゴリズムによる SFQ CLA の性能比較、電子情報通信学会、2011年3月14日、東京都市大学(東京

- 都)
2. R. Nakamoto, T. Onomi, 他 3 名、3 番目、  
“High Throughput Parallel Multiplier of SFQ Circuits based on the Booth Encoder,” The 3rd Student Organizing Int. Mini-Conf. Information Electronics Systems, 2010 年 10 月 19 日、東急エクセルホテル (仙台市)
  3. R. Nakamoto, T. Onomi, 他 3 名、3 番目、  
“4-bit SFQ Multiplier Based on Booth Encoder,” 2010 Applied Superconductivity Conference, 2010 年 8 月 6 日、Omni Shoreham Hotel (Washington D.C.)
  4. T. Onomi, Y. Maenami, and K. Nakajima,   
“Superconducting Neural Network Solving a Combinatorial Optimization Problem,” 2010 Applied Superconductivity Conference、2010 年 8 月 4 日、Omni Shoreham Hotel (Washington D.C.)
  5. 渡辺 峰生、小野美 武、他 5 名、5 番目、  
Low-Tc ジョセフソン接合列における集団的スイッチング特性、2010 年春季 第 57 回応用物理学関係連合講演会、2010 年 3 月 18 日、東海大学 (平塚市)
  6. 中本 涼介、小野美 武、他 3 名、3 番目、  
大規模集積回路のための SFQ Booth Encoder、電子情報通信学会 2010 年総合大会、2010 年 3 月 16 日、東北大学 (仙台市)
  7. 桜庭 栄、小野美 武、中島 康治、4 ビット並列高速フーリエ変換システム、電子情報通信学会 2010 年総合大会、2010 年 3 月 16 日、東北大学 (仙台市)
  8. 前波 勇介、小野美 武、他 3 名、2 番目、  
超伝導ニューラルネットワークとその 4-Queen 問題への応用、電子情報通信学会非線形問題研究会、2010 年 3 月 10 日、上智大学 (東京都)
  9. R. Nakamoto, T. Onomi, 他 3 名、3 番目、  
“Booth encoder for large scale integration SFQ circuits,” Superconducting SFQ VLSI Workshop SSV 2010, 2010 年 1 月 13 日、横浜国立大学 (横浜市)
  10. S. Sakuraba, T. Onomi, 他 3 名、3 番目、  
“High Throughput Parallel Arithmetic Circuits for Fast Fourier Transform,” Superconducting SFQ VLSI Workshop SSV 2010, 2010 年 1 月 13 日、横浜国立大学 (横浜市)
  11. S. Sakuraba, T. Onomi, and K. Nakajima,   
“4-bit Parallel Multiplier for a Fast Fourier Transform,” The 12th International Superconductive Electronics Conference, 2009 年 6 月 19 日、九州大学 (福岡市)
  12. 桜庭栄、小野美 武、中島 康治、高速フーリエ変換システム用ハイスループット並列加算器、電子情報通信学会 2009 年総

合大会、2009 年 3 月 20 日、愛媛大学 (松山市)

13. T. Onomi, 他 2 名、1 番目、“Implementation of high -speed single flux-quantum up/down counter for the neural computation using stochastic logic,” 2008 Applied Superconductivity Conference, 2008 年 8 月 20 日、Hyatt Regency (Chicago)

## 6. 研究組織

### (1) 研究代表者

小野美 武 (TAKESHI ONOMI)  
東北大学・電気通信研究所・助教  
研究者番号：70312676

### (2) 研究分担者

( )

研究者番号：

### (3) 連携研究者

( )

研究者番号：