

機関番号：17102

研究種目：若手研究（B）

研究期間：2008～2010

課題番号：20760224

研究課題名（和文）超低消費電力・超広帯域12bitリングDCOの開発

研究課題名（英文） Development of low power and wide band 12 bit ring DCO

研究代表者

ポカレル R. K. (Pokharel R. K.)

九州大学・日本エジプト科学技術連携センター

研究者番号：60398568

研究成果の概要（和文）：

申請者が提案したリコンフィギュラブルRFフロントエンド用リング型発振器の設計法の妥当性を検証するために、まず回路論及びVDECが提供したCADツールを利用し、提案したフィボナッチ数列により最適化したインバータを用いたリング型デジタル信号により整合できるDCOを設計し、さらに0.18 μ m CMOSプロセスにより試作・評価を行った。その結果、1GHzから4.2GHzまで広幅帯域で動作できる超広帯域リング型DCOを開発し、世界最高レベルのFOM(Figure of Merit=-163dBc/Hz)のDCOの開発ができた。

研究成果の概要（英文）：

A 14-bit digitally-controlled oscillator on ring topology was proposed and implemented on 0.18 μ m CMOS technology. The fraction-based series, also known as Fibonacci series was employed to optimize the transistors size in a five-stage ring topology and negative skewed delay technique was used to further increase the frequency tuning. As a result, the prototype DCO demonstrates a measured frequency range up to 4.2 GHz. The proposed DCO with wideband tuning with low frequency tuning step will ease the design of an inductorless reconfigurable ADPLL for wireless transceiver where the phase noise is not strict.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2008年度	1,000,000	300,000	1,300,000
2009年度	800,000	240,000	1,040,000
2010年度	1,000,000	300,000	1,300,000
年度			
年度			
総計	2,800,000	840,000	3,640,000

研究分野：高周波集積回路、無線通信システム

科研費の分科・細目：電子デバイス・電子機器・5103

キーワード：デジタル整合発振器，リコンフィギュラブル RF フロントエンド，CMOS プロセスによる高周波集積回路、低消費電力

1. 研究開始当初の背景

第4世代携帯端末など，移動体通信市場でのモバイル利用の拡大に伴うユビキタスネットワーク社会を構築するため，SDR (Software defined radio:ソフトウェア無線) 技術を活用したCognitive Radio (コグニティブ無線) の実現が期待されている。また無線LAN (IEEE802.11a/b/g/n等) の分野では，複数の無線システムが存在する状態となっており，今後1つの無線機で多数のアプリケーションに応用する必要がある。

近年CMOSプロセスの微小化に伴い，LSI回路の電源電圧が低下している。デジタル回路では特性変化は少ないが，従来のアナログ回路 (RFIC:高周波集積回路を含む) では，線形領域が小さくなるため不安定になり，実現が困難になる。またCMOSプロセスの微小化における薄い配線層はデジタル信号処理技術にとりては有利であるが，チップ内の配線のQuality factor (Q値) が劣化するためアナログ回路にとりては，さらに不利である。このような問題を解決するため，次世代無線通信用アナログ回路の開発においてデジタルにより制御できる回路をうまく活用する方法が重要になってきた。

従来の無線通信システムには，リングオシレータとLC-タンクオシレータと呼ばれる発信器が使用されており，いずれも電圧制御発信器 (VCO) であり，CMOSプロセスの微小化に伴い，上記に述べたように，次世代無線通信用発信器を開発するのは困難である。従来のLC-VCOには，MEMSスイッチを利用し，インダクタンス (L) を可変する手法が報告されているが，チップ内のインダクタが不可欠であり，チップ面積は大きい。一方，リング型VCOは，LC-VCOより1/20に小型化できるが，周波数の上昇により，消費電力は急

激に増加するため，SDR用リング型VCOやDCOの例は見られない。本研究では，マイクロ波帯リングDCOの例は見られない。本研究では，CMOSプロセスによる自由にチューニングできるリングDCOを開発する。

2. 研究の目的

来るユビキタス社会に向けて無線通信には多様な周波数帯域が用いられるようになり，1つの端末で複数の周波数帯域へ対応させるために，従来では周波数帯域ごとに別々の無線ICをチップに搭載するという方法が用いられてきた。その方法では，実装面積，コストの増加は免れない。そこで1つのチップで多数の周波数帯に対応できる無線通信回路の開発，すなわち無線ICのマルチバンド化の要求が高まっている。

本研究では，以上のような背景を踏まえ，マルチバンド無線通信に対応した広範囲のチューニングレンジを持つリング型DCOの研究開発を行う。さらに新しい数列を用いることにより回路の低消費電力化の検討を行うことを目的とした。

3. 研究の方法

リング型DCOの設計を行う前段階として高速で動作するリングオシレータの設計を行った。今回設計したリングオシレータはTSMC社の0.18 μ m CMOSプロセスを用いた。発振周波数は以下の式で決まる。

$$f_{osc} = \frac{1}{2N\tau_d} \quad (1)$$

ここで τ_d はインバータの遅延時間，Nはインバータの段数である。発振周波数を変化させるには遅延時間あるいはインバータの段

数を変化させる必要がある。

それぞれのインバータの伝播遅延は次式である。

$$\tau_d = \frac{C_L \cdot \Delta V}{I_d} \quad (2)$$

CLは負荷容量、 ΔV は出力電圧の振幅、 I_d は充放電電流である。また、高速動作させるために Negative skewed delay という方法を用いた。これは CMOS インバータの PMOS と NMOS の入力のタイミングを変えることで回路の動作速度を高める方法である。Negative Skewed Delay を使用した際は、インバータの出力が LOW から HIGH に移行するとき、NMOS が遮断状態になる前に PMOS は導通状態に変わる。出力が HIGH から LOW に移行するとき、NMOS が導通状態に変わる前に PMOS は遮断状態に変わっている。これにより、出力の移行の速度は高まっている。

まず、フィボナッチ数列とは

$$F_0 = 0, F_1 = 1$$
$$F_{n+2} = F_n + F_{n+1} \quad (n \geq 0)$$

で定義される数列である。始めの数項は

$$0, 1, 1, 2, 3, 5, 8, \dots$$

である。

本研究では階差数列がフィボナッチ数列となっている数列のうち、初項が 20 である数列を擬フィボナッチ数列と定義する。そのうちの第 7 項までは

$$20, 21, 22, 24, 27, 32, 40$$

である。バイナリ数列と同様に

$$20D_0 + 21D_1 + 22D_2 + 24D_3 + 27D_4 + 32D_5 + 40D_6$$

となる。

まず、大きさである。バイナリ数列は 2 の乗数倍と指数関数的に大きさが増えていくのに対し、擬フィボナッチ数列ではその増え方は、1 つ目と 7 つ目で比較して 2 倍と小さく抑えることが出来る。これは小型化や低消費電力化につながる。

二つ目はステップである。バイナリ型の場合ステップは LSB(最下位ビット)の大きさである。しかし、擬フィボナッチ数列では LSB の 1/20 の大きさがステップとなるため、LSB として大きな数字を用いても細かなステップでプロットできるというメリットがある。

東京大学VDECよりライセンス提供された CAD Tool (Cadence社のVirtuoso, ADE)と ADS (Agilent社)により、まずはリング発信器に使用する新たな高速インバータを設計する。フィボナッチ数列によりトランジスタのW/Lを最適化した超低消費電力・超広帯域 12bit DCOの設計し、Virtuoso上レイアウトを作成し、DRC, LVS, RCXを行い、レイアウトの最適化をした。作成したレイアウトを0.18 um CMOSプロセスにより試作し、評価をおこなった。



Fig. 1. Chip photo of the proposed DCO with output buffers and digital pads.

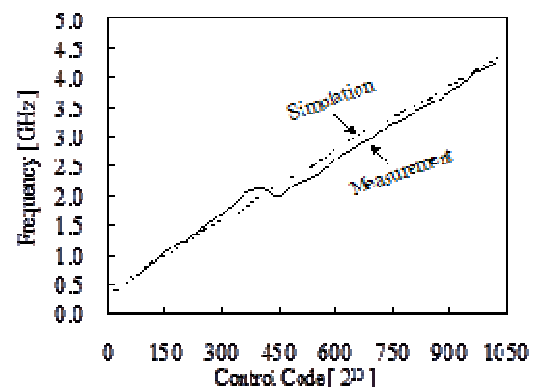


Fig. 2. Comparison of measured and simulation tuning range of the DCO.

4. 研究成果

提案した手法により DCO を設計し、0.18 μm CMOS プロセスにより試作・評価を行った。そのチップの一例を図 1 に示す。その結果、図 2 に示すように 4.2GHz まで広幅帯域で動作できる超帯広帯域リング型 DCO を開発し、世界最高レベルの FOM (Figure of Merit=-163dBc/Hz) の DCO の開発ができた。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 2 件)

[1] A. Tomar, S. Lingala, R. K. Pokharel, H. Kanaya, and K. Yoshida, “Low phase noise, high switching speed digitally controlled ring oscillator in 0.18 μm CMOS complementary metal oxide semiconductor,” *Japanese Journal of Applied Physics*, vol. 50, no. 4, article ID: 04DE10, April 2011. (査読あり)

[2] O. Nizhnik, R. K. Pokharel, H. Kanaya, and K. Yoshida, “Low noise wide tuning range quadrature ring oscillator for multi-standard transceiver,” *IEEE Microwave and Wireless Components Letters*, vol. 19, no. 7, pp. 470-472, July 2009. (査読あり)

[学会発表] (計 6 件)

[1] Ramesh K. Pokharel, S. Hamada, A. Tomar, S. Lingala, P. Nuroho, H. Kanaya, and K. Yoshida, “Digitally controlled ring oscillator using fraction-based series optimization for Inductorless reconfigurable all-digital PLL,” 11th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF, RWS 2011), pp. 69-72, Phoenix, USA, January 17, 2011. (査読あり)

[2] Shashank Lingala, Ramesh K. Pokharel, Abhishek Tomar, Haruichi Kanaya, and Keiji Yoshida, “A Wide Tuning Range -163 FOM

CMOS Quadrature Ring Oscillator for Inductorless Reconfigurable PLL,” *IEEE International conference on Signals, Systems, and Electronics*, Nanjing, China, September 18, 2010. (doi no.: 978-1-4244-6454-1/10/\$26.00@IEEE 2010) (査読あり)

[3] 濱田智史・Abhishek Tomar・Ramesh K. Pokharel・金谷晴一・吉田啓二, 擬フィボナッチ数列を用いた広帯域リング型 DCO の低消費電力化、電子情報通信学会 2010 年総合大会、C-12-18、東北大学 (仙台) 2010.03.16 (査読なし)

[4] 濱田智史・Abhishek Tomar・R. K. Pokharel・金谷晴一・吉田啓二, 『擬フィボナッチ数列を用いたマルチバンド無線通信用低消費電力リング型 DCO の開発』電子情報通信学会技術研究報告、龍谷大学セミナーハウス (京都) MW2009-204、pp. 141-146, 2010.03.5 (査読なし)

[5] 濱田智史・ポカレル R.K.・金谷晴一・吉田啓「擬フィボナッチ数列を用いた低消費電力リング型 DCO の開発」平成 21 年度電気関係学会九州支部連合大会、北九州工業大学 (飯塚キャンパス)、10-1A-13、2009.9.28 (査読なし)

[6] R. K. Pokharel, A. Tomar, H. Kanaya, and K. Yoshida, “Design of Highly linear, 1GHz 8-bit digitally controlled ring oscillator with wide turning range in 0.18 μm CMOS process,” *The Proc. of China-Japan Microwave conference*, pp. 623-627, Shanghai, China, September 12, 2008. (査読あり)

[その他]
ホームページ等

6. 研究組織

(1) 研究代表者

ポカレル R.K. (Pokharel R.K.)

九州大学・日本エジプト科学技術連携セン

ター・教授
研究者番号：60398568

(2)研究分担者
()

研究者番号：

(3)連携研究者
()

研究者番号：