

平成 22 年 6 月 17 日現在

研究種目：若手研究 (B)

研究期間：2008～2009

課題番号：20760228

研究課題名 (和文) 論理回路のソフトエラーを引き起こす SET パルスの実験的波形解明

研究課題名 (英文) Experimental waveform study of SET pulses
leading to soft errors in logic LSI

研究代表者 小林 大輔 (KOBAYASHI DAISUKE)

独立行政法人宇宙航空研究開発機構・宇宙科学研究本部・助教

研究者番号：90415894

研究成果の概要 (和文) : 放射線が論理回路に当たるとパルス状のノイズが発生し回路が誤動作してしまう。このノイズパルスを SET パルスと呼び、対策のためにその波形を明らかにする必要がある。そのための手法を提案し、半導体製造技術の一つである完全空乏型 SOI 技術で作成した論理回路に適用して、そこで発生する SET パルスの波形を観測することに成功した。更に、その波形を物理的に説明する解析式を導出した。

研究成果の概要 (英文) : Radiation which strikes logic LSI circuits can induce pulse noises resulting in system malfunctions. The pulses, called “single-event transients” or SETs, are studied experimentally in terms of their waveforms, which provide useful information for developing optimized countermeasures. A newly developed measurement technique with simple circuitry successfully reveals full waveforms of SET pulses in logic circuits, which are fabricated in an advanced process technology such as a fully-depleted SOI technology. An analytical model for the shape is also developed from physical investigations.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2008 年度	1,800,000	540,000	2,340,000
2009 年度	1,500,000	450,000	1,950,000
総計	3,300,000	990,000	4,290,000

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：ソフトエラー，電子デバイス・機器，半導体物性，放射線・X線・粒子線，宇宙線，モデリング

1. 研究開始当初の背景

放射線によって集積回路が誤動作する事は広く知られている。この誤動作は「ソフトエラー」と呼ばれており、放射線によって電荷が発生しそれが雑音となる事で生じる。この誤動作を防ぐにはその雑音に対するマージンを十分に確保する必要があるが、集積回路の微細化が進むにつれてそれは困難にな

りつつある。今日では従来の回路では問題にならなかった地上の2次宇宙線(主に中性子)の影響が無視できなくなっている。一般技術雑誌においても特集が組まれ警鐘が鳴らされたことはその問題の深刻さを端的に表わしている [1-3]。

その中でとりわけ深刻なのが論理回路のソフトエラーである。これまでソフトエラー

はメモリ回路で問題になることが一般的であり、対策としてエラー訂正符号の利用などが効果的であることが知られている。しかし、これらはメモリ回路の規則性が前提となっており、そのような規則性を持たない論理回路には適用することができない。

更に問題を深刻にする要因が シングルイベント・トランジェント (Single-Event Transient) と呼ばれるものである。これは放射線がインバータなどの論理ゲートに当たる事で発生するパルス状のノイズである。このノイズは回路システムを伝搬して最終的に回路システムの状態を書き換えてしまう。伝搬過程や時パラメータが絡み合った従来のものより一層複雑な誤動作メカニズムである。

対策にはどんな SET パルスが発生するか、つまり SET パルスの波形を知る事が重要である。しかしながら実測した波形を報告した例はなく、またそのための評価手法も確立していなかった。SET 波形を観測する手法を確立し波形を明らかにすることが急務となっていた。

2. 研究の目的

論理ゲートで発生する SET パルスの波形を観測する手法を確立し、その波形を明らかにすることが本研究の目的である。

3. 研究の方法

波形観測手法として「モニタリングトランジスタ法」と言う方法を考案した。これを実装した評価用チップを作成し放射線試験を行なってパルスを観測した。この評価用チップは沖セミコンダクタ社の完全空乏型シリコン・オン・インシュレータ (Silicon on insulator) の製造プロセスを用いて作成した。放射線試験は米国海軍研究所の Dale McMorro 博士とフランス原子力機構の

Veronique Felret-Cavrois 博士の協力を得て米国海軍研究所の短パルスレーザー SEE 施設にて実施した。この実験では重イオン放射線を模擬したピコ秒レーザー放射線を用いた。この模擬は妥当であると言われている [4]。

観測した波形の妥当性は別の方法によって SET の波形を推定しそれと比較することで検証した。この推定方法は過去の基盤研究の成果であり、単体トランジスタの応答を元に論理回路で発生する SET の波形を推定するものである [5][6]。

更に、波形を物理的に説明するためにデバイスシミュレーションを実施した。その知見を元に解析式モデルを導いた。

4. 研究成果

(1) 考案した観測手法

図 1 に原理を示す。論理ゲートの例としてインバータ論理ゲートを想定し、そこで発生する SET の波形を観測する事を想定して説明する。なお、図中左端の三角形の記号がインバータ論理ゲートを表しており、その入力は接地電位 V_{SS} (論理 0) に、出力は電源電圧 V_{DD} (論理 1) に固定されているとする。

SET の波形を観測するためにインバータ論理ゲートの出力に二つの MOS トランジスタ (p 型 MOS トランジスタ p-MT と n 型 MOS トランジスタ n-MT) を接続する。これら二つの MOS トランジスタのドレイン端 D をバイアス・ティーに接続する。このバイアス・ティーを介して、直流的には電源に接続し、交流的にはオシロスコープに接続する。例えば n-MT のバイアス・ティーは電源電圧 V_{DD} に接続し、ソース単 S を接地電位 V_{SS} に接続して一定のドレイン・ソース間電圧を印加する。p-MT も極性が逆になる以外は同じである。

この状態でインバータ論理ゲートに放射線を照射する。放射線が当たると出力電圧が一時的に下がりパルス状に変動する。すなわ

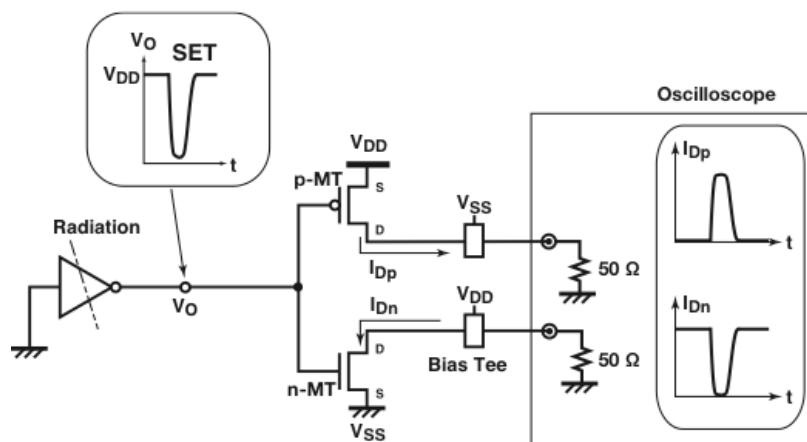


図 1. 観測原理.

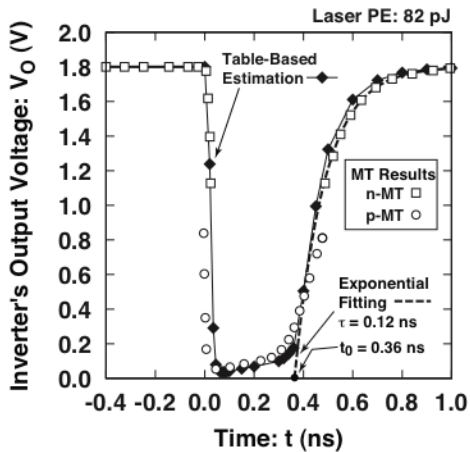


図2. 観測した波形と推定した波形の比較

ち SET パルスが生じる. グラフ上では出力電圧 V_O の時間軸 t 上での変化, すなわち V_O - t カーブとなる. この SET パルスは二つの MOS トランジスタ p-MT と n-MT から見れば入力電圧の変動に相当するため, その変動に伴ってそれらの出力電流 (I_{Dn} と I_{Dp}) が変化する. この電流の変化をオシロスコープで記録する. MOS トランジスタの入力電圧・出力電流特性を別途求めておき, 観測した電流を入力電圧に逆算すれば, SET の波形を得ることができる.

なお, p 型ならびに n 型の二種類のトランジスタを利用する理由はそれぞれが持つ不感領域, すなわち閾値電圧以下の領域でトランジスタがオフになる領域を, お互いが補い合うことで全体として不感領域がなくなるようにするためである.

この観測手法は全波形を観測できるという事は当然の事として他に次のような利点がある. まず, 回路設計が簡単である. 評価したい論理ゲートの出力に二つの MOS トランジスタを接続するだけでよい. 次に観測システムは既存のものを利用できる. バイアス・テスターとオシロスコープを用いてトランジスタの出力電流を測定する方法は広く利用されており実績のあるものである[7].

(2) 観測結果とその妥当性

図2に観測した SET パルスの波形を示す. 白抜きの記号 (□と○) によって表わされている. □が n-MT によって得た部分波形であり, ○が p-MT からの部分波形である.

黒塗りダイヤモンド (◆) の記号は単体トランジスタの応答から予測した波形である. 両者は

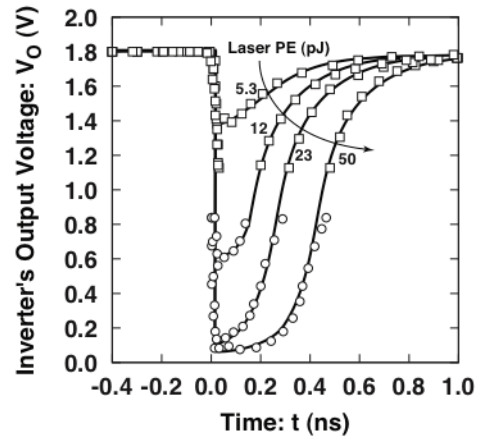


図3. レーザーエネルギーの増加に伴う成長の様子

良い一致を示し, 観測した波形が妥当である事を示している.

観測結果から次のような情報を読みとる事ができる. 電圧 V_O は放射線が当たった直後に電源電圧 V_{DD} (=1.8 V) から接地電位 V_{SS} (=0 V) まで急降下し, その後しばらく接地電位付近を推移する. その後ゆっくりと電源電圧まで回復していく. この傾向は過去のデバイスシミュレーションによる結果と一致する.

次に, パルスが接地電位から電源電圧に戻る過程は指数関数的であり, その時定数 τ は 0.12 ns であることがわかる. この時定数は単体トランジスタの応答時定数と一致した.

また回復過程の開始時刻 t_0 は外挿により 0.36 ns と読みとれる. これは文献[8]の方法によって推定した値 0.32 ns と一致する. このような詳細な解析並びに従来の推定方法との比較を実験値に基づいて行うことに成功した.

図3は SET パルスの成長の様子を観測した結果である. すなわち, 放射線のエネルギー (Laser PE) が大きくなるにつれて SET パルスが大きくなる様子を実験的に明らかにした初めての報告である.

(3) 解析式モデルの構築

3次元デバイスシミュレータを用いて, デバイス内部で起きている物理過程を検討した結果, 本研究で用いたような SOI デバイスにおける SET パルスは飽和モードに入ったバイポーラトランジスタのターンオフ過程で説明できる事がわかった. その知見といくつかの近似を想定することで次のように波形を記述できることを明らかにした.

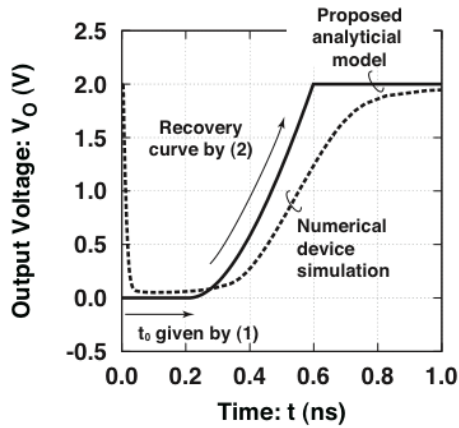


図4. 解析式モデルによる波形とデバイスシミュレーションの比較

まず、放射線によって出力電位 V_o は接地電位 V_{SS} ($=0$ V) にまで低下しそのまましばらくそのまま推移する。この期間 t_0 は次の式で記述できる。

$$t_0 = \tau_0 \ln \left(\frac{Q_{\text{DEP}}}{I_{p(\text{ON})} \tau_0} \right) \quad (1)$$

ここで τ_0 は放射線によってデバイス内部に生じた電荷 Q_{DEP} の減衰速度を示す時パラメータであり、 $I_{p(\text{ON})}$ は論理ゲートの中にある p 型 MOS トランジスタのオン電流を示す。

t_0 から先は回復過程であり、次の関数によって電源電圧まで回復する。

$$V_o(t') = \frac{I_{p(\text{ON})}}{C_L} \left\{ t' + \tau_1 \left(e^{-t'/\tau_1} - 1 \right) \right\} \quad (2)$$

ここで t' は t_0 を原点とする相対時刻 ($t' = t - t_0$) であり、 τ_1 は電子電流の減衰時パラメータ、 C_L は接続されている負荷容量を示す。

図4に解析モデルで得られた波形とデバイスシミュレーションの結果を示す。解析式はデバイスシミュレーションの結果を比較的良く再現できた。

実験で得られた波形との比較は本稿提出時現在、進行中でありその報告は今後の課題であるが、傾向は一致することが確認できており国際会議で報告した。その結果を図5に示す。

図5はレーザー放射線のエネルギー強度を変えて Q_{DEP} を増加させた時のパルス幅の変化を示している。片対数グラフ上で直線関係を確認することができ、これは提案した式(1)の対数関数的性質に由来するものである。SET のパルス幅は対策回路の設計にとって最

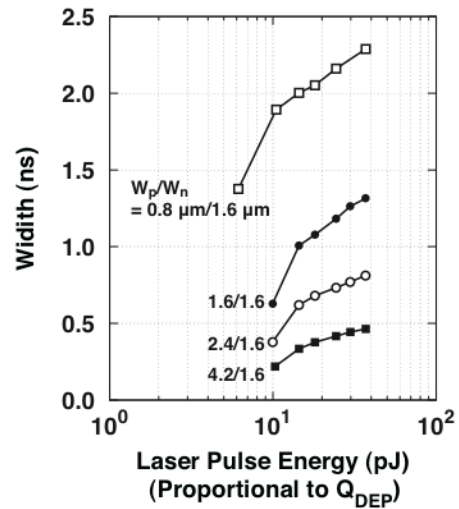


図5. エネルギー強度の増加に伴うパルス幅の増加の様子。 W_p/W_n は $I_{p(\text{ON})}$ 依存性を評価するために変更した設計パラメータ。

も重要なパラメータである。この直線関係を利用して別のエネルギーにおけるパルス幅を容易にかつ根拠を持って推定することができるようになった。また、この対数関数的性質は実用上、飽和傾向と見なすことができる。実際そのような飽和傾向は別の観測でも見出されており[9]、ここからも本モデルの妥当性を伺うことができる。

(4) まとめ

最後に本研究の成果を簡単にまとめる。本研究の目的は、論理ゲートで発生する SET パルスの波形を観測する手法を確立し、その波形を明らかにすることであった。それに対し「モニタリングトランジスタ法」という観測手法を確立し、最先端の製造プロセスである完全空乏型 SOI で作成した論理回路の SET の波形を明らかにした。提案手法は簡単な回路で実現でき、かつ観測に必要なシステムも従来のものと変わらない。導入が容易な手段でありながら波形全形が得られる効率的な手段である。今後の SET の研究にとって有効な評価手法となるであろう。

更に、本研究では解析式モデルも提案し、波形を物理的・回路的起源からも明らかにした。波形と各種物理・回路パラメータとの関係はこれまでわかっておらず、本研究でこれを明らかにした事は学術的に意義があると言える。また、どのパラメータをどう変えればパルスがどれだけ変化すると言えるようになった事は、回路の信頼性を確保するという実利用の側面からも価値があると言える。

参考文献

- [1] 堀切「ソフトエラー対策，待ったなし SRAM や論理回路が狙上に」『日経エレクトロニクス』 pp. 63-70, 2005年7月.
- [2] 戸坂「知っておきたいソフト・エラーの実態 歴史と評価方法，対策まで」『日経エレクトロニクス』 pp. 145-156, 2005年7月.
- [3] M. Santarini, “Cosmic radiation comes to ASIC and SOC design,” in *EDN*, pp. 46-56, May 2005.
- [4] J. S. Laird, T. Hirao, S. Onoda, H. Mori, and H. Itoh, “A comparison of heavy ion and picosecond laser microbeams for investigating single event transients in InGaAs on InP photodetectors,” *Nucl. Instr. and Meth. in Phys. Res. B*, vol. 210, pp. 243-249, 2003.
- [5] 小林大輔，廣瀬和之，齋藤宏文，「組み合わせ論理回路のソフトエラー評価を可能とする LSI テスト技術」独立行政法人日本学術振興会 科学研究費補助金（基盤研究（C））課題番号 18560359, 2006-2007 年度.
- [6] D. Kobayashi, H. Saito, and K. Hirose, “Estimation of single event transient voltage pulses in VLSI circuits from heavy-ion-induced transient currents measured in a single MOSFET,” *IEEE Trans. Nucl. Sci.*, vol. 54, no. 4, pp. 1037-1041, Aug. 2007.
- [7] V. Ferlet-Cavrois, P. Paillet, D. McMorrow, A. Torres, M. Gaillardin, J. S. Melinger, A. R. Knudson, A. B. Campbell, J. R. Schwank, G. Vizkelethy, M. R. Shaneyfelt, K. Hirose, O. Faynot, G. Barna, C. Jahan, and L. Tosti, “Direct measurement of transient pulses induced by laser and heavy ion irradiation in deca-nanometer devices,” *IEEE Trans. Nucl. Sci.*, vol. 52, no. 6, pp. 2104-2113, Dec. 2005.
- [8] V. Ferlet-Cavrois, P. Paillet, M. Gaillardin, D. Lambert, J. Baggio, J. R. Schwank, G. Vizkelethy, M. R. Shaneyfelt, K. Hirose, E. W. Blackmore, O. Faynot, C. Jahan, and L. Tosti, “Statistical analysis of the charge collected in SOI and bulk devices under heavy ion and proton irradiation -implications for digital SETs,” *IEEE Trans. Nucl. Sci.*, vol. 53, no. 6, pp. 3242-3252, Dec. 2006.
- [9] T. Makino, D. Kobayashi, K. Hirose, Y. Yanagawa, H. Saito, H. Ikeda, D. Takahashi, S. Ishii, M. Kusano, S. Onoda, T. Hirao, and T. Ohshima, “LET dependence of single event transient pulse-widths in SOI logic cell,” *IEEE Trans. Nucl. Sci.*, vol. 56, no. 1, pp. 202-207, Feb. 2009.
5. 主な発表論文等
（研究代表者、研究分担者及び連携研究者には下線）
- 〔雑誌論文〕（計2件）
- ① D. Kobayashi, K. Hirose, V. Ferlet-Cavrois, D. McMorrow, T. Makino, H. Ikeda, Y. Arai, and M. Ohno, “Device-physics-based analytical model for single event transients in SOI CMOS logics,” *IEEE Transactions on Nuclear Science*, vol. 56, no. 6, pp. 3043-3049, Dec. 2009（査読有）.
- ② D. Kobayashi, K. Hirose, Y. Yanagawa, H. Ikeda, H. Saito, V. Ferlet-Cavrois, D. McMorrow, M. Gaillardin, P. Paillet, Y. Arai, and M. Ohno, “Waveform observation of digital single-event transients employing monitoring transistor technique,” *IEEE Transactions on Nuclear Science*, vol. 55, no. 6, pp. 2872-2879, Dec. 2008（査読有）.
- 〔学会発表〕（計4件）
- ① 小林大輔，廣瀬和之，「SOI CMOS テバイスで発生する放射線誘起パルスノイズ SET の解析モデル」2009 年秋季応用物理学学会学術講演会，富山大学（富山県富山市），2009 年9月8 -11 日，8p-TB-1.
- ② D. Kobayashi, K. Hirose, V. Ferlet-Cavrois, D. McMorrow, M. Gaillardin, T. Makino, H. Ikeda, Y. Arai, and M. Ohno, “Device-physics-based analytical model for single event transients in SOI CMOS logics,” presented in *2009 IEEE Nuclear and Space Radiation Effects Conference (NSREC)*, Quebec City, Quebec, Canada, July 20-24, 2009, paper A-2（査読有）.
- ③ D. Kobayashi, T. Makino, and K. Hirose, “Analytical expression for temporal width characterization of radiation-induced pulse noises in SOI CMOS logic gates,” in *Proc. 2009 IEEE International Reliability Physics Symposium (IRPS)*, Montreal, Canada, Apr. 26-30, 2009, pp. 165-169（査読有）.

- ④ D. Kobayashi, K. Hirose, Y. Yanagawa, H. Ikeda, H. Saito, V. Ferlet-Cavrois, P. Paillet, D. McMorrow, Y. Arai, and M. Ohno, “Waveform observation of digital single-event transients employing monitoring transistor technique,” presented in *2008 IEEE Nuclear and Space Radiation Effects Conference (NSREC)*, Tucson, AZ, July 14-18, 2008, paper A-4 (査読有) .

[その他]

第 27 回(2009 年秋季)応用物理学会講演奨励賞受賞.

6. 研究組織

(1) 研究代表者

小林 大輔 (KOBAYASHI DAISUKE)

独立行政法人宇宙航空研究開発機構・宇宙科学研究本部・助教

研究者番号：9 0 4 1 5 8 9 4