

令和 6 年 6 月 10 日現在

機関番号：82401

研究種目：基盤研究(A)（一般）

研究期間：2020～2023

課題番号：20H00593

研究課題名（和文）ポストムーア時代のスケーラブル計算機とそのシステムソフトウェアの創成

研究課題名（英文）Creation of Scalable Computers and their System Software for Post-Moore Era

研究代表者

佐野 健太郎（Sano, Kentaro）

国立研究開発法人理化学研究所・計算科学研究センター・チームリーダー

研究者番号：00323048

交付決定額（研究期間全体）：（直接経費） 34,400,000円

研究成果の概要（和文）：計算機構とモデルして、データフローアーキテクチャ(DFA)試作システムであるFPGAクラスタの開発、布線論理型DFAである粗粒度再構成可能アレイ（CGRA）の研究、FPGAによるデータフロー計算の研究を行った。プログラミングモデルとシステムソフトウェアとして、ホストCPUとFPGAの間でデータフロータスクを非同期に動作させるプログラミング方式や、タスクスケジューラの研究を行った。また、FPGAによるデータフロー計算に関してOpenACC/OpenMPコンパイラの研究を行った。アプリケーションとして、グラフ処理や近似凸包計算、ステンシル計算等に関するDFAの研究を行った。

研究成果の学術的意義や社会的意義

FPGAクラスタ、CGRA、FPGAによるデータフロー計算に加え、プログラミング環境やスケジューラの研究開発により、スケーラブルデータフロー計算システムやそのプログラミングの有用性を示す知見が得られた。また、グラフ幅優先探索、近似凸包計算、ステンシル計算アプリケーションの研究を通じて、それらのデータフロー処理の実現可能性や、潜在的なボトルネック、および複数FPGA・デバイスを用いた並列化とスケーラビリティに関する知見が得られた。これらは、従来のミニコアCPUアーキテクチャの性能向上が行き詰まる中、従来のノイマン型アーキテクチャに代わる高性能計算アーキテクチャの有望性を示す貴重な成果である。

研究成果の概要（英文）：As a computation mechanism and model, we developed an FPGA cluster as a dataflow architecture (DFA) prototype system, researched coarse-grained reconfigurable arrays (CGRA) as DFA, and researched dataflow computation with FPGAs. As programming models and system software, we researched a programming scheme for asynchronous operation of dataflow tasks between a host CPU and FPGAs, and their task scheduler. We also researched OpenACC/OpenMP compilers for dataflow computation on FPGAs.

As an application, we researched DFA for graph processing, convex hull computing, stencil computation, and so on.

研究分野：計算機科学

キーワード：データフロー計算モデル 布線論理型 計算機アーキテクチャ システムソフトウェア ポストムーア時代

## 1. 研究開始当初の背景

ムーア則が破綻し半導体の微細化が停滞すると1) チップあたりの集積度が向上し辛いという状況が生じるばかりか、**2005**年前後のデナードスケール則の破綻により既に2) トランジスタあたりの電力は減少できず、その結果、チップ全体の消費電力の上限のために3) 集積した全てのトランジスタを同時に稼働(スイッチング)できないというダークシリコン問題が顕在化し、悪化の一途を辿っている[文献1]。また、高速となったトランジスタの動作速度と比べて相対的に増大する4) データ移動遅延が性能向上の足枷となる。

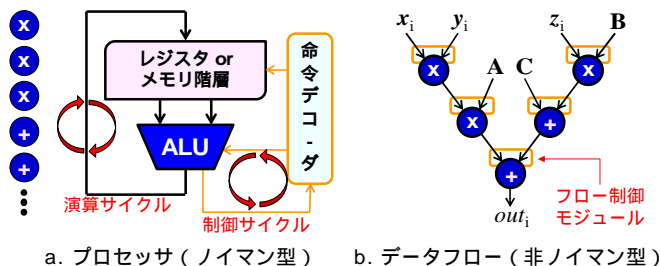


図1 ノイマン型とデータフローアーキテクチャ (DFA)

さらに、1が現実となれば、今度は、回路やメモリの三次元積層技術やチップのパッケージ内積層技術により集積度を向上させた上で、光電子技術等の広帯域リンクにより多数のチップを相互に接続してシステム全体の性能を向上させる方向に技術を発展せざるを得ない。しかしながら、チップ内外のデータ移動遅延が相対的に大きくなるために4の問題が悪化すると共に、3と同様に、システム電力の上限によりチップの大部分を稼働できないという問題が生じ得る。このため、メニーコアプロセッサを多数接続する既存のアーキテクチャでは、これ以上性能を向上させることが困難となる。すなわち、ポストムーア時代において高性能な計算機システムを構築するには、システムの電力制約の下で、顕著となるチップ内外のデータ移動遅延の影響を受けずに、多数のチップ上で利用可能な膨大な数のトランジスタを効率良く所望の計算性能に転換可能な新しい方式が必要になる。

では、「ポストムーア時代に適した計算モデルやアーキテクチャは、どうあるべきか？」本研究課題の核心を成すこの学問的問いに答えるには、既存のアーキテクチャの弱点を整理する必要がある。デナード則破綻以降の主流は複数のコアを搭載するメニーコアプロセッサであるが、近年その性能向上は鈍化している。この原因は、命令(プログラム)に基づきメモリから読み出したデータを命令パイプラインに流して演算処理を繰り返すというノイマン型アーキテクチャと、それを並列化したメニーコアアーキテクチャそのものにある。

図1aのように、ノイマン型にはA) 演算と制御の2つのサイクルが存在する。前者は、レジスタやメモリからデータを読み出した後に演算結果を書き込むというメモリ要素の更新サイクルであり、その遅延が減らない以上、このサイクル自体を高速化し性能を上げることは困難である。後者は、演算結果に基づき条件判定を行い次の命令を変更するサイクルであり、演算サイクルが短縮しない限り高速化は困難である。すなわち、相対的にデータ移動の遅延が増加する状況下では性能向上が原理的に困難となる。

これらの問題を軽減すべく命令実行の並列性を高めるために導入されたキャッシュメモリ・分岐予測・アウトオブオーダー等のB) 複雑なハードウェア機構は、本来演算に使用できたかもしれないハードウェア資源や電力を非効率に消費し、面積や電力あたりの性能を大幅に低下させる。また、効率の悪化したシングルコアに代わり導入されたメニーコア方式は、オフチップメモリの帯域不足や遅延の問題、さらにオンチップであってもメモリ階層を経由したC) コア間の非効率なデータ移動のために、コアを増加させても性能向上率は低下する一方である。効率良く性能を向上できなければ電力あたり性能は大きく低下し、ダークシリコンのために益々限られたコアしか稼働できなくなる。以上により、メニーコア方式に頼った性能向上はいずれ限界を迎えると予想される。近年のIntel社製x86プロセッサの性能の伸びが鈍化していることはまさにその証拠である。

[文献1] H.Esmailzadeh, E.Blem, R.S.Amant, K.Sankaralingam, D.Burger, "Dark Silicon and the End of Multicore Scaling," ISCA, pp.365-376, 2011.

## 2. 研究の目的

本計画は、ムーア則の終焉以降にも性能向上が期待できる「ポストムーア時代のスケーラブル計算機」の実現を目的として計算機アーキテクチャおよびシステムソフトウェアを創成する研究課題である。

前節で述べた通り、ポストムーア時代の4つの制約を受け入れて性能を向上可能とするには、メニーコア方式の弱点を以下のようにして克服する新しいアーキテクチャが必要である。

克服法 A) 演算と制御のサイクルを持たない

克服法 B) 演算に直接貢献しないような複雑な機構を極力排除する

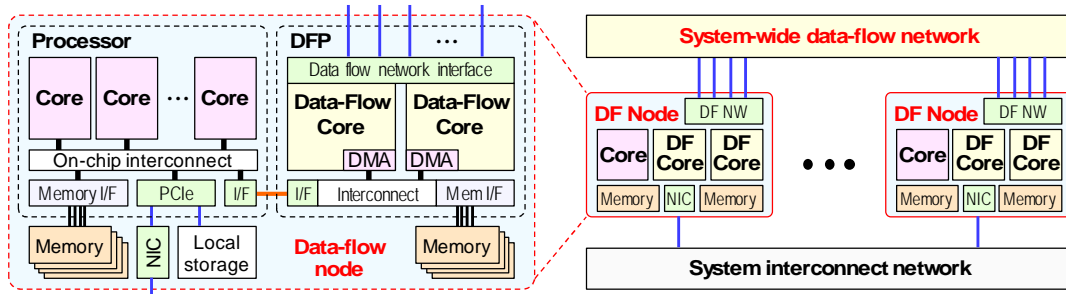


図2 布線論理型データフローアーキテクチャ(DFA)に基づくスケーラブルシステム例

克服法 C) メモリ階層を經由したデータ移動を極力排除する

これらを満たすのは、図 1b の布線論理型データフローアーキテクチャ (DFA) であり、代表者はこれまでの研究において、DFA に基づく高性能な特化型ハードウェアを回路再構成可能デバイス FPGA により試作実装し、その有効性を確認するに至っている。DFA では、各演算ノードは制御モジュールにより局所的に制御されるため、複雑な機構無しでサイクルではなくフローとして計算回路を実現できる。演算器間のデータ移動は計算アルゴリズムそのものであるデータフローグラフ(DFG)のエッジによって実現され、メモリ階層のような無駄な経路を取らない。また、DFG を分割し複数のチップに実装できれば大規模システムにも向いていることから、規模に応じて計算性能を向上させるスケーラビリティの点で優れている。

本研究では、ポストムーア時代の計算機アーキテクチャとして、計算モデルやプログラミングモデルと共にこの布線論理型 DFA を図 2 のようなシステムに発展させかつ体系化し、そのシステムスタックを構成するハードとソフトウェアを研究開発する。本課題の狙いは、従来と同様のデジタル計算原理に基づきながらも異なるアーキテクチャの一進化として、既存のノイマン型と親和性が高く混載が可能な DFA と布線論理による特化型計算に基づく非ノイマン型アーキテクチャ(図 2)をその計算モデルとプログラミングモデルと共に探求し創造する点にある。図 2 のように、本アーキテクチャは既存のメニーコア型プロセッサの他に布線論理型のデータフロー計算に特化した Data-flow Core を複数搭載した Data-flow node から構成される。Data-flow Core は、FPGA と同様ではあるがより粗粒度にデータフローを回路として空間に展開し実行可能な所謂 CGRA (粗粒度再構成可能アレイ) のような構成を持ち、ノード間でデータフロー回路を直結するために専用ネットワーク(System-wide data-flow network)により接続される。このようなシステム構成に加え、既存の計算機システムと連携可能なシステムソフトウェアやコンパイラを開発し、FPGA による試作とベンチマークアプリによりその実現可能性や有効性を評価する。

### 3. 研究の方法

本研究では、図 2 の布線論理型データフローアーキテクチャ(DFA)に基づくシステムを定義しながら、ハードウェアとソフトウェアから成るシステムスタックを設計・開発し、ポストムーア時代に相応しいスケーラブル計算機システムを創成すると共に、理研の所有する FPGA クラスタを用いた試作によりその有効性を実証する。また、システム評価のために、データフロー計算との親和性の高いベンチマークアプリを研究開発する。代表である佐野の総括の下、分担者の異動に伴い研究計画時の 4 つの研究グループを以下の 3 グループに統合した上で、グループ間で相互に連携しながら研究を進める。

#### (1) 計算機構とモデルグループ 【COMP】

基盤となる布線論理型データフロー計算モデルとそのハードウェア機構を研究する。スケーラブルシステム構成や、データフローコンパイラのバックエンドを研究する。また、共通の研究基盤である FPGA クラスタ(理研所有)における試作環境を整備する。

#### (2) プログラミングモデルとシステムソフトウェアグループ 【PROGSYS】

複数ノードから成るシステム全体に対するデータフロー計算のプログラミングモデルに加え、データフローコンパイラの C/C++ フロントエンドやデータフローノードの実行制御系等、関連するシステムスタックを研究する。また、複数ノードでデータフロー計算を実行するための計算モデルや、スケジューラ等の関連するシステムソフトウェアを研究する。

#### (3) アプリケーショングループ 【APP】

グラフ処理等のアプリケーションを布線論理型のデータフローとして研究し、評価を行う。

### 4. 研究成果

#### 4.1 計算機構とモデルグループ (COMP)

COMP では、以下を実施した。

- (1) スケーラブルデータフローアーキテクチャ試作システムである FPGA クラスタの開発

(2) 布線論理型データフローアーキテクチャである粗粒度再構成可能アレイ (CGRA) の研究

(3) FPGA によるデータフロー計算の研究

(1)では、複数の FPGA ボードをそのネットワークポートにより相互に直結した FPGA クラスタシステム "ESSPER (Elastic and Scalable FPGA-Cluster System for High-Performance Reconfigurable Computing) を開発した。特に、FPGA 上でデータフロー計算を動作させるためのシステムオンチップである AFUShell を開発すると共に、その制御のための API クラスライブラリ等のシステムソフトウェアを構築した。AFUShell は、Intel 社の提供する FPGA インタフェースマネージャ (FIM) ハードウェア内にある再構成可能領域に実装される。様々なアプリケーションハードウェアモジュールを組み込んだ AFUShell をコンパイルして回路ビットストリームを生成し、それを再構成可能領域に書き込むことにより、FPGA 上でアプリケーションを動作させることが出来る。AFUShell には、アプリケーションに共通な機能モジュールである、外部メモリインタフェース、ホスト CPU との PCIe インタフェース、外部メモリを読み書きしデータストリームを生成する DMA モジュール、データストリームの経路制御を行うクロスバモジュール、FPGA ボードのネットワークポートに対してデータストリームを送受信するネットワークインタフェースが実装される。ネットワークインタフェースとしては、高速シリアル通信による FPGA 間直接網、および 100Gbps Ethernet switch を用いた FPGA 間間接網の 2 種類の実装を行った。

(2)では、粗粒度回路再構成可能アレイ (CGRA) を設計し、最初のバージョンを SystemVerilog により実装した後に、より容易で広範な設計空間探索のために、CGRA のモデリングと評価フレームワークである CGRA-ME により次のバージョンの CGRA を実装した。開発したコンパイラツールフローとシミュレーションフローを用いて HPC 向けのカーネルの動作検証と性能評価を行った。CGRA は、計算要素 (PE) タイルの 2 次元アレイから構成される。PE アレイの左右の境界には、外部メモリを読み書きするためのロード・ストア (LS) タイルが配置され、PE と接続される。アプリケーションに対しては、そのデータフローグラフ (DFG) をパイプライン回路として CGRA に配置配線し、LS タイルにより外部メモリから読み出したデータストリームを DFG パイプラインに流すことにより、その実行が行われる。PE や LS を相互に接続するためのインターコネクットの異なる 2 種類の CGRA である CGRA-ER および CGRA-DR を設計した。CGRA-ER では、Embedded-router (ER) としてデータストリームのルータがタイル内に組み込まれており、PE や LS タイルは直接網により接続される。一方、CGRA-DR では、タイルとは別に Switch block タイルが Discrete-router (DR) として実装されており、PE や LS タイルは switch により間接網で接続される。本研究では、幾つかの HPC カーネルを CGRA-ER、DR の 2 種類の CGRA に配置配線し、面積効率などの評価を行った。その結果、CGRA-DR は柔軟性が高く様々な DFG を効率良く配置配線できるものの、Switch Block の回路面積が大きいことが分かった。そのため、Switch Block に対し上下左右斜め方向の接続ポートの幾つかを削減する Reduced interconnect topology の CGRA について、アプリケーション DFG の配置配線可能性の評価を行った。

また、通常の PE は FMA (Fuses-multiply add) の乗算器と加算器を持つが、HPC カーネルで必要となることのある複雑な演算や関数に対応するために、それらの演算回路を有する Complex PE を設計した。複雑な演算には、例えば、除算、平方根、exp、sin などの超越関数が含まれる。通常の PE と Complex PE をアレイに配置したヘテロジニアス CGRA を実装し、通常 PE のみからなるホモジニアス CGRA に対して、アプリケーションカーネルの配置配線可能性、および ASIC 実装をした場合のレイアウト効率等を評価した。以上の結果、カラムベース配置とクラスタベースの配置手法ではレイアウト効率が異なる結果が確認された。また、Complex PE を含めることにより、その計算を CPU 等で行う必要なしに CGRA に計算をオフロードできることが確認された。通常 PE と Complex PE の比率や Complex PE の最適化は今後の課題である。

(3)では、FPGA クラスタにおける FPGA を用いてデータフロー計算を実現するための要素技術として、Ethernet Frame を用いて FPGA 間の回路交換網を仮想的に実現する VCSN (Virtual Circuit Switching Network) や、VCSN を用いて構成した FPGA アレイ上に実現する仮想ストリックアレイの研究を行った。さらに、HPC アプリで良く見られる反復ステンシル計算を FPGA で実行可能とする、ステンシル計算データフローハードウェアの生成系 Senju を開発し、その有効性を評価した。以上の FPGA や CGRA に関する研究により、多数の計算コアによる SDF の実現可能性とそのスケラビリティが明らかとなった。

#### 4.2 プログラミングモデルとシステムソフトウェアグループ (PROGSYS)

PROGSYS では、データフロー計算の試作システムとして開発した FPGA クラスタに対し、単一 FPGA 向けの計プログラミング環境を開発した。特に、AFUShell に対して次世代標準プログラミング環境として注目されている SYCL の独自実装を行い、依存関係に基づいてホスト CPU と FPGA 上のデータフロータスクを非同期に動作させる C++ コードを容易に記述できるようにした。次に、複数 FPGA を連携させるための実行時環境を研究した。開発した SYCL 実装を拡張し、依存関係に基づいてデータフロータスクを複数 FPGA に割り当てる機能を追加した。富岳のノードから複数 FPGA を遠隔利用することにより、同機能の有用性を評価した。また、FPGA クラスタと富岳等のスパコンに対して融合プログラミングを行うためのグローバルタスクモデルを構築し、既に FPGA 実装が利用できるハードウェアアプリケーションモジュールを利用して試作評価を行った。

さらに、FPGA クラスタ向けの効率的タスク割当てを研究した。計算と再構成の重畳により FPGA ハードウェアの再構成時間を隠蔽し、さらに隣接 FPGA へのタスク割当てにより FPGA 間直接網



の利用を促進することで、タスク並列処理のメイクスパンを短縮することが可能となった。加えて、従来よりも状況が動的に変化する環境下での資源管理の研究を行った。スケジューリング時に各ジョブの実行時間を過少評価した場合は性能への悪影響が大きいことから、統計的に妥当な大きさのマージンをもって実行時間予測をする手法を開発した。この柔軟な資源割当てにより、動的再構成可能なデータフロー計算のための将来 HPC システムで必要となる、資源管理やスケジューリングの実現可能性を示した。

一方、FPGA によるデータフロー計算のプログラミングに関して、FPGA 用 OpenCL 対象とする OpenACC/OpenMP コンパイラの研究を行った。OpenACC/OpenMP target 構文から OpenCL に変換するコンパイラを開発した。OpenCL に変換することにより、NVIDIA のみならず AMD の GPU や FPGA 向けにコンパイル可能となる。この他、ARM SVE 向けオフロードコードの生成方法をも検討を行った。また、動的依存関係の探索コストを削減するために、組み込みアプリ向けに OpenMP の task 構文を静的なタスク記述に拡張する方法を提案し、簡単なタスクグラフでその効果を確認した。さらに、組込アプリ向けに OpenMP の task 構文を静的タスク記述に拡張する方法を提案し処理系の実装を行った。その結果最大で実行時間の 17% を削減できた。

#### 4.3 アプリケーショングループ (APP)

APP では、Graph500 でも使用されているグラフの幅優先探索について、データフローに基づく専用ハードウェアの研究を行った。まず、そのシミュレータを開発し評価を行った結果、メモリ参照が処理性能向上のボトルネックであることが判明した。この知見に基づき、グラフの幅優先探索専用アクセラレータ HyGTA を設計し、FPGA による実装を行った。判明したボトルネックを解消するために隣接節点データ専用キャッシュを提案し、シミュレータを用いてその有効性を確認した。さらに、複数の FPGA もしくは ASIC チップによるスケーラブルなデータフロー幅優先探索のために、並列化された幅優先探索アルゴリズムを検討し、それに基づき並列版 HyGTA の研究を行った。グラフの並列化幅優先探索アルゴリズムに基づいた新 HyGTA アーキテクチャを提案すると共に、アーキテクチャ探索用に並列版 HyGTA シミュレータを開発した。シミュレータによるアーキテクチャ探索および性能評価の結果、32768 個の節点を持つグラフに対して 52 GTEPS の幅優先探索が実現可能である事が分かった。

また、布線論理型データフローに基づく新たな近似凸包アルゴリズムを開発しそのプロタイプ実装を行った。全ての点群データをメモリに格納することなく、データフローに沿って計算するために、あらたな近似計算を導入する手法を提案し、実装実験を行った。その結果、事実上の標準である凸包ソフトウェアライブラリに比べて優位な性能が得られることや、要求に応じてハードウェア量と近似精度のトレードオフを調整できることを明らかにした。また近似精度は実用上問題無く、ドロネー三角形分割等の他の計算幾何学の問題にも応用できる見通しが得られた。加えて、近似凸包の計算法について、複数 FPGA による並列処理で近似精度を改善する手法を提案し、その有効性を評価した。

さらに、不等間隔メッシュを用いたステンシル計算で発生する不規則なメモリアクセスを効率化する手法の研究を行った。FPGA でのデータフロー計算と親和性の高いデザインパターンであるステンシル計算に、不規則なメモリアクセスを導入して計算量を削減する BCM (Building-Cube) 法を容易に実装可能とする高位合成ライブラリを開発し、その有効性を示した。

加えて、複数 FPGA によるデータフロー計算アプリの機能検証の効率化・高生産性を目的として、複数 FPGA の動作記述を単一の大規模 FPGA の動作記述に自動変換するツールを提案し、そのプロトタイプの実装を行い、FPGA での実機動作を確認した。

一方、HPC 向けの計算カーネルとして重要な FFT に対するデータフローに適したアルゴリズムの研究を行った。特に、メモリバンド幅を有効活用しつつ、転置処理を行うアルゴリズムの検討と試作実装を行い、その動作確認を行った。また、CGRA に対し、データの到着タイミングが大幅に異なる場合に、PE を FIFO キューとして利用してタイミング調整を行う方法の検討を行った。

以上、本研究の成果として、スケーラブルデータフローアーキテクチャ試作システムである FPGA クラスタの開発、布線論理型データフローアーキテクチャである粗粒度再構成可能アレイ (CGRA) 研究、FPGA によるデータフロー計算の研究に加え、プログラミング環境やスケジューラの研究を行うことにより、ポストムーア時代の計算機アーキテクチャとして、スケーラブルデータフロー計算システムやそのプログラミングの有用性を示す知見が得られた。また、グラフ幅優先探索、近似凸包計算、ステンシル計算アプリケーションの研究を通じて、それらのデータフロー処理の実現可能性や、潜在的なボトルネック、および複数 FPGA・デバイスを用いた並列化とスケーラビリティに関する知見が得られた。これらは、従来のメニーコア CPU アーキテクチャの性能向上が行き詰まる中、従来のノイマン型アーキテクチャに代わる高性能計算アーキテクチャの有望性を示す貴重な成果である。

## 5. 主な発表論文等

〔雑誌論文〕 計70件（うち査読付論文 51件 / うち国際共著 21件 / うちオープンアクセス 16件）

1. 著者名 Keichi Takahashi, Soya Fujimoto, Satoru Nagase, Yoko Isobe, Yoichi Shimomura, Ryusuke Egawa, and Hiroyuki Takizawa	4. 巻 -
2. 論文標題 Performance evaluation of a next-generation SX-Aurora Tsubasa vector supercomputer	5. 発行年 2023年
3. 雑誌名 International Conference on High Performance Computing (ISC23)	6. 最初と最後の頁 359-378
掲載論文のDOI (デジタルオブジェクト識別子) 10.1007/978-3-031-32041-5_19	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Tomohiro Ueno, Emanuele Del Sozzo, Kentaro Sano	4. 巻 -
2. 論文標題 Flexible Systolic Array Platform on Virtual 2-D Multi-FPGA Plane	5. 発行年 2024年
3. 雑誌名 Proceedings of HPC Asia 2024: The International Conference on High Performance Computing in Asia-Pacific Region	6. 最初と最後の頁 84-94
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Emanuele Del Sozzo, Xinyuan Wang, Boma Adhi, Carlos Cortes, Jason Anderson, Kentaro Sano -	4. 巻 -
2. 論文標題 Exploration of Trade-offs Between General-Purpose and Specialized Processing Elements in HPC Oriented CGRA	5. 発行年 2024年
3. 雑誌名 Proceedings of IEEE International Parallel & Distributed Processing Symposium (IPDPS)	6. 最初と最後の頁 13 pages
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Emanuele Del Sozzo, Davide Conficconi, Kentaro Sano	4. 巻 -
2. 論文標題 Across Time and Space: Senju's Approach for Scaling Iterative Stencil Loop Accelerators on Single and Multiple FPGAs	5. 発行年 2023年
3. 雑誌名 FPT Journal Track with ACM Transactions on Reconfigurable Technology and Systems (TRETs)	6. 最初と最後の頁 32 pages
掲載論文のDOI (デジタルオブジェクト識別子) 10.1145/3634920	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 該当する

1. 著者名 Jason Anderson, Boma Adhi, Carlos Cortes, Emanuele Del Sozzo, Omar Ragheb, Kentaro Sano -	4. 巻 -
2. 論文標題 Exploration of Compute vs. Interconnect Tradeoffs in CGRAs for HPC	5. 発行年 2023年
3. 雑誌名 Proceedings of International Symposium on Highly-Efficient Accelerators and Reconfigurable Technologies (HEART)	6. 最初と最後の頁 59-68
掲載論文のDOI (デジタルオブジェクト識別子) 10.1145/3597031.3597055	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Boma Adhi, Carlos Cortes, Emanuele Del Sozzo, Tomohiro Ueno, Yiyu Tan, Takuya Kojima, Artur Podobas, Kentaro Sano	4. 巻 -
2. 論文標題 Less for More: Reducing Intra-CGRA Connectivity for Higher Performance and Efficiency in HPC	5. 発行年 2023年
3. 雑誌名 Proceedings of CGRA4HPC Workshop IPDPS 2023	6. 最初と最後の頁 452-459
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Boma Adhi, Emanuele Del Sozzo, Carlos Cortes, Xinyuan Wang, Tomohiro Ueno, Kentaro Sano	4. 巻 -
2. 論文標題 Unleashing CGRA Potential for HPC	5. 発行年 2023年
3. 雑誌名 International Conference for High Performance Computing, Networking, Storage and Analysis (SC '23)	6. 最初と最後の頁 2 pages
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Boma Adhi, Emanuele Del Sozzo, Johannes Pfau, Carlos Cortes, Tomohiro Ueno and Kentaro Sano	4. 巻 -
2. 論文標題 Design-space Exploration of CGRA for HPC	5. 発行年 2023年
3. 雑誌名 Proceeding of IEEE Symposium on Low-Power and High-Speed Chips (COOL Chips 26)	6. 最初と最後の頁 2 pages
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Moto Satake, Keichi Takahashi, Yoichi Shimomura, and Hiroyuki Takizawa	4. 巻 -
2. 論文標題 Balancing exploitation and exploration in parallel Bayesian optimization under computing resource constraint	5. 発行年 2023年
3. 雑誌名 2023 IEEE International Parallel and Distributed Processing Symposium Workshops (IPDPSW)	6. 最初と最後の頁 706-713
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/IPDPSW59300.2023.00122	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Hang Cui, Keichi Takahashi, Yoichi Shimomura and Hiroyuki Takizawa -	4. 巻 -
2. 論文標題 Clustering Based Job Runtime Prediction for Backfilling Using Classification	5. 発行年 2024年
3. 雑誌名 27th Workshop on Job Scheduling Strategies for Parallel Processing	6. 最初と最後の頁 accepted
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Daiki Nakai, Keichi Takahashi, Yoichi Shimomura and Hiroyuki Takizawa -	4. 巻 -
2. 論文標題 A node selection method for on-demand job execution with considering deadline constraints	5. 発行年 2024年
3. 雑誌名 27th Workshop on Job Scheduling Strategies for Parallel Processing	6. 最初と最後の頁 accepted
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Sho Ishii, Keichi Takahashi, Yoichi Shimomura and Hiroyuki Takizawa	4. 巻 -
2. 論文標題 Maximizing Energy Budget Utilization Based on Dynamic Power Cap Control	5. 発行年 2024年
3. 雑誌名 27th Workshop on Job Scheduling Strategies for Parallel Processing	6. 最初と最後の頁 accepted
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -



1. 著者名 Haruto Ikehara, Taito Manabe, Yuichiro Shibata, Tomohiro Ueno, Knetaro Sano	4. 巻 -
2. 論文標題 A Productive HLS Simulation Approach for Multi-FPGA Systems	5. 発行年 2024年
3. 雑誌名 2024 IEEE International Conference on Consumer Electronics (ICCE)	6. 最初と最後の頁 2 pages
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ICCE59016.2024.10444470	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Daiki Ufurkawa, Taito Manabe, Yuichiro Shibata, Tomohiro Ueno, Kentaro Sano	4. 巻 -
2. 論文標題 HLS Implementation of a Building Cube Stencil Computation Framework for an FPGA Accelerator	5. 発行年 2024年
3. 雑誌名 2024 IEEE International Conference on Consumer Electronics (ICCE)	6. 最初と最後の頁 6 pages
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ICCE59016.2024.10444277	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Mitsuhisa Sato and Miwako Tsuji	4. 巻 -
2. 論文標題 OpenACC Execution Models for Manycore Processor with ARM SVE	5. 発行年 2023年
3. 雑誌名 Proceedings of the HPC Asia 2023 Workshops (HPCAsia '23 Workshops)	6. 最初と最後の頁 73-77
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 上野知洋, Emanuele Del Sozzo, 佐野 健太郎	4. 巻 123(71)
2. 論文標題 仮想2次元メッシュで接続されたマルチFPGAによるスケーラブルなシストリックアレイプラットフォーム	5. 発行年 2023年
3. 雑誌名 電子情報通信学会リコンフィギャラブルシステム研究会 信学技法	6. 最初と最後の頁 62-67
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Philippos Papaphilippou, Kentaro Sano, Boma A. Adhi, and Wayne Luk	4. 巻 34(5)
2. 論文標題 Experimental survey of FPGA-based monolithic switches and a novel queue balancer	5. 発行年 2023年
3. 雑誌名 IEEE Transactions on Parallel and Distributed Systems (TPDS)	6. 最初と最後の頁 1621-1634
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TPDS.2023.3244589	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Kentaro Sano, Atsushi Koshiba, Takaaki Miyajima, and Tomohiro Ueno	4. 巻 -
2. 論文標題 ESSPER: Elastic and Scalable FPGA-Cluster System for High-Performance Reconfigurable Computing with Supercomputer Fugaku	5. 発行年 2023年
3. 雑誌名 Proceedings of HPC Asia2023	6. 最初と最後の頁 140-150
掲載論文のDOI (デジタルオブジェクト識別子) 10.1145/3578178.3579341	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Tomohiro Ueno and Kentaro Sano	4. 巻 16(2)
2. 論文標題 VCSN: Virtual Circuit-Switching Network for Flexible and Simple-to-Operate Communication in HPC FPGA Cluster	5. 発行年 2023年
3. 雑誌名 ACM Transactions on Reconfigurable Technology and Systems (TRETs)	6. 最初と最後の頁 1-32
掲載論文のDOI (デジタルオブジェクト識別子) 10.1145/3579848	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Boma Adhi, Carlos Cortes, Tomohiro Ueno, Kentaro Sano, Yiyu Tan, Takuya Kojima, and Artur Podobas	4. 巻 -
2. 論文標題 Exploring Inter-tile connectivity for HPC-oriented CGRA with Lower Resource Usage	5. 発行年 2022年
3. 雑誌名 Proceedings of International Conference on Field Programmable Technology (FPT)	6. 最初と最後の頁 4 pages
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ICFPT56656.2022.9974525	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Boma Adhi, Carlos Cortes, Yiyu Tan, Takuya Kojima, Artur Podobas, and Kentaro Sano	4. 巻 -
2. 論文標題 The Cost of Flexibility: Embedded versus Discrete Routers in CGRAs for HPC	5. 発行年 2022年
3. 雑誌名 Proceedings of IEEE Cluster Conference (CLUSTER)	6. 最初と最後の頁 347-356
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/CLUSTER51413.2022.00046	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Tomohiro Ueno, Takaaki Miyajima, and Kentaro Sano	4. 巻 -
2. 論文標題 FPGA-Dedicated Network vs. Server Network for Pipelined Computing with Multiple FPGAs	5. 発行年 2022年
3. 雑誌名 Proceedings of International Symposium on Highly-Efficient Accelerators and Reconfigurable Technologies (HEART)	6. 最初と最後の頁 90-91
掲載論文のDOI (デジタルオブジェクト識別子) 10.1145/3535044.3535057	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Boma Adhi, Carlos Cortes, Yiyu Tan, Takuya Kojima, Artur Podobas, and Kentaro Sano	4. 巻 -
2. 論文標題 Exploration Framework for Synthesizable CGRAs Targeting HPC: Initial Design and Evaluation	5. 発行年 2022年
3. 雑誌名 Proceedings of the First International Workshop on Coarse-Grained Reconfigurable Architectures for High-Performance Computing (CGRA4HPC)	6. 最初と最後の頁 639-646
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Takuya Kojima, Boma Adhi, Carlos Cortes, Yiyu Tan, and Kentaro Sano	4. 巻 -
2. 論文標題 An Architecture-Independent CGRA Compiler enabling OpenMP Applications	5. 発行年 2022年
3. 雑誌名 Proceedings of the First International Workshop on Coarse-Grained Reconfigurable Architectures for High-Performance Computing (CGRA4HPC)	6. 最初と最後の頁 631-638
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Carlos Cortes, Boma Adhi, Tomohiro Ueno, Yiyu Tan, Takuya Kojima, Artur Podobas, and Kentaro Sano	4. 巻 122(354)
2. 論文標題 Evaluation of reduced routing resources for HPC-Oriented CGRAs	5. 発行年 2022年
3. 雑誌名 IEICE Tech. Report of Technical Committee on Reconfigurable Systems(RECONF)	6. 最初と最後の頁 19-23
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Yuta Sasaki, Keichi Takahashi, Yoichi Shimomura, and Hiroyuki Takizawa	4. 巻 -
2. 論文標題 A Cost Model for Compilers Based on Transfer Learning	5. 発行年 2022年
3. 雑誌名 2022 IEEE International Parallel and Distributed Processing Symposium Workshops (IPDPSW)	6. 最初と最後の頁 942-951
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/IPDPSW55747.2022.00152	査読の有無 有
オープンアクセス オープンアクセスとしている(また、その予定である)	国際共著 -

1. 著者名 Reo Furuhashi, Minglu Zhao, Keichi Takahashi, Yoichi Shimomura, and Hiroyuki Takizawa	4. 巻 -
2. 論文標題 Automated selection of build configuration based on machine learning	5. 発行年 2022年
3. 雑誌名 2022 IEEE International Parallel and Distributed Processing Symposium Workshops (IPDPSW)	6. 最初と最後の頁 934-941
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/IPDPSW55747.2022.00151	査読の有無 有
オープンアクセス オープンアクセスとしている(また、その予定である)	国際共著 -

1. 著者名 Satoshi Kaneko, Hiroyuki Takizawa, and Kentaro Sano	4. 巻 -
2. 論文標題 A SYCL-based high-level programming framework for HPC programmers to use remote FPGA clusters	5. 発行年 2022年
3. 雑誌名 Proceedings of International Symposium on Highly-Efficient Accelerators and Reconfigurable Technologies (HEART)	6. 最初と最後の頁 92-94
掲載論文のDOI (デジタルオブジェクト識別子) 10.1145/3535044.3535058	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Tatsuma Mori, Daiki Furukawa, Keigo Motoyoshi, Haruto Ikehara, Kaito Ohira, Taito Manabe, Yuichiro Shibata, Tomohiro Ueno, Kentaro Sano	4. 巻 -
2. 論文標題 Stream Computation of 3D Approximate Convex Hulls with an FPGA	5. 発行年 2022年
3. 雑誌名 Proceedings of the 12th International Symposium on Highly-Efficient Accelerators and Reconfigurable Technologies (HEART)	6. 最初と最後の頁 69-75
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 池原陽大, 本吉圭吾, 福田航生, 眞邊泰斗, 柴田裕一郎, 上野知洋, 佐野健太郎	4. 巻 122(286)
2. 論文標題 マルチFPGAシステムの高位合成シミュレーション手法に関する検討	5. 発行年 2022年
3. 雑誌名 電子情報通信学会リコンフィギャラブルシステム研究会 信学技法	6. 最初と最後の頁 67-71
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 福田 航生, 池原 陽大, 本吉 圭吾, 眞邊 泰斗, 柴田 裕一郎, 上野 知洋, 佐野 健太郎	4. 巻 -
2. 論文標題 マルチFPGA向けシミュレーションコードの再利用性を改善するコード生成系の実装	5. 発行年 2023年
3. 雑誌名 情報処理学会九州支部火の国情報シンポジウム2023論文集	6. 最初と最後の頁 8 pages
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 松田 瑚乃実, 谷川 一哉, 佐野 健太郎, 弘中 哲夫	4. 巻 D-18-3
2. 論文標題 幅優先探索アクセラレータHyGTAにおけるグラフ圧縮手法の改良によるメモリアクセス回数の評価	5. 発行年 2023年
3. 雑誌名 023年電子情報通信学会総合大会, 情報・システム講演論文集1	6. 最初と最後の頁 129
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Mitsuhisa Sato and Miwako Tsuji	4. 巻 -
2. 論文標題 OpenACC Execution Models for Manycore Processor with ARM SVE	5. 発行年 2023年
3. 雑誌名 HPC Asia Workshops	6. 最初と最後の頁 73-77
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Tomohiro Ueno, Atsushi Koshiba, Kentaro Sano	4. 巻 -
2. 論文標題 Virtual Circuit-Switching Network with Flexible Topology for High-Performance FPGA Cluster	5. 発行年 2021年
3. 雑誌名 Proceedings of the 32nd International Conference on Application-specific Systems, Architectures and Processors (ASAP)	6. 最初と最後の頁 41-48
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Philippou Papaphilippou, Kentaro Sano, Boma A. Adhi, and Wayne Luk	4. 巻 -
2. 論文標題 High-performance general-purpose switch designs on FPGAs	5. 発行年 2021年
3. 雑誌名 Proceedings of 2021 International Conference on Field-Programmable Technology (FPT)	6. 最初と最後の頁 5 pages
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Boma Adhi, Takuya Kojima, Yiyu Tan, Artur Podobas, and Kentaro Sano	4. 巻 -
2. 論文標題 RIKEN CGRA: Data-driven Architecture as an Extension of Multicore CPU for Future HPC	5. 発行年 2021年
3. 雑誌名 RESEARCH POSTER paper, International Conference for High Performance Computing, Networking, Storage and Analysis, SC '21	6. 最初と最後の頁 2 pages
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する



1. 著者名 Boma Adhi, Carlos Cortes, Yiyu Tan, Takuya Kojima, Artur Podobas, and Kentaro Sano	4. 巻 -
2. 論文標題 RIKEN CGRA: Reconfigurable Data-Driven Architecture for Future HPC	5. 発行年 2022年
3. 雑誌名 RESEARCH POSTER paper, HPC Asia	6. 最初と最後の頁 1 page
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Carlos Cesar Cortes Torres, Boma Anantasatya Adhi, Tan Yiyu, Takuya Kojima, Artur Podobas and Kentaro Sano	4. 巻 -
2. 論文標題 Parameterized environment for evaluating a CGRA for HPC	5. 発行年 2022年
3. 雑誌名 RESEARCH POSTER paper, 4th R-CCS International Symposium	6. 最初と最後の頁 1 page
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Tomohiro Ueno and Kentaro Sano	4. 巻 -
2. 論文標題 A Flexible and Scalable Network System of FPGA Clusters for HPC Applications	5. 発行年 2022年
3. 雑誌名 RESEARCH POSTER paper, 4th R-CCS International Symposium	6. 最初と最後の頁 2 pages
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 上野 知洋, 小柴 篤史, 佐野 健太郎	4. 巻 121(59)
2. 論文標題 大規模FPGAクラスタのための再構成可能な仮想回線交換網	5. 発行年 2021年
3. 雑誌名 電子情報通信学会リコンフィギャラブルシステム研究会 信学技法	6. 最初と最後の頁 74-79
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 上野 知洋, 佐野 健太郎	4. 巻 121(344)
2. 論文標題 仮想回線交換網を利用したFPGAクラスタにおける集団通信性能評価	5. 発行年 2022年
3. 雑誌名 電子情報通信学会リコンフィギャラブルシステム研究会 信学技法	6. 最初と最後の頁 120-125
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Boma Adhi, Carlos Cortes, Yiyu Tan, Takuya Kojima, Artur Podobas, and Kentaro Sano	4. 巻 121(344)
2. 論文標題 Initial Design and Evaluation of RIKEN CGRA: Data-Driven Architecture for Future HPC	5. 発行年 2022年
3. 雑誌名 IEICE Tech. Report of Technical Committee on Reconfigurable Systems (RECONF)	6. 最初と最後の頁 126-131
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Hiroyuki Takizawa, Shinji Shiotsuki, Naoki Ebata, and Ryusuke Egawa	4. 巻 102
2. 論文標題 Towards Conflict-Aware Workload Co-execution on SX-Aurora TSUBASA	5. 発行年 2021年
3. 雑誌名 Parallel Computing	6. 最初と最後の頁 102754
掲載論文のDOI (デジタルオブジェクト識別子) 10.1016/j.parco.2021.102754	査読の有無 有
オープンアクセス オープンアクセスとしている(また、その予定である)	国際共著 -

1. 著者名 Yuta Sasaki, Ayumu Ishizuka, Mulya Agung, and Hiroyuki Takizawa	4. 巻 -
2. 論文標題 Evaluating I/O Acceleration Mechanisms of SX-Aurora TSUBASA	5. 発行年 2021年
3. 雑誌名 2021 IEEE International Parallel and Distributed Processing Symposium Workshops (IPDPSW)	6. 最初と最後の頁 8 pages
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/IPDPSW52791.2021.00113	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Wenbin Wang, Jiahao Li, Yohichi Shimomura, and Hiroyuki Takizawa	4. 巻 -
2. 論文標題 A memory bank conflict prevention mechanism for SYCL on SX-Aurora TSUBASA	5. 発行年 2021年
3. 雑誌名 2021 Ninth International Symposium on Computing and Networking Workshops (CANDARW)	6. 最初と最後の頁 217-222
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/CANDARW53999.2021.00043	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Riku Nunokawa, Yoichi Shimomura, Mulya Agung, Ryusuke Egawa, and Hiroyuki Takizawa	4. 巻 13148
2. 論文標題 Towards Conflict-Aware Workload Co-execution on SX-Aurora TSUBASA	5. 発行年 2021年
3. 雑誌名 Lecture Notes in Computer Science	6. 最初と最後の頁 163-174
掲載論文のDOI (デジタルオブジェクト識別子) 10.1007/978-3-030-96772-7_16	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 該当する

1. 著者名 Jiahao Li, Mulya Agung, and Hiroyuki Takizawa	4. 巻 13148
2. 論文標題 Evaluating the Performance and Conformance of a SYCL Implementation for SX-Aurora TSUBASA	5. 発行年 2021年
3. 雑誌名 Lecture Notes in Computer Science	6. 最初と最後の頁 36-47
掲載論文のDOI (デジタルオブジェクト識別子) 10.1007/978-3-030-96772-7_4	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 該当する

1. 著者名 Minglu Zhao, Hiroyuki Takizawa, and Tomoya Soma	4. 巻 -
2. 論文標題 Spatiotemporal Anomaly Detection for Large-Scale Sensor Data	5. 発行年 2021年
3. 雑誌名 2021 12th International Symposium on Parallel Architectures, Algorithms and Programming (PAAP)	6. 最初と最後の頁 162-168
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/PAAP54281.2021.9720310	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Shunpei Sugawara, Yoichi Shimomura, Ryusuke Egawa, and Hiroyuki Takizawa	4. 巻 -
2. 論文標題 Portability of Vectorization-aware Performance Tuning Expertise across System Generations	5. 発行年 2021年
3. 雑誌名 2021 IEEE 14th International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSoc)	6. 最初と最後の頁 242-248
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/MCSoc51149.2021.00043	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 金子 哲士, 滝沢 寛之, 佐野 健太郎	4. 巻 121(59)
2. 論文標題 FPGAクラスタのためのSYCLインターフェースの開発とCPU-FPGA連携の評価	5. 発行年 2021年
3. 雑誌名 電子情報通信学会リコンフィギャラブルシステム研究会 信学技法	6. 最初と最後の頁 80-86
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Daiki Furukawa, Tatsuma Mori, Keigo Motoyoshi, Taito Manabe, Yuichiro Shibata, Tomohiro Ueno and Kentaro Sano	4. 巻 -
2. 論文標題 Implementation of a Stencil Computation Framework for BCM Applicable to FPGA Clusters	5. 発行年 2022年
3. 雑誌名 RESEARCH POSTER paper, 4th R-CCS International Symposium	6. 最初と最後の頁 2 pages
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Tatsuma Mori, Taito Manabe, and Yuichiro Shibata	4. 巻 E105.A(3)
2. 論文標題 A Hardware Oriented Approximate Convex Hull Algorithm and its FPGA Implementation	5. 発行年 2022年
3. 雑誌名 IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	6. 最初と最後の頁 459-467
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transfun.2021VLP0016	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 原口雄士, 谷川一哉, 佐野健太郎, 弘中哲夫	4. 巻 121(280)
2. 論文標題 幅優先探索専用アクセラレータHyGTAにおけるキャッシュメモリの検討	5. 発行年 2021年
3. 雑誌名 電子情報通信学会リコンフィギャラブルシステム研究会 信学技法	6. 最初と最後の頁 117-122
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 原口 雄士, 谷川 一哉, 宮島 敬明, Jens Huthmann, 佐野 健太郎, 弘中 哲夫	4. 巻 121(59)
2. 論文標題 幅優先探索専用のアクセラレータを対象としたアーキテクチャ探索のためのシミュレータ開発	5. 発行年 2021年
3. 雑誌名 電子情報通信学会リコンフィギャラブルシステム研究会 信学技法	6. 最初と最後の頁 8月13日
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 辻 美和子, 宮島 敬明, 佐野 健太郎, 佐藤 三久	4. 巻 -
2. 論文標題 遠隔手続き呼出しを用いたタスク並列モデルによるクラスタ連携に関する研究	5. 発行年 2021年
3. 雑誌名 第180回ハイパフォーマンスコンピューティング研究発表会 情報処理学会研究報告	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Takaaki Miyajima and Kentaro Sano	4. 巻 -
2. 論文標題 A memory bandwidth improvement with memory space partitioning for single-precision floating-point FFT on Stratix 10 FPGA	5. 発行年 2021年
3. 雑誌名 Proceedings of FPGA for HPC Workshop 2021 (FPGA4HPC 2021) in conjunction with IEEE Cluster 2021	6. 最初と最後の頁 4 pages
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Antioniette Mondigo, Tomohiro Ueno, Kentaro Sano, and Hiroyuki Takizawa	4. 巻 12083
2. 論文標題 Comparison of direct and indirect networks for high-performance FPGA clusters	5. 発行年 2020年
3. 雑誌名 Applied Reconfigurable Computing. Architectures, Tools, and Applications (ARC 2020), Lecture Notes in Computer Science	6. 最初と最後の頁 314-329
掲載論文のDOI (デジタルオブジェクト識別子) 10.1007/978-3-030-44534-8_24	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 佐野 健太郎	4. 巻 -
2. 論文標題 FPGAクラスタによるカスタム高性能計算の現状と課題	5. 発行年 2020年
3. 雑誌名 日本応用数理学会 2020年度年会講演予稿集	6. 最初と最後の頁 2 pages
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 小柴篤史, 上野知洋, 佐野 健太郎	4. 巻 120 (168)
2. 論文標題 Stratix 10 FPGAクラスタにおける格子ボルツマン法のパイプライン並列化と性能評価	5. 発行年 2020年
3. 雑誌名 電子情報通信学会リコンフィギャラブルシステム研究会 信学技法	6. 最初と最後の頁 7-12
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 佐野健太郎, 上野知洋, 宮島敬明, JensHuthmann, 小柴篤史	4. 巻 120 (339)
2. 論文標題 ESSPER: 高性能計算のためのスケーラブルかつ柔軟なFPGAクラスタシステムの開発	5. 発行年 2021年
3. 雑誌名 電子情報通信学会リコンフィギャラブルシステム研究会 信学技法	6. 最初と最後の頁 7-12
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -



1. 著者名 宮島敬明, 上野知洋, 佐野健太郎	4. 巻 120 (339)
2. 論文標題 高性能計算のための高速フーリエ変換のFPGA実装と評価	5. 発行年 2021年
3. 雑誌名 電子情報通信学会リconfigラブルシステム研究会 信学技法	6. 最初と最後の頁 19-24
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 多田 大希, 上野 知洋, 小柴 篤史, 佐野 健太郎, 河野 隆太, 井口 寧	4. 巻 120 (339)
2. 論文標題 FDTD法による音響シミュレーションのためのストリーム計算ハードウェアの設計と評価	5. 発行年 2021年
3. 雑誌名 電子情報通信学会リconfigラブルシステム研究会 信学技法	6. 最初と最後の頁 13-18
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Yuta Sasaki, Ayumu Ishizuka, Mulya Agung and Hiroyuki Takizawa	4. 巻 (accepted)
2. 論文標題 Evaluating I/O Acceleration Mechanisms of SX-Aurora TSUBASA	5. 発行年 2021年
3. 雑誌名 2021 IEEE International Parallel & Distributed Processing Symposium Workshops	6. 最初と最後の頁 8 pages
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Hiroyuki Takizawa, Shinji Shiotsuki, Naoki Ebata and Ryusuke Egawa	4. 巻 102
2. 論文標題 OpenCL-like offloading with metaprogramming for SX-Aurora TSUBASA	5. 発行年 2021年
3. 雑誌名 Parallel Computing	6. 最初と最後の頁 10 pages
掲載論文のDOI (デジタルオブジェクト識別子) 10.1016/j.parco.2021.102754	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Mulya Agung, Yuta Watanabe, Henning Weber, Ryusuke Egawa and Hiroyuki Takizawa	4. 巻 9
2. 論文標題 Preemptive Parallel Job Scheduling for Heterogeneous Systems Supporting Urgent Computing	5. 発行年 2021年
3. 雑誌名 IEEE Access	6. 最初と最後の頁 17557-17571
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ACCESS.2021.3053162	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 該当する

1. 著者名 Naoki Ebata, Yoko Isobe, Ryusuke Egawa and Hiroyuki Takizawa	4. 巻 -
2. 論文標題 Polymorphic Data Layout for SX-Aurora TSUBASA Vector Engines	5. 発行年 2020年
3. 雑誌名 2020 Eighth International Symposium on Computing and Networking (CANDAR)	6. 最初と最後の頁 7 pages
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/CANDAR51075.2020.00020	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Reo Furuhashi, Minglu Zhao, Mulya Agung, Ryusuke Egawa and Hiroyuki Takizawa	4. 巻 -
2. 論文標題 Improving the accuracy in SpMV implementation selection with machine learning	5. 発行年 2020年
3. 雑誌名 2020 Eighth International Symposium on Computing and Networking Workshops (CANDARW)	6. 最初と最後の頁 6 pages
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/CANDARW51189.2020.00043	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Yinan Ke, Mulya Agung and Hiroyuki Takizawa	4. 巻 -
2. 論文標題 neoSYCL: a SYCL implementation for SX-Aurora TSUBASA	5. 発行年 2021年
3. 雑誌名 International Conference on High Performance Computing in Asia-Pacific Region (HPC Asia 2021)	6. 最初と最後の頁 50-57
掲載論文のDOI (デジタルオブジェクト識別子) 10.1145/3432261.3432268	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 森龍馬, 眞邊泰斗, 柴田裕一郎	4. 巻 120 (168)
2. 論文標題 FPGAによる高速な近似凸包計算	5. 発行年 2020年
3. 雑誌名 電子情報通信学会リコンフィギャラブルシステム研究会 信学技法	6. 最初と最後の頁 19-24
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Tatsuma Mori, Taito Manabe and Yuichiro Shibata	4. 巻 -
2. 論文標題 Fast and Memory Efficient Approximated Convex Hull Computation with FPGA	5. 発行年 2020年
3. 雑誌名 2020 Eighth International Symposium on Computing and Networking (CANDAR)	6. 最初と最後の頁 174-180
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/CANDAR51075.2020.00031	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

[学会発表] 計58件 (うち招待講演 25件 / うち国際学会 37件)

1. 発表者名 Kentaro Sano
2. 発表標題 ESSPER: Elastic and Scalable FPGA-Cluster System for High-Performance Reconfigurable Computing with Supercomputer Fugaku
3. 学会等名 Proceedings of HPC Asia2023 (国際学会)
4. 発表年 2023年

1. 発表者名 Boma Adhi
2. 発表標題 Exploring Inter-tile connectivity for HPC-oriented CGRA with Lower Resource Usage
3. 学会等名 International Conference on Field Programmable Technology (FPT) (国際学会)
4. 発表年 2022年

1. 発表者名 Kentaro Sano
2. 発表標題 The Cost of Flexibility: Embedded versus Discrete Routers in CGRAs for HPC
3. 学会等名 IEEE Cluster Conference (CLUSTER) (国際学会)
4. 発表年 2022年

1. 発表者名 Tomohiro Ueno
2. 発表標題 FPGA-Dedicated Network vs. Server Network for Pipelined Computing with Multiple FPGAs
3. 学会等名 Proceedings of International Symposium on Highly-Efficient Accelerators and Reconfigurable Technologies (HEART) (国際学会)
4. 発表年 2022年

1. 発表者名 Boma Adhi
2. 発表標題 Exploration Framework for Synthesizable CGRAs Targeting HPC: Initial Design and Evaluation
3. 学会等名 Proceedings of the First International Workshop on Coarse-Grained Reconfigurable Architectures for High-Performance Computing (CGRA4HPC) (国際学会)
4. 発表年 2022年

1. 発表者名 Takuya Kojima
2. 発表標題 An Architecture-Independent CGRA Compiler enabling OpenMP Applications
3. 学会等名 Proceedings of the First International Workshop on Coarse-Grained Reconfigurable Architectures for High-Performance Computing (CGRA4HPC) (国際学会)
4. 発表年 2022年

1. 発表者名 Carlos Cortes
2. 発表標題 Evaluation of reduced routing resources for HPC-Oriented CGRAs
3. 学会等名 IEICE Tech. Report of Technical Committee on Reconfigurable Systems(RECONF)
4. 発表年 2022年

1. 発表者名 Kentaro Sano
2. 発表標題 Dedicated Inter-FPGA Networks for Scalable Reconfigurable Computing
3. 学会等名 Workshop on Novel Architecture and Novel Design Automation (NANDA) (招待講演) (国際学会)
4. 発表年 2022年

1. 発表者名 Kentaro Sano
2. 発表標題 ESSPER: FPGA Cluster for Research on Reconfigurable HPC with Supercomputer Fugaku
3. 学会等名 Workshop on Scientific Computing Accelerated on FPGA (招待講演) (国際学会)
4. 発表年 2022年

1. 発表者名 Kentaro Sano
2. 発表標題 Overview of ESSPER: Experimental FPGA Cluster for Functional Extension of Fugaku
3. 学会等名 RIKEN-CEA Workshop (招待講演) (国際学会)
4. 発表年 2022年

1. 発表者名 Kentaro Sano
2. 発表標題 Scalable Reconfigurable Computing with FPGAs connected by Dedicated Network
3. 学会等名 Special Session on HPC with reconfigurable devices, ISC'22 (招待講演) (国際学会)
4. 発表年 2022年

1. 発表者名 佐野 健太郎
2. 発表標題 HPC・データセンター向けFPGAクラスタ拡張システム"ESSPER"の開発と今後の展望
3. 学会等名 PCクラスタコンソーシアムHPCオープンソースソフトウェア普及部会ワークショップ「New FPGA era for HPC cluster」(招待講演)
4. 発表年 2022年

1. 発表者名 Yifan Jin, Mulya Agung, Keichi Takahashi, Yoichi Shimomura, and Hiroyuki Takizawa
2. 発表標題 Towards Priority-Flexible Task Mapping for Heterogeneous Multi-core NUMA Systems
3. 学会等名 22nd International Conference on Parallel and Distributed Computing, Applications and Technologies (PDCAT '22) (国際学会)
4. 発表年 2022年

1. 発表者名 Satoshi Kaneko, Hiroyuki Takizawa, and Kentaro Sano
2. 発表標題 A SYCL-based high-level programming framework for HPC programmers to use remote FPGA clusters
3. 学会等名 12th International Symposium on Highly-Efficient Accelerators and Reconfigurable Technologies (HEART) (国際学会)
4. 発表年 2022年



1. 発表者名 Tatsuma Mori, Daiki Furukawa, Keigo Motoyoshi, Haruto Ikehara, Kaito Ohira, Taito Manabe, Yuichiro Shibata, Tomohiro Ueno, Kentaro Sano
2. 発表標題 Stream Computation of 3D Approximate Convex Hulls with an FPGA
3. 学会等名 12th International Symposium on Highly-Efficient Accelerators and Reconfigurable Technologies (HEART) (国際学会)
4. 発表年 2022年

1. 発表者名 池原 陽大, 本吉 圭吾, 福田 航生, 眞邊 泰斗, 柴田 裕一郎, 上野 知洋, 佐野 健太郎
2. 発表標題 マルチFPGAシステムの高位合成シミュレーション手法に関する検討
3. 学会等名 電子情報通信学会リコンフィギャラブルシステム研究会
4. 発表年 2022年

1. 発表者名 福田 航生, 池原 陽大, 本吉 圭吾, 眞邊 泰斗, 柴田 裕一郎, 上野 知洋, 佐野 健太郎
2. 発表標題 マルチFPGA向けシミュレーションコードの再利用性を改善するコード生成系の実装
3. 学会等名 情報処理学会九州支部火の国情報シンポジウム2023
4. 発表年 2023年

1. 発表者名 眞野 淳平, 宮島 敬明, Peng Chen, Mohamed Wahib, 佐野 健太郎
2. 発表標題 FPGAを用いたCT画像のバックプロジェクション処理の高速化に向けて
3. 学会等名 リコンフィギャラブルシステム研究会 (RECONF) ライトニングトーク
4. 発表年 2023年

1. 発表者名 Tomohiro Ueno
2. 発表標題 Virtual Circuit-Switching Network with Flexible Topology for High-Performance FPGA Cluster
3. 学会等名 32nd International Conference on Application-specific Systems, Architectures and Processors (ASAP) (国際学会)
4. 発表年 2021年

1. 発表者名 Philippos Papaphilippou
2. 発表標題 High-performance general-purpose switch designs on FPGAs
3. 学会等名 2021 International Conference on Field-Programmable Technology (FPT) (国際学会)
4. 発表年 2021年

1. 発表者名 Boma Adhi
2. 発表標題 RIKEN CGRA: Data-driven Architecture as an Extension of Multicore CPU for Future HPC
3. 学会等名 International Conference for High Performance Computing, Networking, Storage and Analysis, SC '21 (国際学会)
4. 発表年 2021年

1. 発表者名 Boma Adhi
2. 発表標題 RIKEN CGRA: Reconfigurable Data-Driven Architecture for Future HPC
3. 学会等名 HPC Asia (国際学会)
4. 発表年 2022年

1. 発表者名 Carlos Cesar Cortes Torres
2. 発表標題 Parameterized environment for evaluating a CGRA for HPC
3. 学会等名 4th R-CCS International Symposium (国際学会)
4. 発表年 2022年

1. 発表者名 Tomohiro Ueno
2. 発表標題 A Flexible and Scalable Network System of FPGA Clusters for HPC Applications
3. 学会等名 4th R-CCS International Symposium (国際学会)
4. 発表年 2022年

1. 発表者名 上野 知洋
2. 発表標題 大規模FPGAクラスタのための再構成可能な仮想回線交換網
3. 学会等名 電子情報通信学会リconfigラブルシステム研究会
4. 発表年 2021年

1. 発表者名 上野 知洋
2. 発表標題 仮想回線交換網を利用したFPGAクラスタにおける集団通信性能評価
3. 学会等名 電子情報通信学会リconfigラブルシステム研究会
4. 発表年 2022年

1. 発表者名 Boma Adhi
2. 発表標題 Initial Design and Evaluation of RIKEN CGRA: Data-Driven Architecture for Future HPC
3. 学会等名 Technical Committee on Reconfigurable Systems (RECONF)
4. 発表年 2022年

1. 発表者名 Tomohiro Ueno
2. 発表標題 Scalable Stream Computing on FPGA Cluster
3. 学会等名 Computer Frontier (CF21), Session: FPGA for HPC (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 佐野 健太郎
2. 発表標題 FPGAによる高性能計算の課題と将来展望～ FPGAクラスタ試作システム開発で分かったこと～
3. 学会等名 第179回HPC研究会 (招待講演)
4. 発表年 2021年

1. 発表者名 Kentaro Sano
2. 発表標題 Prototype FPGA Cluster for High-Performance Reconfigurable Computing
3. 学会等名 ASTAR IHPC ACRC-Riken-CREST Deep workshop (AIARC-WS'21) (国際学会)
4. 発表年 2021年

1. 発表者名 佐野 健太郎
2. 発表標題 ポストムーア時代の未来予想
3. 学会等名 第1回ACRi討論会 (as a panelist) (招待講演)
4. 発表年 2021年

1. 発表者名 Kentaro Sano
2. 発表標題 Panel Discussion: FPGAs for HPC: Open Challenges for Infrastructure and System Operation
3. 学会等名 Special Session of HEART2021 (as a moderator) (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 Kentaro Sano
2. 発表標題 Programming Memory Subsystem Adequately in HLS
3. 学会等名 ISC2021 (BoF:Successful FPGA Programming Methods and Tools for HPC) (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 Kentaro Sano
2. 発表標題 CGRA for HPC
3. 学会等名 ASAP2021 (Panel: Coarse-Grained Reconfigurable Arrays and their Opportunities as Application Accelerators) (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 Kentaro Sano
2. 発表標題 Keynote: Challenges for Reconfigurable HPC with FPGA Cluster "ESSPER" Connected to Supercomputer Fugaku
3. 学会等名 FPGA for HPC Workshop in conjunction with IEEE CLUSTER (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 Kentaro Sano
2. 発表標題 DIY for HPC?
3. 学会等名 FPGA for HPC Workshop in conjunction with IEEE CLUSTER (Panel: FPGA-cluster deployment and adoption to application users) (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 Kentaro Sano
2. 発表標題 What Should We Program for FPGA?
3. 学会等名 SC21 (BoF: Successful FPGA Programming Methods and Tools for HPC) (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 Kentaro Sano
2. 発表標題 Keynote: FPGA Cluster ESSPER, A Research Platform for Reconfigurable HPC with Supercomputer Fugaku
3. 学会等名 International Conference on Field-Programmable Technology (FPT'21) (招待講演) (国際学会)
4. 発表年 2021年

1 . 発表者名 Kentaro Sano
2 . 発表標題 ESSPER: Experimental FPGA Cluster connected with Supercomputer Fugaku
3 . 学会等名 32nd Workshop on Sustained Simulation Performance (WSSP) (招待講演) (国際学会)
4 . 発表年 2021年

1 . 発表者名 Kentaro Sano
2 . 発表標題 Keynote: System and Applications of FPGA Cluster "ESSPER" for Research on Reconfigurable HPC
3 . 学会等名 International workshop on Data-driven applications for industrial and societal challenges: Problems, methods, and computing platforms, in conjunction with DATE (招待講演) (国際学会)
4 . 発表年 2022年

1 . 発表者名 Hiroyuki Takizawa
2 . 発表標題 Keynote: Fighting with the Complexity and Diversity of Future HPC Systems
3 . 学会等名 Parallel and Distributed Computing, Applications, and Technologies (PDCAT 2021) (招待講演) (国際学会)
4 . 発表年 2021年

1 . 発表者名 Hiroyuki Takizawa
2 . 発表標題 SYCL programming for collaboration of x86 and friends
3 . 学会等名 The Intel eXtreme Performance Users Group (IXPUG) Workshop (招待講演) (国際学会)
4 . 発表年 2022年

1. 発表者名 Hiroyuki Takizawa
2. 発表標題 A data-driven approach for making better use of compilers
3. 学会等名 Conference on Advance Topics and Auto Tuning in High Performance Scientific Computing (ATAT2022) (招待講演) (国際学会)
4. 発表年 2022年

1. 発表者名 Daiki Furukawa
2. 発表標題 Implementation of a Stencil Computation Framework for BCM Applicable to FPGA Clusters
3. 学会等名 4th R-CCS International Symposium (国際学会)
4. 発表年 2022年

1. 発表者名 原口 雄士
2. 発表標題 幅優先探索専用アクセラレータHyGTAIにおけるキャッシュメモリの検討
3. 学会等名 電子情報通信学会リコンフィギャラブルシステム研究会
4. 発表年 2021年

1. 発表者名 原口 雄士
2. 発表標題 幅優先探索専用のアクセラレータを対象としたアーキテクチャ探索のためのシミュレータ開発
3. 学会等名 電子情報通信学会リコンフィギャラブルシステム研究会
4. 発表年 2021年



1. 発表者名 佐野 健太郎
2. 発表標題 FPGAクラスタ試作システム ESSPER とそのFPGA間通信機構
3. 学会等名 FPGA-HPC-Symposium2021 (招待講演)
4. 発表年 2021年

1. 発表者名 Kentaro Sano
2. 発表標題 FPGA Cluster System for High-Performance Reconfigurable Computing
3. 学会等名 Intel FPGA Technology Day 2020 (IFTD), Asia Pacific region and North America region (招待講演) (国際学会)
4. 発表年 2020年

1. 発表者名 佐野 健太郎
2. 発表標題 リコンフィギャラブル高性能計算の実現に向けたFPGAクラスタシステム開発
3. 学会等名 Intel FPGA Technology Day 2020 (IFTD), Japan region (招待講演)
4. 発表年 2020年

1. 発表者名 佐野 健太郎
2. 発表標題 FPGAクラスタによるカスタム高性能計算の現状と課題
3. 学会等名 日本応用数理学会 2020年度年会 (招待講演)
4. 発表年 2020年

1. 発表者名 佐野 健太郎
2. 発表標題 FPGAを用いたカスタム高性能計算システムと自動チューニングへの期待
3. 学会等名 第23回AT研究会オープンアカデミックセッション(ATOS23) (招待講演)
4. 発表年 2020年

1. 発表者名 Tomohiro Ueno
2. 発表標題 Comparison of direct and indirect networks for high-performance FPGA clusters
3. 学会等名 Applied Reconfigurable Computing. Architectures, Tools, and Applications (ARC 2020) (国際学会)
4. 発表年 2020年

1. 発表者名 佐野 健太郎
2. 発表標題 FPGAクラスタによるカスタム高性能計算の現状と課題
3. 学会等名 日本応用数理学会 2020年度年会
4. 発表年 2020年

1. 発表者名 小柴篤史
2. 発表標題 Stratix 10 FPGAクラスタにおける格子ボルツマン法のパイプライン並列化と性能評価
3. 学会等名 電子情報通信学会リコンフィギャラブルシステム研究会
4. 発表年 2021年

1. 発表者名 佐野 健太郎
2. 発表標題 ESSPER: 高性能計算のためのスケーラブルかつ柔軟なFPGAクラスタシステムの開発
3. 学会等名 電子情報通信学会リコンフィギャラブルシステム研究会
4. 発表年 2021年

1. 発表者名 宮島敬明
2. 発表標題 高性能計算のための高速フーリエ変換のFPGA実装と評価
3. 学会等名 電子情報通信学会リコンフィギャラブルシステム研究会
4. 発表年 2021年

1. 発表者名 森龍馬
2. 発表標題 FPGAによる高速な近似凸包計算
3. 学会等名 電子情報通信学会リコンフィギャラブルシステム研究会
4. 発表年 2020年

1. 発表者名 Tatsuma Mori
2. 発表標題 Fast and Memory Efficient Approximated Convex Hull Computation with FPGA
3. 学会等名 2020 Eighth International Symposium on Computing and Networking (CANDAR) (国際学会)
4. 発表年 2020年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	柴田 裕一郎 (Shibata Yuichiro) (10336183)	長崎大学・情報データ科学部・教授  (17301)	
研究分担者	上野 知洋 (Ueno Tomohiro) (30794135)	国立研究開発法人理化学研究所・計算科学研究センター・特別研究員  (82401)	
研究分担者	佐藤 三久 (Sato Mitsuhisa) (60333481)	国立研究開発法人理化学研究所・計算科学研究センター・副センター長  (82401)	
研究分担者	滝沢 寛之 (Takizawa Hiroyuki) (70323996)	東北大学・サイバーサイエンスセンター・教授  (11301)	
研究分担者	谷川 一哉 (Tanigawa Kazuya) (80382373)	広島市立大学・情報科学研究科・講師  (25403)	
研究分担者	宮島 敬明 (Miyajima Takaaki) (90770850)	明治大学・理工学部・専任講師  (32682)	
研究分担者	小柴 篤史 (Koshiba Atsushi) (20845771)	国立研究開発法人理化学研究所・計算科学研究センター・特別研究員  (82401)	削除：2021年2月4日

6. 研究組織（つづき）

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究 分 担 者	Lee Jinpil  (Lee Jinpil)  (30764873)	国立研究開発法人理化学研究所・計算科学研究センター・研 究員     (82401)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関			
カナダ	University of Toronto			
英国	Imperial College, London			
スウェーデン	KTH			
ドイツ	Karlsruhe Institute of Technology			