

令和 5 年 6 月 3 日現在

機関番号：13901

研究種目：基盤研究(B)（一般）

研究期間：2020～2022

課題番号：20H02130

研究課題名（和文）直流遮断へのワイドギャップ系パワー半導体の適用と電流遮断性能評価

研究課題名（英文）Application of Power Semiconductor to Direct-Current Interruption and Evaluation of Current Interruption Performance

研究代表者

横水 康伸（Yokomizu, Yasunobu）

名古屋大学・工学研究科・教授

研究者番号：50230652

交付決定額（研究期間全体）：（直接経費） 10,900,000円

研究成果の概要（和文）：ワイドギャップ系(SiC系MOS-FET)パワー半導体のスイッチング機能を電流遮断に適応させ、限流機能を具備したパワー半導体型モデルDC遮断器の回路構成を提案した。その一つとして、抵抗によるDC限流機能を具備したモデル遮断器を考案し、DC限流遮断および過渡的発生電圧のプロセスを提示し、さらに半導体の接合部温度上昇も明らかにした。限流抵抗として8および10 オームの仕様によって、FETの電圧限界と熱的温度限界を超えることなく、DCを遮断できることを示せた。他の遮断方式として、DCを減衰振動電流に変化させ、ひいては電流を遮断する方式を見出し、この方式を用いたモデル遮断器の回路構成を提案した。

研究成果の学術的意義や社会的意義

現在のDC伝送システムでは、アーク放電の過渡推移を利用した遮断器が、負荷電流の開閉および故障電流の遮断を行っている。現在の遮断器の基本設計は、アーク放電の抵抗を高速上昇することによって、直流電流を限流遮断させることである。しかし、アーク抵抗の高速上昇を目指しても、以下に示す要素に依存してしまい、困難に直面する。(i) アーク抵抗の過渡応答は、多くのアーク要素現象に影響され、目標値を達成しにくい。(ii) 限流遮断時間の短縮化を目指しても、アーク特性に左右されてしまい、所定値を実現することが困難である。

研究成果の概要（英文）：Application of a wide gap power semiconductor (SiC MOS-FET) to low-voltage direct-current interruption has been researched to propose a model low-voltage DC circuit breaker that functions limitation and interruption of the DC and to devise the circuit configuration in the model circuit breaker.

One of the proposed circuit breaker has two units: a current limitation unit composed of a semiconductor and a resistor and a current breaking unit composed of a semiconductor. Transient current and voltage across the power semiconductor were shown during the current breaking process with the model circuit breaker. In addition, P/N junction temperature rise during the current breaking process was also evaluated, based on Cauer thermal circuit constructed in this research. As other of the current breaking way, a method was devised to transform from the DC into a damping oscillating current method. The circuit configuration that achieves this transformation method was furthermore shown.

研究分野：大電流工学，高温工学，電力工学

キーワード：直流遮断 パワー半導体素子 限流

1. 研究開始当初の背景

電気エネルギー分野では、交流伝送から直流(DC)伝送化の動きが進んでいる。伝送システムでは、アーク放電の過渡推移を利用した遮断器が、負荷電流の開閉と故障電流の遮断を行っている。しかし、同遮断器は以下に示す困難さおよび欠点を有している。(a) 遮断器の電流遮断限界の高性能化は、多くのアーク要素現象に影響されてしまい、電圧・電流の目標値を達成しにくい。(b) 限流遮断時間の短縮化を目指しても、アーク特性に左右されてしまい、所定値を実現することが困難である。

一方、半導体分野では、パワー半導体の大電流化・高電圧化が進展し、パワー半導体の定格電流・定格電圧は上述の DC システムに対応できるレベルに達してきた。パワー半導体では、コントロール回路によって、導通状態・非導通状態にスイッチングできる。パワー半導体を用いた遮断器の特徴は、(i) 電流遮断時間を時定数 τ によって調整できること、(ii) アーク放電の発生を伴わないので、損耗がないこと、(iii) アーク放電による損耗がないので、多数回電流遮断を実施できること、(iv) 限流抵抗あるいはパワー半導体の定格容量に応じて、遮断器の遮断能力を増加できることである。

2. 研究の目的

近年、SiC 系パワー半導体が開発されている。SiC 系半導体は、次世代のパワー半導体デバイスとして高耐圧・低損失の次世代パワーデバイス材料として期待されている。本研究の主目的は、SiC 系パワー半導体のスイッチング機能を電流遮断に適用し、限流機能を具備したパワー半導体モデル DC 遮断器の回路構成・仕様を提案すること、次いで、DC を限流遮断できることを示し、さらに遮断過程での電圧・電流・PN 接合部温度の過渡推移を明らかにすることである。

3. 研究の方法

- (1) 本研究で考案した低電圧 DC モデル遮断器は、Fig.1 に示される構成を基本とし、遮断ユニットに加えて、抵抗素子による限流機能を具備させた限流ユニットによって構成している(以下、限流抵抗型モデル遮断器)。限流部ユニットでは、MOSFET(以下 FET-C)と限流抵抗 R_{FCL} が並列接続されており、遮断部は別の MOSFET(以下 FET-I)のみで構成されている。以下のプロセスを経て限流遮断を行う。(i) 時刻 0 ms で過電流 60 A を検知後、限流部の FET-C のゲート・ソース(G-S)間電圧を時定数 τ_c で急速に低下させる。これにより、限流部の抵抗値を抵抗値 R_{FCL} に推移させ電流を限流する。(ii) 遮断ユニットの FET-I の G-S 間電圧を時定数 τ_i ($>\tau_c$)で低下させ、遮断ユニットを高抵抗に推移させることで直流電流を 0 A に減少させ、電流を遮断する。

限流抵抗 R_{FCL} の適正值を検討するにあたり、5 Ω ~12 Ω の範囲の抵抗値に設定した。直流電圧源を回路抵抗素子と回路インダクタンス素子を介してモデル遮断器に接続し、突入電流の限流遮断過程における以下の(a)-(d)を明らかにした。

- (a) 回路を流れる電流 i_{CB} ,
- (b) FET-C 端子間電圧 v_{FET-C} ,
- (c) FET-I 端子間電圧 v_{FET-I} ,
- (d) FET-I 接合部における温度上昇 ΔT_j 。この ΔT_j の導出には、Fig.2 に示すような、本研究室が構築した素子の等価熱回路を用いた。

- (2) 他の遮断方式として、DC を減衰振動電流に変化させ、時間の経過とともに電流瞬時値を減少させた後に MOSFET で遮断する着想に至り、その回路構成を考案した。このモデル遮断器では、分離ユニットを負荷側に、限流遮断ユニットを電源側に備え、両ユニットを直列接続している。分離ユニットでは、MOSFET(以下 FET-C)とダイオード D_l とからなる。限流遮断ユニットでは、別の MOSFET(以下 FET-I)に加えて、抵抗(R_1 と R_2)およびキャ

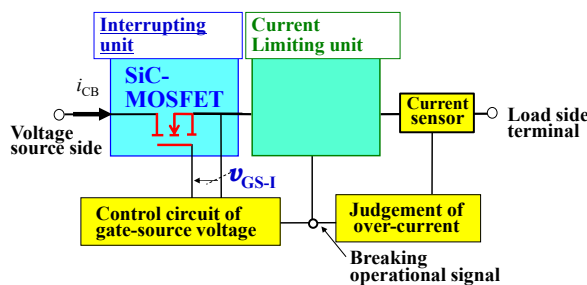


Fig. 1 Circuit diagram of model LV DC circuit breaker constructed of power semiconductor.

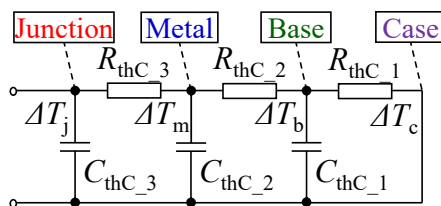


Fig.2 Cauer-type equivalent thermal circuit considering structure of MOSFET

パシタ (C_1 と C_2) からなる減衰振動生成部で構成している。モデル器は、以下のプロセスを経て直流電流を限流遮断する。

(i) 電流瞬時値が過電流検出値を超えると、FET-C のゲート・ソース (G-S) 間電圧を時定数 τ_c で急速に低下させ、FET-C のドレイン・ソース間抵抗を急速に高い値に推移させる。負荷側に流れていた電流は D_L を通じて流れ、時間の経過とともに線路抵抗によって減衰する。
(ii) FET-C の高抵抗推移によって、DC 電源からの電流 i_s は、減衰振動電流生成部に転流する。 i_s は、キャパシタおよび DC 供給回路のインダクタンスによって振動し始めるとともに、抵抗によって減衰していく。FET-I の G-S 間電圧を時定数 $\tau_1 (>\tau_c)$ で低下させることによって、電流を遮断する。

モデル遮断器を、回路抵抗素子と回路インダクタンス素子を介して直流電圧源に接続し、突入電流の限流遮断過程における以下の (a)-(d) を明らかにした。(a) 回路を流れる電流 i_{CB} 、(b) FET-C 端子間電圧 v_{FET-C} 、(c) FET-I 端子間電圧 v_{FET-I} 、(d) FET-I 接合部における温度上昇 ΔT_j 。

4. 研究成果

(1) 限流抵抗型モデル遮断器における限流抵抗 R_{FCL} を 10Ω に設定した場合、時刻 0 ms で過電流が検知された後に、Fig. 3(a) に示されるように時刻 0.1 ms から限流部による限流が開始する。その後、電流は約 35 A まで限流されている。時刻 1.1 ms で遮断部による遮断動作が開始し、その後、時刻 2.5 ms で遮断を完了できている。同 R_{FCL} および 8Ω では、電圧 v_{FET-C} および電圧 v_{FET-I} は、限流遮断期間において MOSFET のディレーティングを考慮した電圧許容値を超えず、さらに、接合部温度上昇 ΔT_j は、 70 K に抑えられ、MOSFET のディレーティングを考慮した温度上昇の許容値を超えなかった。したがって、限流抵抗値を 10Ω あるいは 8Ω に設定すれば、モデル遮断器は、MOSFET の熱限界と電圧限界を超えることなく、DC を限流遮断できることを見出した。

一方、限流抵抗を 12Ω に設定すると、Fig. 3(b) に示すように、電圧 v_{FET-C} は限流開始直後に一時的に急上昇し、ピークを示し、MOSFET の電圧許容値を超えてしまう。この現象は、電圧がピークとなる時刻では、限流抵抗への転流がほぼ完了しており、電圧ピーク値が電流瞬時値と限流抵抗値との積で決まることに起因している。限流抵抗を 5Ω に設定すると、限流開始直後に現れる電圧 v_{FET-C} の抑制には有効であることがわかった。しかし、限流抵抗 5Ω の場合、接合部温度上昇 ΔT_j は、約 200 K にまで高まってしまい、温度上昇の許容値を大きく超えてしまう。したがって、限流抵抗値を 10Ω あるいは 8Ω に設定すれば、MOSFET の熱限界と電圧限界を超えることなく、DC を限流遮断でき、遮断器として機能することを見出した。別の検討から、遮断可能電流は小さく見ても 2000 A であることを明らかにしている。

(2) Fig. 4(a) に示すように、 $R_1=1 \Omega$ では、遮断開始時刻 0 ms から、DC 電流が周波数 1.50 kHz の減衰振動電流 (時定数 1.70 ms) に変化し、限流遮断ユニットに備えられた MOSFET によって

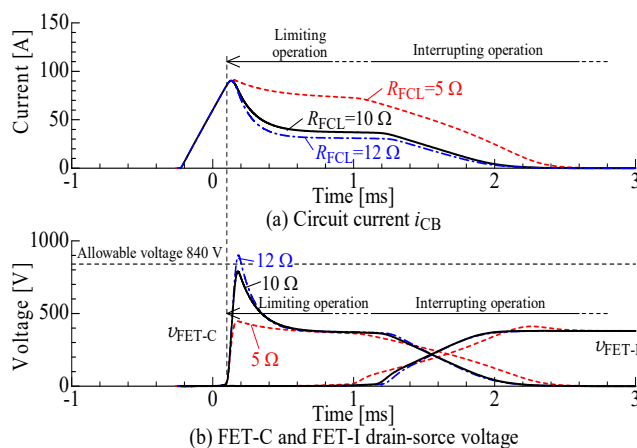


Fig. 3 Direct current interrupting process (Model circuit breaker functions DC limitation by resistor).

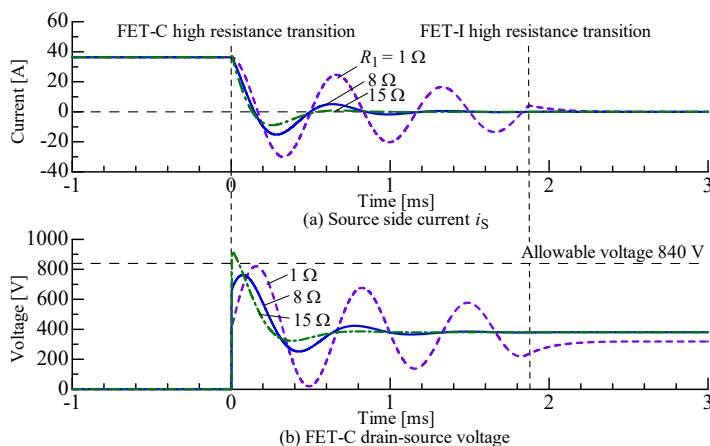


Fig. 4 Direct current interrupting process (Model circuit breaker is equipped with damping oscillation).

2.6 ms で電流遮断を達成できた。 $R_1=8 \Omega$ では、減衰振動電流の時定数は0.30 msに短縮し、2.4 msで遮断できた。 $R_1=1$ および 8Ω のいずれでも、PN接合部の温度上昇は約3 Kであると推定できた。しかし、 $R_1=15 \Omega$ に高めた条件では、分離ユニットにおけるMOSFETのドレインソース間に時刻0 msで約910 Vの過渡電圧が、Fig. 4(b)に示すように、発生し、MOSFETの耐電圧を超えてしまうことがわかった。したがって、遮断器仕様として、 R_1 を1あるいは 8Ω に設定すれば、SiC-MOSFETの電圧許容値・温度許容値を超えることなく、電流遮断できることを明らかにできた。接合部温度上昇 ΔT_j は、いずれの抵抗値でも、わずか約3 K程度であるという見通しを得た。

5. 主な発表論文等

〔雑誌論文〕 計10件（うち査読付論文 0件 / うち国際共著 0件 / うちオープンアクセス 0件）

1. 著者名 渡邊 幹太, 横水 康伸, 小椋 陽介, 小川 拓真	4. 巻 -
2. 論文標題 SiC-MOSFETによる低圧直流遮断と接合部温度上昇の緩和	5. 発行年 2020年
3. 雑誌名 令和2年度電気・電子・情報関係学会東海支部連合大会	6. 最初と最後の頁 B4-8
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 渡邊 幹太, 横水 康伸, 小椋 陽介, 小川 拓真	4. 巻 -
2. 論文標題 SiC-MOSFETを用いた低圧直流大電流遮断プロセスにおける過渡電圧・接合部温度の評価	5. 発行年 2020年
3. 雑誌名 電気学会研究会資料 放電・プラズマ・パルスパワー/静止器/開閉保護合同研究会	6. 最初と最後の頁 SP-20-8
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 渡邊 幹太, 横水 康伸, 小椋 陽介, 小川 拓真	4. 巻 -
2. 論文標題 SiC-MOSFETによる低圧直流大電流遮断過程と限流部端子間電圧・遮断部接合部温度上昇の評価	5. 発行年 2021年
3. 雑誌名 令和3年電気学会全国大会講演論文集	6. 最初と最後の頁 6-040
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 渡邊 幹太, 横水 康伸, 兒玉 直人	4. 巻 -
2. 論文標題 SiC-MOSFETの熱インピーダンスの過渡特性を表すCauer型等価熱回路の構築: パワー半導体を用いた低電圧DC遮断器への適用」. 電気学会研究会資料 放電・プラズマ・パルスパワー/静止器/開閉保護合同研究会	5. 発行年 2021年
3. 雑誌名 電気学会研究会資料 放電・プラズマ・パルスパワー/静止器/開閉保護合同研究会	6. 最初と最後の頁 SP-21-015
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 横水 康伸	4. 巻 -
2. 論文標題 低電圧DC遮断へのワイドギャップ半導体の適用：電流遮断とジャンクション温度． Application of Wide-Bandgap Power Semiconductor to Low-Voltage Direct Current Interruption: Current Breaking and Thermal Behavior	5. 発行年 2021年
3. 雑誌名 https://www.iee.jp/pes/webseminar_20210422/	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 横水 康伸, 渡邊 幹太, 兒玉 直人	4. 巻 -
2. 論文標題 SiC-MOSFETを適用した低電圧直流モデル遮断器による電流遮断 PN接合部温度と限流部電圧の過渡推移	5. 発行年 2021年
3. 雑誌名 2021年(第39回)電気設備学会全国大会講演論文集	6. 最初と最後の頁 I-13
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 渡邊 幹太, 横水 康伸, 兒玉 直人	4. 巻 -
2. 論文標題 大電流型SiC-MOSFETを用いた低圧直流モデル遮断器による電流遮断時間の測定	5. 発行年 2021年
3. 雑誌名 令和3年度電気・電子・情報関係学会東海支部連合大会	6. 最初と最後の頁 B3-1
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 渡邊 幹太, 横水 康伸, 兒玉 直人, 藤田雄大	4. 巻 -
2. 論文標題 SiC-MOSFET素子による低電圧直流遮断プロセスにおけるPN接合部温度と端子間電圧—大電流型素子の適用—	5. 発行年 2022年
3. 雑誌名 令和4年電気学会全国大会講演論文集	6. 最初と最後の頁 6-054
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 長谷川 海渡, 横水 康伸, 兒玉 直人, 渡邊 幹太	4. 巻 -
2. 論文標題 SiC-MOSFETのスイッチング機能を用いた低電圧DC遮断法とそのプロセス –減衰振動電流生成方式の試み–	5. 発行年 2022年
3. 雑誌名 令和4年度電気・電子・情報関係学会東海支部連合大会	6. 最初と最後の頁 D6-2
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 長谷川 海渡, 横水 康伸, 兒玉 直人, 渡邊 幹太	4. 巻 -
2. 論文標題 SiC-MOSFET素子を用いた低電圧DC遮断 –減衰振動電流の生成による限流とその基礎検討–	5. 発行年 2023年
3. 雑誌名 令和5年電気学会全国大会講演論文集	6. 最初と最後の頁 6-057
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計10件 (うち招待講演 1件 / うち国際学会 0件)

1. 発表者名 渡邊 幹太, 横水 康伸, 小椋 陽介, 小川 拓真
2. 発表標題 SiC-MOSFETを用いた低圧直流大電流遮断プロセスにおける過渡電圧・接合部温度の評価
3. 学会等名 電気学会研究会 放電・プラズマ・パルスパワー/静置器/開閉保護合同研究会
4. 発表年 2020年

1. 発表者名 渡邊 幹太, 横水 康伸, 小椋 陽介, 小川 拓真
2. 発表標題 SiC-MOSFET による低圧直流遮断と接合部温度上昇の緩和
3. 学会等名 令和2年度電気・電子・情報関係学会東海支部連合大会
4. 発表年 2020年

1. 発表者名 横水 康伸
2. 発表標題 低電圧DC遮断へのワイドギャップ半導体の適用：電流遮断とジャンクション温度
3. 学会等名 電気学会 電力・エネルギー部門 静止器技術委員会 第16回「日本のライフラインを支える電力設備」シンポジウム（招待講演）
4. 発表年 2020年

1. 発表者名 渡邊 幹太, 横水 康伸, 小椋 陽介, 小川 拓真
2. 発表標題 SiC-MOSFETによる低圧直流大電流遮断過程と限流部端子間電圧・遮断部接合部温度上昇の評価
3. 学会等名 令和3年電気学会全国大会
4. 発表年 2021年

1. 発表者名 渡邊 幹太, 横水 康伸, 兒玉 直人
2. 発表標題 SiC-MOSFETの熱インピーダンスの過渡特性を表すCauer型等価熱回路の構築: パワー半導体を用いた低電圧DC遮断器への適用
3. 学会等名 電気学会研究会 放電・プラズマ・パルスパワー/静止器/開閉保護合同研究会
4. 発表年 2021年

1. 発表者名 渡邊 幹太, 横水 康伸, 兒玉 直人
2. 発表標題 大電流型SiC-MOSFET を用いた低圧直流モデル遮断器による電流遮断時間の測定
3. 学会等名 令和3年度電気・電子・情報関係学会東海支部連合大会
4. 発表年 2021年

1. 発表者名 横水 康伸, 渡邊 幹太, 兒玉 直人
2. 発表標題 SiC-MOSFETを適用した低電圧直流モデル遮断器による電流遮断 - PN接合部温度と限流部電圧の過渡推移 -
3. 学会等名 2021年(第39回)電気設備学会全国大会
4. 発表年 2021年

1. 発表者名 長谷川 海渡, 横水 康伸, 兒玉 直人, 渡邊 幹太
2. 発表標題 SiC-MOSFETのスイッチング機能を用いた低電圧DC遮断法とそのプロセス - 減衰振動電流生成方式の試み -
3. 学会等名 令和4年度電気・電子・情報関係学会東海支部連合大会
4. 発表年 2022年

1. 発表者名 渡邊 幹太, 横水 康伸, 兒玉 直人, 藤田 雄大
2. 発表標題 SiC-MOSFET素子による低電圧直流遮断プロセスにおけるPN接合部温度と端子間電圧 - 大電流型素子の適用 -
3. 学会等名 令和4年電気学会全国大会
4. 発表年 2022年

1. 発表者名 長谷川 海渡, 横水 康伸, 兒玉 直人, 渡邊 幹太
2. 発表標題 SiC-MOSFET素子を用いた低電圧DC遮断 - 減衰振動性電流の生成による限流とその基礎検討 -
3. 学会等名 令和5年電気学会全国大会
4. 発表年 2023年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------