

令和 5 年 6 月 2 日現在

機関番号：11301
研究種目：基盤研究(B)（一般）
研究期間：2020～2022
課題番号：20H02193
研究課題名（和文）不揮発性トンネルFETメモリによる超低消費電力ニューラルネットワークチップの開発

研究課題名（英文）Development of ultra-low power neural network chips using non-volatile tunnel FET memory

研究代表者
木野 久志（Kino, Hisashi）

東北大学・医工学研究科・特任准教授

研究者番号：10633406
交付決定額（研究期間全体）：（直接経費） 13,500,000円

研究成果の概要（和文）：本研究では次世代の大規模ニューラルネットワークを超低消費電力で構築するためのメモリ素子として不揮発性トンネルFETメモリを提案し、その試作に取り組んだ。試作した素子は電荷の保持によりシナプスの"重み"保持を再現できることを確認した。また、目標の一つである急峻な立ち上がり特性をトンネルFET構造により実現できることを確認した。そして、ニューロンのスパイクタイミングに依存するシナプス強度の変化であるSTDP特性の再現を試みた。試作した素子是对称性STDPと非対称性STDPの両方の特性を再現できることを確認した。以上から当初掲げた目標を達成できたと考える。引き続きSNN実現に向けた研究を遂行する。

研究成果の学術的意義や社会的意義
半導体集積回路は、今日の高度情報化社会の基盤技術として多くの人々の生活を支えている。近年では集積回路に脳の神経回路網(ニューラルネットワーク)の動作機構を取り入れ、柔軟な処理に対する性能を向上させようとする取り組みが近年活発に行われている。しかし、取り扱うデータが大規模になるにつれ、ニューラルネットワークへの大規模化と低消費電力化の要望は増大している。本研究で開発した不揮発性トンネルFETメモリは大規模化と低消費電力化の両立のための有望な候補であり、今後のニューラルネットワークの進展に大きく貢献すると考えられる。

研究成果の概要（英文）：In this study, we proposed a non-volatile tunnel FET memory as a memory element for constructing next-generation large-scale neural networks with ultra-low power consumption. Then, we fabricated them. We confirmed that the fabricated devices can reproduce synaptic "weight" retention by retaining electric charge. We also confirmed that the steep subthreshold slope characteristic, one of our goals, can be realized by the tunnel FET structure. We also attempted to reproduce the STDP property, which is a change in synaptic strength that depends on the spike timing of neurons. We have confirmed that the fabricated devices can reproduce both symmetric and asymmetric STDP characteristics. We believe that we have achieved our initial goal. We will continue our research to realize of SNN with non-volatile tunnel FET memories.

研究分野：半導体工学

キーワード：スパイクニューラルネットワーク トンネルFET 不揮発性メモリ

1. 研究開始当初の背景

集積回路の性能は年々発展を遂げ、今日の高度情報化社会の基盤技術として多くの人々の生活を支えている。一方、人間の脳は広く普及している集積回路とは全く異なる情報処理方式を用いており、集積回路が不得手とする画像に基づいた認識や判断などをリアルタイムで柔軟に処理することを得意としている。そこで、集積回路に脳の神経回路網(ニューラルネットワーク)の動作機構を取り入れ、柔軟な処理に対する性能を向上させようとする取り組みが近年活発に行われている。

脳の模倣の仕方は様々であり、例えば脳の階層的情報処理と同等のプログラムを既存のハードウェア上で実行するディープニューラルネットワーク(Deep Neural Network: DNN)は、すでに社会の多くの場面で活用され、様々な実績を残している。DNNでは脳の階層的情報処理は模しているが、神経細胞の発火スパイクまでは模していない。神経細胞の発火スパイクの影響まで模した神経回路網をスパイクニューラルネットワーク(Spiking Neural Network: SNN)と呼び、次世代の脳型コンピューティングとして期待されている。神経細胞のスパイクパターンによる情報表現は1980年代から研究されており、1990年代に発見された図1に示すようなスパイクタイミングでシナプス強度が変化するスパイクタイミング依存可塑性(Spike-Timing Dependent Synaptic Plasticity: STDP)がSNN発展の大きな契機と言われている。アナログ値での処理が主体のDNNと比較し、SNNでは2値(もしくは3値)のデジタル値による処理が多くを占めるため低消費電力化に適していると考えられている。そのため、ニューラルネットワークの大規模化に向けて、SNNの研究開発も重要と考えられており、実際にSNNに関する研究報告は年々増えている。

ニューラルネットワークの大規模化はチップに集積されるニューロン数の増大を意味するが、その集積度はムーアの法則に従って指数関数的に増加すると予想される。一方、電界効果型トランジスタ(Field Effect Transistor: FET)の微細化による低消費電力化は飽和しつつあり、単純なニューラルネットワークの大規模化は消費電力の大幅な増加を招く。指数関数的に増大するニューロン数に応じた消費電力増大に対応するためには、SNNの採用だけでなく、さらなる低消費電力化が必要と考えられる。一般にSNNはシナプスを模した“重み”を保存するメモリ素子とニューロンを模したスパイク生成回路で構成される。次世代の大規模ニューラルネットワークを超低消費電力で構築するためのメモリ素子が求められている。

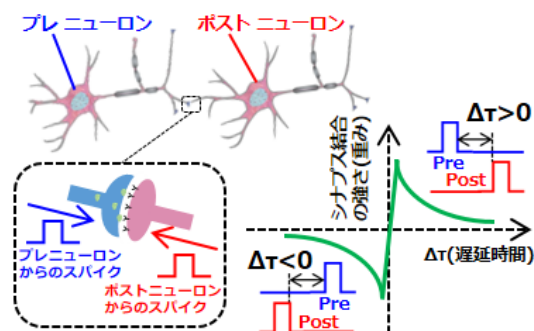


図1 シナプスのスパイクタイミング依存可塑性(STDP)

2. 研究の目的

本研究では大規模化に適した電荷トラップ型メモリと低電圧動作可能なトンネル FET を組み合わせることで次世代大規模ニューラルネットワーク構築に必要なメモリ素子を実現する。そして、研究開発した不揮発性トンネル FET メモリを用いることで次世代の要望に対応可能な SNN チップを試作する。

本研究の目的はトンネル FET と電荷トラップ型メモリを組み合わせた新しい不揮発性トンネル FET メモリによる SNN の構築である。しかしながら、トンネル FET と電荷トラップ型メモリを組み合わせるために、2 点の挑戦的課題が存在する。1 点目は非対称性 STDP 特性の発現させることであり、2 点目は電荷トラップに必要な厚い絶縁膜を用いての急峻な立ち上がり特性を得ることである。本研究ではこの 2 点の課題を独自の手法で解決し、不揮発性トンネル FET メモリによる超低消費電力 SNN の構築を目指す。

3. 研究の方法

図2に本研究で提案する不揮発性トンネル FET メモリの構造を示す。トンネル FET のゲート電極に MONOS (Metal-Oxide-Nitride-Oxide-Semiconductor) 構造を適用した構造となっており、窒化膜で保持する電荷の数で“重み”を保存する。この“重み”と発火スパイクには STDP と呼

ばれるタイミングに関する依存性があり、SNN において最も重要な特性の一つである。SNN には対称性 STDP と非対称性 STDP の 2 種類が必要であり、因果関係の学習には非対称性 STDP、相関関係の学習には対称性 STDP が適当とされている。一般的な FET を用いた電荷トラップ型メモリにおいても対称性および非対称性 STDP の両特性の再現は報告されている。しかしながら、非対称性 STDP を得るためには三角波スパイクなどの複雑な方法が取られており実用的とは言い難い。本研究では電荷トラップ型メモリの電荷注入特性を巧みに利用することでシンプルな両極性パルスのみで非対称性 STDP 特性を実現する。両極性パルスによる非対称性 STDP 発現の原理を図 3 に示す。電荷トラップ型メモリにおけるしきい値変動特性は線形ではなく、ある値 ($V_{critical}$) から急激に増加する。プレニューロンからの両極性パルスとポストニューロンからの両極性パルスの組み合わせで $V_{critical}$ 以下と以上の異なる 2 種の振幅の波形を構築する。 $V_{critical}$ 以下の振幅はしきい値 (“重み”) を変動させないが、 $V_{critical}$ 以上の振幅の波形のみしきい値を変動させる。 $V_{critical}$ 以上の振幅の波形の正負は 2 つのパルス間の遅延時間の正負に依存するため、STDP 特性は非対称となる。また、電荷注入時間も 2 つのパルスの遅延時間に依存するため、シナプスと同様のタイミング依存性を発現できる。電荷トラップ型メモリにおいて、これまでは回路規模と消費電力が増大する複雑な三角波での非対称性の STDP を実現していたが、電荷トラップ型メモリのしきい値変動特性を理解することで、シンプルな両極性パルスで非対称性 STDP 発現が可能となる。

トンネル FET 自体が比較的最近研究が活発になった素子であり、トンネル FET を基盤とする電荷トラップ型メモリは殆ど例がない。しかしながら、次世代の大規模 SNN を実現に必要な要求に対し、トンネル FET と電荷トラップ型メモリの組み合わせは有望な候補であることは間違いない。本研究は先行研究の成果を基盤として世界に先駆けて不揮発性トンネル FET メモリを用いた SNN による大規模ニューラルネットワークに関する基盤技術を構築する。

4. 研究成果

図 2 に示す不揮発性トンネル FET メモリを試作した。はじめに、素子分離をおこない、その後 P-層を形成するためのイオン注入工程を行った。次に、“重み”を保存するための層である SiN 膜を含む $\text{SiO}_2/\text{SiN}/\text{SiO}_2$ (ONO) の層を堆積した。そして、ゲート電極となる Poly-Si を堆積した。その後、Poly-Si と ONO 層をエッチングし、ゲート電極を形成した。次にドレインとなる N+領域とソースとなる P+領域形成のためのイオン注入を行った。そして、電氣的に保護するために SiO_2 を堆積し、ソース、ゲート、ドレインそれぞれにコンタクトホール形成し、配線材料である Al を堆積した。そして、Al をエッチングして配線を形成した。

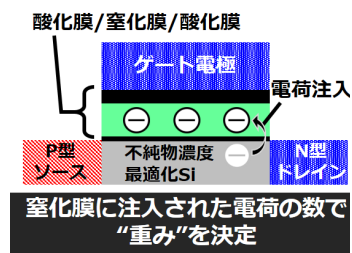


図 2 不揮発性トンネル FET メモリの断面模式図

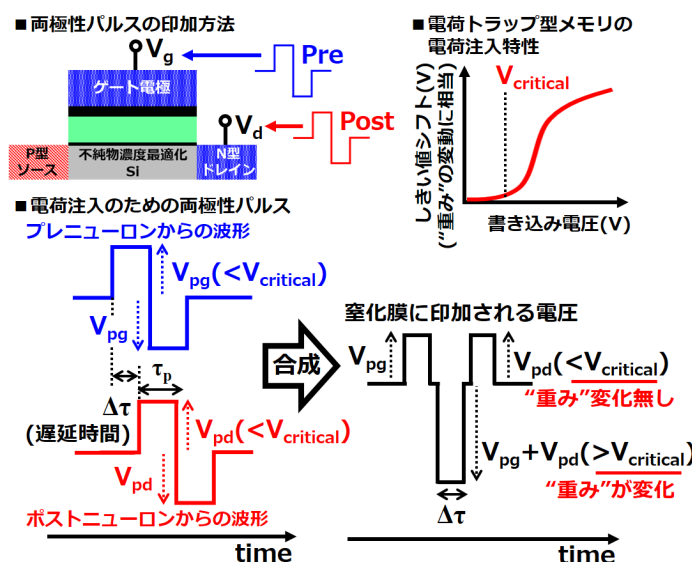


図 3 非対称性 STDP 発現のための両極性パルスとその印加方法

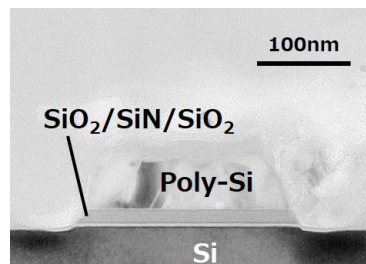


図 4 試作した不揮発性トンネル FET メモリの断面 TEM 像.

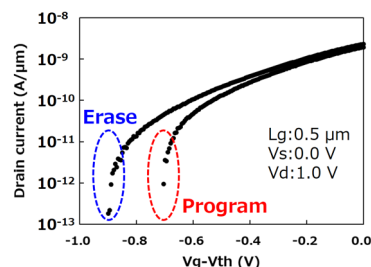


図 5 試作した不揮発性トンネル FET メモリのドレイン電流-ゲート電圧特性.

以上の工程により、本研究で提案する不揮発性トンネルFETメモリを試作した。試作した素子の断面TEM像を図4に示す。

次に、試作した不揮発性トンネルFETメモリのドレイン電流-ゲート電圧特性を図5に示す。まず、図に示すように2種のしきい値が確認できるこれはSiN層に電荷が保持されたことでしきい値が変動しており、“重み”の保持が出来ていることを示している。そして、非常に急峻な立ち上がり特性も確認できる。これはトンネルFET構造に起因した特性であり、目標として掲げた急峻な立ち上がり特性の実現に成功したことを示している。

そして、試作した不揮発性トンネルFETメモリの対称性STDP特性と非対称性STDP特性を図6に示す。図中に示すように、STDPの発現にはシンプルな矩形波、もしくは両極性パルスのみを用いた。図に示すように対称性STDPおよび非対称性STDPの両特性を再現できていることを確認できる。本特性は目標として掲げた特性の一つであり、本試作により目標を達成したことが確認できる。

以上に示す通り、当初掲げた目標は無事に達成できてた。現在は試作した素子の評価をさらに進めている。並行して、これらの素子を用いたSNNの構築を進めている。

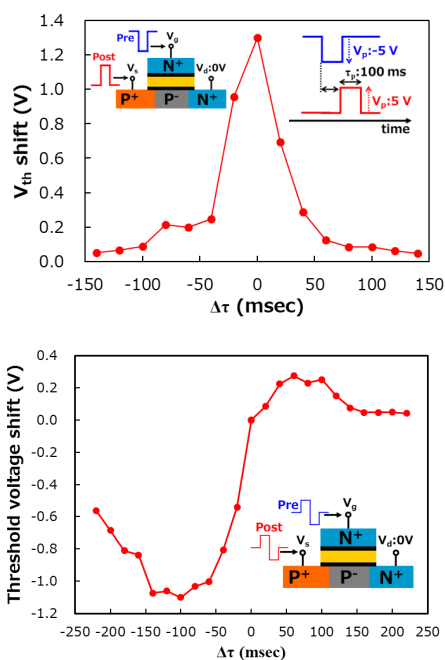


図6 試作した不揮発性トンネルFETメモリの対称性STDP(上)、および非対称性STDP(下)

5. 主な発表論文等

〔雑誌論文〕 計5件（うち査読付論文 5件/うち国際共著 0件/うちオープンアクセス 4件）

1. 著者名 Kino Hisashi、Fukushima Takafumi、Tanaka Tetsu	4. 巻 14
2. 論文標題 High-thermal-stability resistor formed from manganese nitride compound that exhibits the saturation state of the mean free path	5. 発行年 2021年
3. 雑誌名 Applied Physics Express	6. 最初と最後の頁 091003 ~ 091003
掲載論文のDOI（デジタルオブジェクト識別子） 10.35848/1882-0786/ac18b0	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -
1. 著者名 Kino Hisashi、Fukushima Takafumi、Tanaka Tetsu	4. 巻 15
2. 論文標題 Enhancement of carrier mobility in metal-oxide semiconductor field-effect transistors using negative thermal expansion gate electrodes	5. 発行年 2022年
3. 雑誌名 Applied Physics Express	6. 最初と最後の頁 111004 ~ 111004
掲載論文のDOI（デジタルオブジェクト識別子） 10.35848/1882-0786/ac9d24	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -
1. 著者名 Miwa Yuki、Kino Hisashi、Fukushima Takafumi、Tanaka Tetsu	4. 巻 40
2. 論文標題 Electrochemical characterization of ZnO-based transparent materials as recording electrodes for neural probes in optogenetics	5. 発行年 2022年
3. 雑誌名 Journal of Vacuum Science & Technology B	6. 最初と最後の頁 052202 ~ 052202
掲載論文のDOI（デジタルオブジェクト識別子） 10.1116/6.0001836	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -
1. 著者名 Kino Hisashi、Fukushima Takafumi、Tanaka Tetsu	4. 巻 59
2. 論文標題 Symmetric and asymmetric spike-timing-dependent plasticity function realized in a tunnel-field-effect-transistor-based charge-trapping memory	5. 発行年 2020年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 SGGB12 ~ SGGB12
掲載論文のDOI（デジタルオブジェクト識別子） 10.35848/1347-4065/ab6867	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kino Hisashi、Fukushima Takafumi、Tanaka Tetsu	4. 巻 8
2. 論文標題 Generation of STDP With Non-Volatile Tunnel-FET Memory for Large-Scale and Low-Power Spiking Neural Networks	5. 発行年 2020年
3. 雑誌名 IEEE Journal of the Electron Devices Society	6. 最初と最後の頁 1266 ~ 1271
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/JEDS.2020.3025336	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

[学会発表] 計5件 (うち招待講演 0件 / うち国際学会 5件)

1. 発表者名 Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka
2. 発表標題 Development of Manganese Nitride Resistor with Near-Zero Temperature-Coefficient of Resistance to Achieve High-Thermal-Stability ICs
3. 学会等名 2021IEEE International Interconnect Technology Conference, IITC 2021 (国際学会)
4. 発表年 2021年

1. 発表者名 Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka
2. 発表標題 Development of Non-Volatile Tunnel-FET Memory as a Synaptic Device for Low-Power Spiking Neural Networks
3. 学会等名 2020 4th IEEE Electron Devices Technology & Manufacturing Conference (EDTM) (国際学会)
4. 発表年 2020年

1. 発表者名 Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka
2. 発表標題 Developing a Low-Temperature Flip-Chip Bonding Technology with In/Au Microbumps to Suppress the Thermal Load on Spintronics Devices
3. 学会等名 2022 IEEE International Interconnect Technology Conference (IITC) (国際学会)
4. 発表年 2022年

1. 発表者名 Hisashi Kino, Takafumi Fukushima, Tetsu Tanaka
2. 発表標題 Negative-Thermal-Expansion Gate Electrode to Introduce Tensile Strain into the Channel of MOSFETs for Mobility Enhancement
3. 学会等名 2023 7th IEEE Electron Devices Technology & Manufacturing Conference (EDTM) (国際学会)
4. 発表年 2023年

1. 発表者名 Hisashi Kino, Yuki Miwa, Takafumi Fukushima, Tetsu Tanaka
2. 発表標題 Development of Ultrathin-Metal-Capped Transparent Conductive Film Electrode for Optical Biomedical Devices
3. 学会等名 2021 International Conference on Solid State Devices and Materials (国際学会)
4. 発表年 2021年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	田中 徹 (Tanaka Tetsu) (40417382)	東北大学・医工学研究科・教授 (11301)	
研究分担者	福島 誉史 (Fukushima Takafumi) (10374969)	東北大学・工学研究科・准教授 (11301)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8 . 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------