

令和 5 年 6 月 20 日現在

機関番号：13601

研究種目：基盤研究(C)（一般）

研究期間：2020～2022

課題番号：20K04440

研究課題名（和文）高降圧・高電力密度集積ハイブリッド型DC-DCコンバータの研究開発

研究課題名（英文）A research development of high step down ratio, high power density integrated hybrid DC-DC converter

研究代表者

宮地 幸祐（Miyaji, Kousuke）

信州大学・学術研究院工学系・准教授

研究者番号：80635467

交付決定額（研究期間全体）：（直接経費） 3,300,000円

研究成果の概要（和文）：本研究はサーバーや電気自動車システム向けに12Vから48Vといった高いバス電圧から一気に1Vまで降圧を行う高電力密度電源として、容量スイッチトキャパシタ電源とインダクタスイッチング電源を掛け合わせたハイブリッドコンバータの集積回路設計を行い、さらに既存ハイブリッドコンバータに対して負荷変動や入力電圧変動の応答速度を改善する制御手法を確立した。

研究成果の学術的意義や社会的意義

本研究はたくさんの降圧電源を使うことなく1段で12Vから48Vの高いバス電圧から1Vまで高効率に変換可能な高降圧電源を実現し、サーバーや電気自動車内電源など様々なアプリケーションにおいて電源の小型化、高密度化を推進することが可能である。また、効率だけでなく、負荷に接続される電源として重要な負荷変動や入力電圧変動に対しても高い応答性能を示す制御手法まで確立した点で、より高降圧電源の実用化に向けて貢献した。

研究成果の概要（英文）：This research presents high power density hybrid converters that combine switched capacitor and inductive switching power stage for high voltage conversion ratio power conversion targeted for server and electric vehicle applications. Specifically, 24V input 1V output Dual Path Charging Dual Inductor Hybrid (DCP-DIH) converter and 48V input 1V output Parallel-Symmetric DIH (PS-DIH) converter have been proposed to improve the step-up load transient response and line transient response including start-up event. Both converters have been implemented in a high voltage BCD process achieving high voltage conversion ratio, good efficiency from 80 to 85%. The voltage drop during step-up load transient is suppressed by 55 to 57%, and startup time is reduced by 86% compared to the conventional DIH converter.

研究分野：集積電源回路設計

キーワード：集積回路設計 電源回路 DC-DCコンバータ ハイブリッドコンバータ スイッチトキャパシタ

1. 研究開始当初の背景

電気自動車などスペースの限られたシステムや、低電圧で大電流を消費する高度情報処理チップに向けての電源供給システムにおいて、入出力電圧の比(降圧比)が大きく、電力密度の高い降圧 DC-DC コンバータが強く望まれている。高電力密度化にはスイッチング周波数の向上による受動素子の小型化が代表的なアプローチであるが、近年では高降圧化と容量を用いるスイッチトキャパシタ(SC)電源が着目されている。数10倍近い高降圧比が適切に実現できれば中間バス電源システムが不要となるため、システム全体の小型化と高効率化が見込まれるが、通常の2値コンバータでは極低のデューティ比の生成と効率の維持が大変困難である。一方、SC電源は、エネルギー密度がインダクタやトランスの約10倍高いとされる容量素子を使用するため、小型化に適しており、さらにSC回路の段数 N に応じて簡単に入力電圧を $1/(N+1)$ に降圧できる利点がある。しかし、SC電源は容量間電位差がある状態で電荷転送を行うと容量間(特に出力容量とSC回路容量間)をつなぐスイッチで大きな損失が発生する(ハード充電)うえに、この損失を抑えようと容量間電位差を少なくすると1回のスイッチングあたりに転送できる電荷が減って出力電流が下がるため、効率と出力電流を両立できないという欠点がある。また、降圧比が固定で利便性が低いことも欠点である。これらのSC回路の欠点を補うために、降圧比の高いSC回路の後段にインダクタを追加した高降圧、高効率ハイブリッド型コンバータの研究が、急速に注目を浴びている。インダクタを用いることでデューティ比制御による出力電圧調整が可能になり、インダクタの電流源に近い性質により容量間の電荷転送も低損失でできるようになる(ソフト充電)。ハイブリッド型コンバータの研究実施例はディスクリート部品をプリント基板に実装したものが多く、集積回路電源より高出力で高効率だが、多数のトランジスタや容量素子、外部駆動・制御集積回路部品を必要とし、電力密度が低下する要因となっている[1-3]。また、トランジスタの最小サイズも制限されることから高速スイッチング動作にも限度があり、受動素子の小型化の妨げとなる。一方、主回路、駆動・制御回路を含む集積回路で高降圧電源を実現した例は、基本2値コンバータや簡単な3値コンバータが多い。しかし、これらは降圧比が足りず、依然として非常に低いデューティ比の生成が必要で高速スイッチング動作を制限しており、結果として受動部品の小型化が阻害されている。高降圧可能なハイブリッド型コンバータを集積回路で実施した例もごくわずかにあるが、入力電圧が5V以下で出力電力が小さい上に動作周波数も1MHz前後と低く、容量は外付けであるために電力密度が下がる要因となっている[4]。動作周波数が低いのは出力電圧やスイッチングノードをデジタル制御のために監視するAD変換器の変換速度が遅いため、この小電力規模の制御回路にデジタル制御を用いると制御部やAD変換器の消費電力が高く、かえって効率面でも悪い。より規模が大きく、高電圧入力のSC回路を駆動・制御回路とともに高精度低消費電力アナログ集積回路設計技術にて集積回路内に集積できれば、高いスイッチング周波数で小さな受動部品を用いて高降圧動作が実施でき、これまでにない電力密度の大幅な向上が見込めると考えられる。

2. 研究の目的

本研究は当初、高電力密度・高降圧 DC-DC コンバータの実現に向けて、集積ハイブリッド型 DC-DC コンバータの研究開発を行う。具体的には集積回路設計試作を通じて10MHz以上の高スイッチング周波数で12V入力、1.0~1.8V出力、最大1A出力、最大効率80%のコンバータを実装、実証し、制御回路についても実装することを目標としていた。しかし、12~48V入力1~2V出力のハイブリッドデュクソンコンバータの報告が多数登場、活発化したため、24Vおよび48V入力1V・4A前後出力2.5MHz動作のハイブリッドコンバータに目標を変更し、さらにコンバータの負荷およびライン変動に対する応答制御の改善まで行うこととした。

3. 研究の方法

本研究では、高い降圧比、効率、出力電流を実現可能なDual Inductor Hybrid (DIH)コンバータについて着目する[3, 5]。フライングキャパシタ数 N がSC回路の段数に相当し、本回路はさらにインダクタを2つ利用する部分で半分に降圧され、Duty比 D で制御可能であり、これらをまとめて出力電圧は $DV_{IN}/(2(N+1))$ になる。例えば、 $N=5$ かつ $D=0.25$ とすることで降圧比48という極めて大きな値を簡単に得ることが可能である。また、インダクタが2つあるため、2相インダクタを持つ降圧コンバータと同等の出力電流を出せる。このDIHコンバータの集積回路への実装報告例は本研究実施中に数多く登場しており、12V~48Vから1Vへの変換においても90%近い効率が報告されている[6-9]。しかし、既存DIHコンバータは、負荷電流が急増した際の過渡応答性能が制限されるという課題がある。通常の2相降圧コンバータでは負荷が急増すると、二つのインダクタを同時に充電することで、インダクタ電流を負荷電流に素早く追従させて定常状態に復帰しようとするが、従来DIHコンバータではSC回路動作を実現するのに必ず二つのインダクタが必ず交互に充電されるため、定常状態に復帰するまでに時間がかかる。これは特に1Vのような低電圧で動作し、負荷電流が急増するCPUへの電源供給のような用途においては回路システムの動作不良に直結するため、重大な課題である。さらに、入力電圧変動(ライン変動)

においても、DIH コンバータは、フライングキャパシタの充放電のバランスが崩れるために追従性に問題があることが判明している。特に V_{IN} を 0 から目的の電圧までに立ち上げるスタートアップ時における応答性の改善が必要となっている

これらの課題を克服するため、本研究では 2 つの回路を提案した。まず、2020 年度、2021 年度にかけて、負荷急増に対する応答を改善するために Dual Charging Path DIH (DCP-DIH) コンバータを提案した。続いて、負荷変動応答の改善だけでなく、ライン変動応答の改善も可能とする、Parallel Symmetric Dual Inductor Hybrid (PS-DIH) コンバータの提案を 2021 年、2022 年度に行った。それぞれ高耐圧 BCD プロセスにて集積回路設計を行い、試作も実施したため、それぞれについて下記で報告する。

4. 研究成果

(1) Dual Charging Path DIH (DCP-DIH) コンバータ

図 1 に提案する Dickson 型の DCP-DIH コンバータとその動作状態と動作波形を示す。通常の DIH コンバータと違い S_9 と C_{AUX} が追加されており、定常時は通常の DIH コンバータと同様に Phase 1A→B→1A→B という動作を繰り返すが、負荷が上昇した際のみ、Phase X を挟む。Phase X では S_1 と S_9 を同時にオンすることで、図 2 に示すように L_1 と L_2 を同時に充電することが可能であり、負荷応答性能が改善される。2.5MHz 動作 24V 入力 1V 出力提案 DCP-DIH コンバータのフライングキャパシタ以外のパワー段および制御回路図を 0.25um 高電圧 BCD プロセスにて実装した。制御には Type-3 型位相補償の PWM 制御を基本的に使用している。図 3 にチップ写真を示す。図 4 にシミュレーションによる負荷応答結果を示す。負荷を 20mA から 4A まで増やした際、既存 DIH コンバータは出力電圧が 169.1mV 低下したのに対し、提案回路では 75.4mV に抑えることができ、電圧低下を 55.4%抑制することができた。図 5 に効率シミュレーションを示す。最大効率 85.5%を負荷 5A 時に得ることができた。

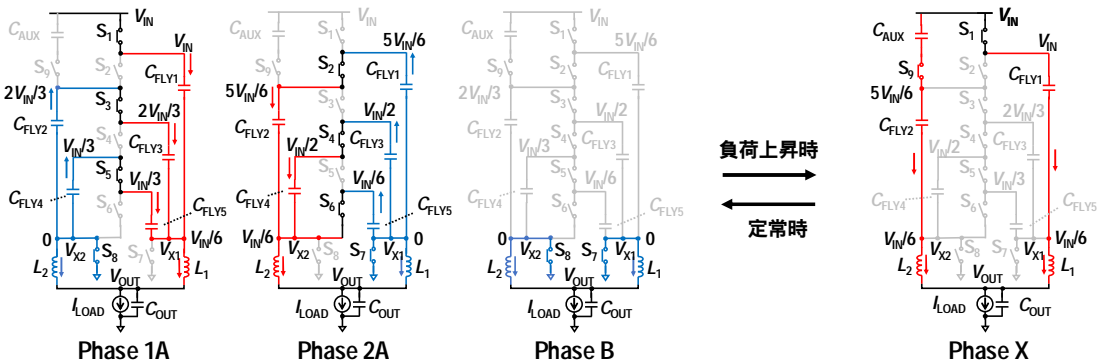


図 1 提案 DCP-DIH コンバータとその動作状態

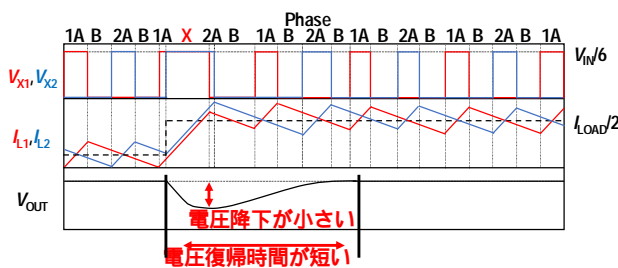


図 2 DCP-DIH コンバータの負荷上昇過渡応答波形

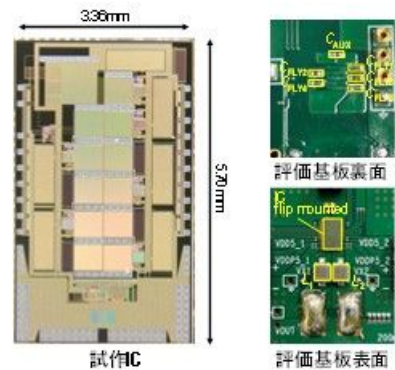


図 3 DCP-DIH コンバータ試作チップ写真

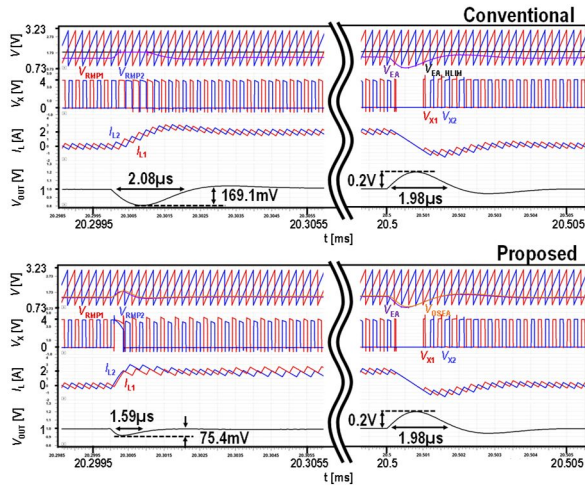


図4 負荷応答シミュレーション (DCP-DIH)

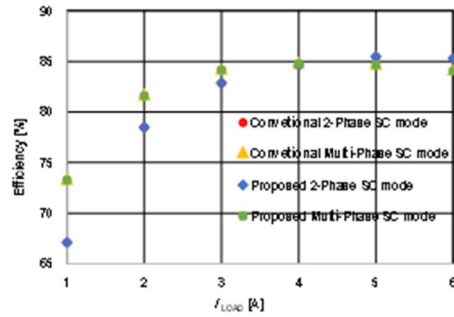


図5 効率シミュレーション (DCP-DIH)

(2) Parallel Symmetric Dual Inductor Hybrid (PS-DIH) コンバータ

先の DCP-DIH は負荷上昇に対する応答の改善は可能であったが、ライン変動に対する応答改善はできなかった。そこで、図6に示す PS-DIH コンバータを提案した。これは Dickson 型 SC 回路をもう1系統追加し、逆相で動作させるものである。2つの SC 回路ブランチの動作が完全に対称であるため、フライングキャパシタが充電されていないスタートアップ時でも全てのフライングキャパシタは均等に充電されていくため、バランスに優れ、ライン変動耐性が向上される。図7に負荷上昇時に両方のインダクタを充電するための状態 Phase Y と、負荷上昇時の応答波形を示す。PS-DIH の場合は追加のスイッチやキャパシタなしに Phase Y を利用することで負荷上昇に対応することが可能である。48V 入力、1V 出力の PS-DIH を試作し、0.18μm 高耐压 BCD プロセスにて実装した。図8に試作チップ写真を示す。図9にライン変動シミュレーション結果を示す。通常の DIH コンバータでは均等にフライングキャパシタ電圧が上がらず、定常状態までに時間がかかっているが、提案 PS-DIH コンバータでは素早く全てのフライングキャパシタが充電されている。その結果、スタートアップ時間は従来よりも 86%短縮することが可能である。また、図10に示すように 20mA から 2A に負荷が上昇した際も、出力電圧は従来 DIH では 70mV 下落するのに対し、提案 PS-DIH は 30mV に抑えることが可能である。最大効率は、図11に示すように負荷 3A 時に 81.5%であった。

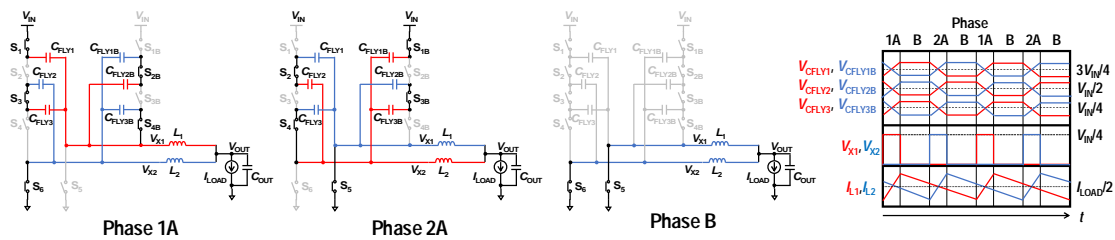


図6 提案 PS-DIH コンバータの動作状態と動作波形

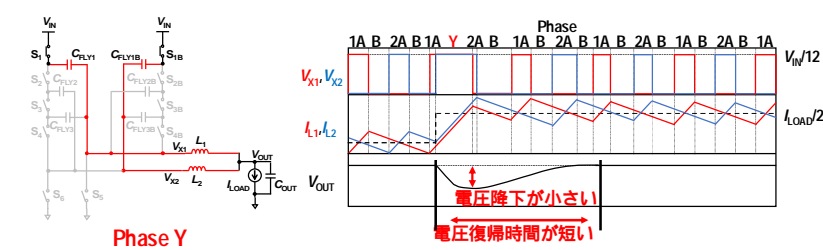


図7 負荷上昇時回路状態と負荷上昇応答波形

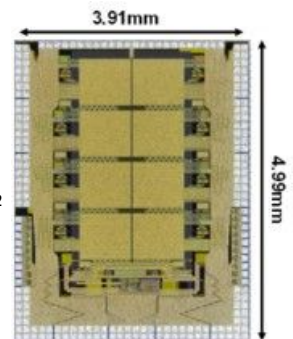


図8 PS-DIH コンバータ
試作チップ写真

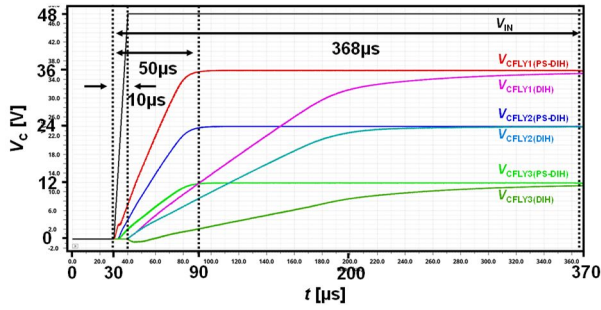


図9 ライン変動シミュレーション

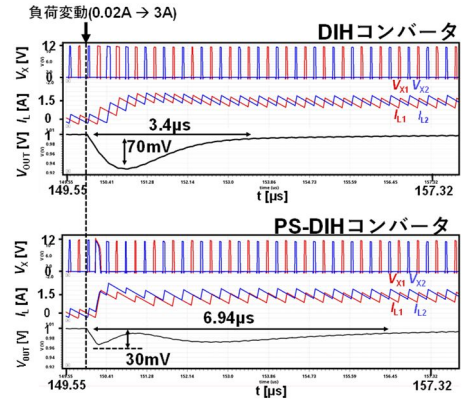


図10 負荷応答シミュレーション (PS-DIH)

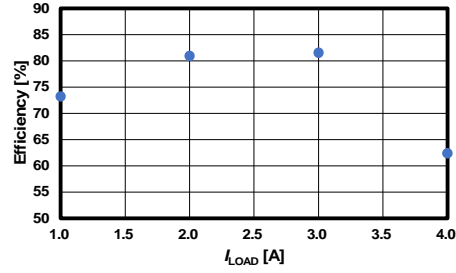


図11 効率シミュレーション (PS-DIH)

<引用文献>

- [1] Y. Lei et al., IEEE TPE, vol. 31, pp. 770-782, 2016.
- [2] G. S. Seo et al., IEEE ECCE, pp.3825-3830, 2018.
- [3] T. Xie et al., IEEE APEC, pp. 1-5, 2019.
- [4] W. C. Liu et al., IEEE ISSCC, pp. 182-183, 2017.
- [5] R. Das et al., IEEE ECCE, pp. 1266-1271, 2018.
- [6] H. Cao et al., IEEE JSSC, vol. 56, pp. 3628-3638, 2021.
- [7] C. Chen et al., IEEE ISSCC, pp. 234-235, 2022.
- [8] J. Yuan et al., IEEE ISSCC, pp. 300-301, 2022.
- [9] T. Hu et al., IEEE ISSCC, pp. 302-303, 2022.

5. 主な発表論文等

〔雑誌論文〕 計1件（うち査読付論文 1件／うち国際共著 0件／うちオープンアクセス 0件）

1. 著者名 Nishijima Kazuya, Umeki Toma, Miyaji Kousuke	4. 巻 62
2. 論文標題 A 24 V to 1 V integrated dual-charging path dual-inductor hybrid converter for improved step-up load transient response	5. 発行年 2023年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 SC1047 ~ SC1047
掲載論文のDOI（デジタルオブジェクト識別子） 10.35848/1347-4065/acb364	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計3件（うち招待講演 0件／うち国際学会 1件）

1. 発表者名 Nishijima Kazuya, Umeki Toma, Miyaji Kousuke
2. 発表標題 A 24V-to-1V On-Chip Switch Dual-Charging Path Dual-Inductor Hybrid Converter Achieving Improved Load Transient Response
3. 学会等名 International Conference on Solid State Devices and Materials (SSDM) (国際学会)
4. 発表年 2022年

1. 発表者名 西島和哉, 梅木亨真, 宮地幸祐
2. 発表標題 24V-to-1V Dual-Inductor Hybrid コンバータにおける補助スイッチを用いた負荷応答性能向上の検討
3. 学会等名 電子情報通信学会 LSIとシステムのワークショップ2022
4. 発表年 2022年

1. 発表者名 宮地幸祐, 西島和哉, 両角光一
2. 発表標題 48V入力1V出力対称並列Dickson型Dual Inductor Hybrid コンバータによるラインおよび負荷変動応答の改善
3. 学会等名 電子情報通信学会 LSIとシステムのワークショップ2023
4. 発表年 2023年

〔図書〕 計0件

〔出願〕 計1件

産業財産権の名称 降圧電源回路	発明者 宮地幸祐、西島和哉、梅木亨真	権利者 同左
産業財産権の種類、番号 特許、特願2022-020302	出願年 2022年	国内・外国の別 国内

〔取得〕 計0件

〔その他〕

信州大学 宮地研究室 ウェブサイト http://www.shinshu-u.ac.jp/faculty/engineering/chair/elec024/ 信州大学 宮地研究室 ウェブサイト http://www.shinshu-u.ac.jp/faculty/engineering/chair/elec024/ 信州大学学術情報オンラインシステムSOAR研究者総覧 宮地幸祐 http://soar-rd.shinshu-u.ac.jp/profile/ja.yenpWFLa.html
--

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------