

令和 5 年 6 月 9 日現在

機関番号：82645

研究種目：基盤研究(C)（一般）

研究期間：2020～2022

課題番号：20K04612

研究課題名（和文）多様なBOX層構造を有するSOIデバイスのシングルイベント現象に関する研究

研究課題名（英文）Degradation mechanism of Single Event tolerance on SOI devices having abnormal BOX layer structure

研究代表者

坂本 敬太（Sakamoto, Keita）

国立研究開発法人宇宙航空研究開発機構・研究開発部門・研究開発員

研究者番号：60867985

交付決定額（研究期間全体）：（直接経費） 3,300,000円

研究成果の概要（和文）：BOX層構造に異常があることに起因したSOI-SRAMチップのシングルイベント耐性劣化の要因を、ナノプローブ測定による電流・電圧特性と半導体デバイスシミュレーションにより明らかにした。ナノプローブ測定の結果、シングルイベント耐性が劣化したサンプルは整流作用があるダイオードが寄生的に作りこまれていた。この寄生ダイオードを介して放射線によってデバイス内部に生成された電子・正孔対の収集量が増加するため、結果としてドレイン電流が大きくなる傾向があることを半導体デバイスシミュレーションで示した。

これらの結果から、BOX層構造の異常に起因する電気的特性および放射線影響への影響を明らかにした。

研究成果の学術的意義や社会的意義

BOX層を有するSOI基板は放射線に対する構造的な利点があることから宇宙用部品の材料として採用され、宇宙用の耐放射線設計と併用して利用されてきたが、BOX層の出来栄によって放射線耐性が悪化する事象があった。本研究の結果、劣化の要因を明らかにすることが出来た。加えて、放射線試験を実施せずに、単純な電気的特性を取得するだけでその劣化要因の有無を識別することが出来ることを示した。

研究成果の概要（英文）：The cause of single event tolerance degradation on an SOI-SRAM device having an abnormal BOX layer structure has been clarified by conducting both nanoprobe measurements and semiconductor device simulation (TCAD). The current-voltage characteristics obtained from nanoprobe measurements have clearly indicated that parasitic diodes, having a rectification characteristic are fabricated at the BOX/Si-substrate interface. Furthermore, the results of TCAD simulation suggests that numerous electron-hole pairs generated in the SRAM device could be collected to the drain contact via the parasitic diode and consequently, the huge drain current flows in the device.

These results imply that simple current-voltage measurement for a BOX layer region can identify the devices, having degradation of single event tolerance.

研究分野：半導体デバイスの放射線影響

キーワード：シングルイベント効果 BOX層 SOI基板

## 様式 C-19、F-19-1、Z-19 (共通)

### 1. 研究開始当初の背景

集積回路(LSI)等の半導体デバイスはロケット・人工衛星等の宇宙機の処理能力を決定づけるものである。LSIはCMOS回路で構成されているが、CMOS回路は宇宙空間に存在する放射線が入射することで誤動作することが知られている。これをシングルイベント現象と呼ぶ。誤動作は、放射線が半導体に入射することによって生じた電子・正孔対が内部電界に従って移動した結果として生じる過渡電流によって発現するため、絶縁層(BOX層)を有するSOI基板を使用することによって頻度を軽減できることが知られている。SOI基板の利点はBOX層を有する点であるが、今日では、微細化によるBOX層の薄膜化に伴ってBOX層が意図せず破壊あるいは除去される不良によりシングルイベント耐性が劣化し、SOI基板にも関わらず放射線環境で誤動作が高頻度で発生することが懸念される。

### 2. 研究の目的

本研究では、BOX層の構造による電子・正孔対の収集メカニズムを解明することを目的とする。これにより電氣的測定(電流-電圧測定)によってシングルイベント耐性を予測するスクリーニング手法の構築と、BOX層構造に依存しないシングルイベント耐性強化設計技術の構築に貢献する。

### 3. 研究の方法

#### (a) BOX層構造の異なる領域の識別

製造プロセスのばらつきを利用してチップ内部でBOX層構造にばらつきを持たせたSRAMチップを準備し、当該チップに対してパルスレーザ照射試験を実施してSRAMビットセル毎の反転断面積を取得する。反転断面積は放射線に感応する領域のことであり、放射線耐性を決定づけるパラメータの1つである。続いて反転断面積が大きいセルの断面観察を実施して、放射線耐性とBOX層構造との関連性を見極める。

#### (b) 電氣的特性の取得

パルスレーザ照射で取得した反転断面積の異なるセルが密集する領域の金属配線層を除去してトランジスタ層をむき出しにし、ナノプローブ測定を実施してBOX層の電流電圧特性を取得する。得られた電流電圧特性のデータと反転断面積との結果とを突き合わせることで、放射線耐性と電氣的特性との相関関係の情報を取得する。

#### (c) シミュレーションを用いたメカニズム解明

取得した断面観察結果および電氣的特性の情報を半導体デバイスシミュレータ(TCAD)にて再現し、電氣的特性と放射線耐性とを同時に再現可能なデバイス構造を構築する。これにより、BOX層異常が発生した場合のトランジスタ領域の構造に関する知見を獲得する。その後、構築したデバイス構造に対して放射線照射シミュレーションを実施し、BOX層構造に異常がある場合の電子・正孔収集過程に関する知見を得る。

### 4. 研究成果

#### (a) BOX層構造の異なる領域の識別

BOX層構造の異なるSRAMチップに対してPULSCAN製のパルスレーザ照射装置[1]を用いて照射試験を実施し、SRAMチップ内部のビットセルの反転断面積を取得した。パルスレーザ照射試験のコンフィギュレーションを図1にそれぞれ示す。1500 pJ/パルスのシングルフォトンのパルスレーザを100倍のレンズを通してチップ裏面から垂直に照射した。我々の試験系では100倍のレンズにレーザを通して半値幅で直径を約1.5 μmに絞ることが可能である。このため、スキヤニングのステップを0.2 μmとして、照射位置をオーバーラップさせながらSRAMビットセル上の100 μm角の領域をスキヤンした。パルスレーザ照射試験の手順は次に示す通りとした。

(1) SRAMに初期値を書き込む(A11 0 または A11 1)

(2) 1500 pJのパルスレーザをチップ裏面から1回照射

(3) SRAMの値を読み込み、エラーが発生したビットセルを記録

(4) 上記(1)から(3)の手順を、照射位置を0.2 μmずつ移動させながら繰り返し実施

パルスレーザ照射試験の結果を図2に示す。図2の縦軸に示している“Error locations”は、エラーが発生した照射位置の合計数である。すなわち縦軸が大きいビットセルであるほど、反転断面積が大きいセルと言い換えることができる。試験の結果、Error locationsの数値にはばらつきがみられた。これより、製造ばらつきに起因して異なる反転断面積のSRAMビットセルが同一チップ上に形成されていることを確認できた。反転断面積が小さいセルでは0回(エラー無し)、大きいセルでは50から100回程度と、大きくばらつく結果となった。また、得られた反転断面積の大小関係は書き込み値に大きく依存しない結果となった。これは、SRAMビットセルが2対のインバータ回路をループさせた構成で値を保持する回路機構であることから、保持データが変わったとしてもインバータの状態が左右で入れ替わるだけであるためと考えられる。

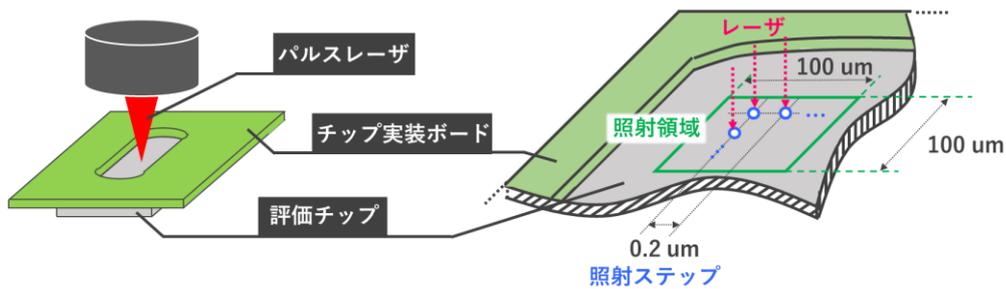


図 1 パルスレーザ照射試験のコンフィギュレーション

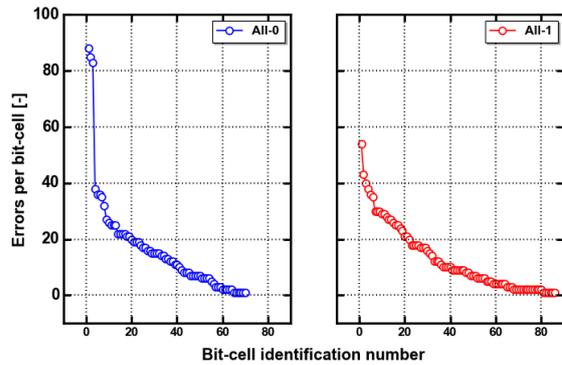


図 2 パルスレーザ照射試験結果

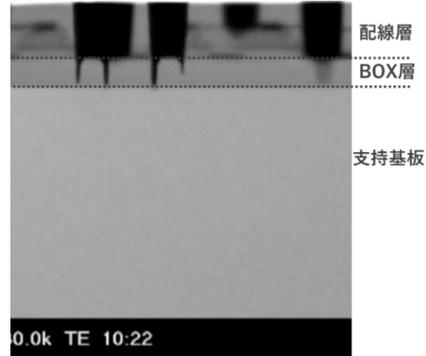


図 3 BOX 層異常個所の TEM 像

次にパルスレーザ照射試験で取得したこれらのビットセルの内、エラー発生回数が比較的高めのセルを選別して断面観察を実施した。断面観察結果を図 3 に示す。断面観察の結果、高いエラー発生回数を得られたビットセル近傍の BOX 層では、一部の領域において製造中に意図せず開口が発生しており、コンタクトプラグが支持基板にまで到達していることが明らかとなった。この断面観察の結果から、BOX 層の消失が反転断面積の増加に影響していることが分かった。

#### (b) 電気的特性の取得

断面観察と並行して、パルスレーザ照射試験でエラーが観測されビットセル近傍の領域を除膜加工してナノプローブ測定を実施した。BOX 層の上下方向に電圧を印加して電流電圧特性を測定した。測定結果を図 4 (赤線) に示す。今回実施した測定電圧の範囲であった場合、BOX 層が正常であれば電流は流れないはずであるが、図に示す通り電圧印加により電流が増加することが確認された。また電流値は正電圧を印加した場合の方が負電圧を印加した場合と比較して大きいことから、整流作用を持っていることを確認した。この結果から、BOX 層異常が発生した箇所においてダイオードが形成されていることを明らかにした。

#### (c) シミュレーションを用いたメカニズム解明

最後に、取得した断面観察像と電気的特性とを合わせこむよう、半導体デバイスシミュレーション(TCAD)で体系を構築した。構築した体系で実施した電気的特性のシミュレーション結果を図 4 (青線) に示す。電気的特性で整流作用を再現するためにコンタクトプラグ下部にダイオードを接続する構成とした。TCAD 体系に対して放射線入射のシミュレーションを実施した結果を図 5 に示す。 $t=1 \times 10^{-12}$  s から放射線照射を模擬した電荷をデバイス内部に付与した。BOX 層異

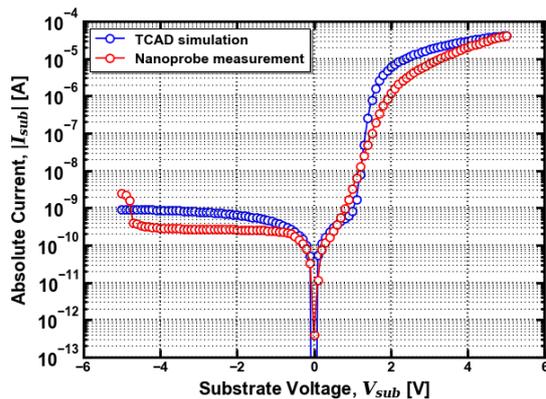


図 4 BOX 層の上下方向の電流電圧特性

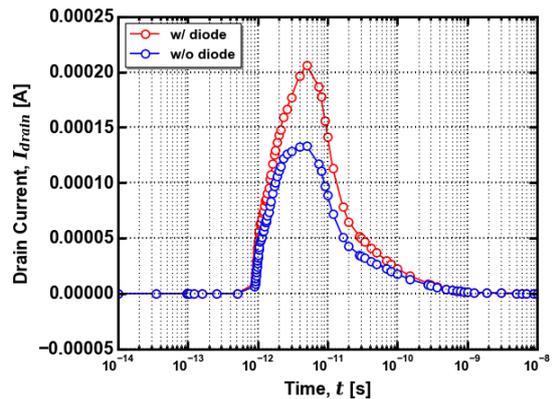


図 5 放射線照射シミュレーション結果

常を再現した体系の結果を赤線・BOX 層異常が無い場合の結果を青線で示した。両者ともにデバイス内部に蓄積した電荷がドレイン端で収集された結果としてドレイン電流が過渡的に上昇することが確認できたが、最大到達電流値は、BOX 層に異常がある構造の方が約 2 倍程度大きく、BOX 層構造の差異によって放射線耐性が変化することを示すことが出来た。

<引用文献>

[1] パルスレーザー照射装置 (<https://www.pulscan.com/pages/pulsys.php>)

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計0件

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	竹内 浩造  (Takeuchi Kozo)  (00870255)	国立研究開発法人宇宙航空研究開発機構・研究開発部門・研究開発員   (82645)	
研究分担者	新藤 浩之  (Shindou Hiroyuki)  (90870254)	国立研究開発法人宇宙航空研究開発機構・研究開発部門・主幹研究開発員   (82645)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関