

令和 5 年 5 月 29 日現在

機関番号：11101

研究種目：基盤研究(C)（一般）

研究期間：2020～2022

課題番号：20K11724

研究課題名（和文）世界自然遺産に設置するための気象・地象・生態系センサノードの開発

研究課題名（英文）Development of weather, terrain, and ecosystem sensor nodes for installation at World Natural Heritage

研究代表者

金本 俊幾 (Kanamoto, Toshiki)

弘前大学・理工学研究科・教授

研究者番号：30782750

交付決定額（研究期間全体）：（直接経費） 3,300,000円

研究成果の概要（和文）：パイプラインを使わずにプロセッサのエネルギー効率を上げるため、データメモリを非同期的に動作させることで一連の処理を1クロックで実行する1ステージ構成とし、180nm CMOSプロセスのASICを試作。さらにバックゲートバイアス電位も可変とする65nm SOTBプロセスへのポーティングを行い、低消費エネルギー動作を実現する電源電圧およびバックゲート電位の探索に供した。また、薄膜BOX構造SOI集積回路上に形成あるいは配置可能で、かつnFオーダーの容量値を確保できる有効な容量素子をデバイス解析、回路解析、数値解析およびTEG(Test Element Group)の実測を通して明らかにした。

研究成果の学術的意義や社会的意義

従来、集積回路の電源網設計においては、電源ノイズの低減をはかるために配置される容量素子には、主にシリコン基板内部の接合容量やMOS容量素子が用いられてきた。本研究においては、最上層配線、およびさらにその上に形成可能な再配線層に着目し、これらに容量素子を配置することで総容量を増加し、低電源電圧下においてもプロセッサの安定した動作を実現することができることを示した。本研究の手法は、将来のグラフェントランジスタなど低電源電圧動作の半導体集積回路、およびそれらを搭載するシステムにも広く応用することが可能であり、波及効果を有する。また、本研究はメンテナンス不要なセンサノードの実現に貢献する。

研究成果の概要（英文）：In order to increase the energy efficiency of a micro processor without using a pipeline, a 180nm CMOS process ASIC has been prototyped with a single stage configuration that executes a series of processes in one clock by operating the data memory asynchronously. In addition, we ported to 65nm SOTB process with variable back gate bias voltage, and searched for power supply voltage and back gate voltage to realize low energy consumption operation. In addition, through device analysis, circuit analysis, numerical analysis, and TEG (Test Element Group) measurements, we clarified nF-order capacitance that can be formed or placed on thin-film BOX SOI integrated circuits.

研究分野：半導体集積回路および組み込みシステム

キーワード：センサノード エナジーハーベスティング 低消費エネルギー 低電圧動作 ノイズ耐性

様式 C - 19、F - 19 - 1、Z - 19 (共通)

1. 研究開始当初の背景

白神山地など世界自然遺産の核心地域においては、気象・水象・地象の基礎的環境や、動植物フェノロジー(季節変化)の観測を目的とするセンサノードの需要が高く、積雪厳寒期においても安定した低消費エネルギー動作を行い、メンテナンスを不要とすることが期待されている。センサノードの中で消費エネルギーの多くを占める半導体集積回路(LSI)では、信号伝搬遅延時間と動的消費エネルギーを低減するため、要素となるトランジスタのゲート寸法微細化とともに電源電圧を低下させてきた。さらに、バックゲート(基板)電位を調節し、トランジスタのゲートしきい値電圧を変化させることができる薄膜 BOX 構造 SOI の集積回路を用いることにより、電源電圧を 0.5V 近辺とし、室温で 5 μ W 程度の低消費エネルギー動作の実現が可能となっていた。

2. 研究の目的

LSI は低消費電力化のため電源電圧を低下させてきた。しかしながら、許容される電源電圧変動量の低下、すなわちノイズ耐性の低下が問題となっている(図1)。本研究の目的は、集積回路の低消費エネルギー動作を安定させ、厳寒期においてもメンテナンスが不要な気象・地象・生態系モニタリングを可能にするセンサノードを実現することである。具体的には、低消費エネルギーを実現する集積回路(マイクロプロセッサ)の構成、電源電圧条件のもと、電源ノイズの影響を低減する電源網を構築することにより、安定した動作を実現することを目的とする。

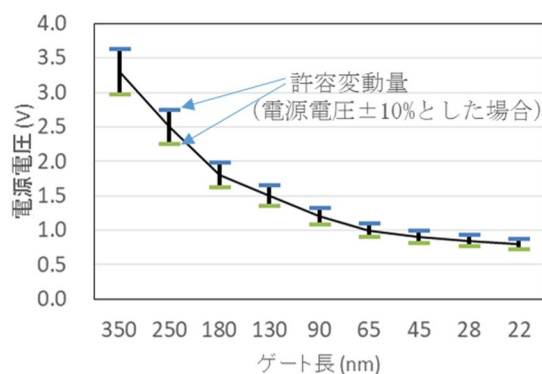


図1 LSIの微細化に伴う電源電圧と許容変動量の推移

3. 研究の方法

本研究では、目的達成のため以下の(1)から(3)の順に解明を進める。

(1)センサノード向け集積回路に要求される機能や供給可能エネルギーなどの動作条件 FPGA(Field-Programmable Gate Array)などの再構成可能デバイスを用いてセンサノードのプロトタイピングを行い、モニタリングに必要な集積回路の機能および性能を明らかにする。得られた集積回路の機能記述は(2)、(3)で用いる。また、対象フィールドに設置可能な環境発電手段について現地調査を行い、供給可能なエネルギー量を明らかにする。

(2)薄膜 BOX 構造 SOI 集積回路の低消費エネルギー動作における電圧条件 薄膜 BOX 構造 SOI 集積回路を用いて(1)で求めた機能および性能を供給可能なエネルギー量で実現するため、集積回路に印加すべき電源電圧、バックゲート電位、および許容電源電圧変動量を明らかにする。電源電圧およびバックゲート電位の探索については、対象フィールドの環境温度も考慮した回路解析、数値解析を行い、最適化手法を用いて最適条件の探索を行う。センサの出力部分を含む回路の感度解析により許容電源電圧変動量を求め、要素回路の電源端子から見込むインピーダンスの上限を明らかにする。

(3)電源電圧変動量を許容内にするオンチップ電源網回路の構成および回路定数決定法 薄膜 BOX 構造 SOI(図2)集積回路上に形成あるいは配置可能で、かつ nF オーダーの容量値を確保できる有効な容量素子をデバイス解析、回路解析、数値解析および TEG(Test Element Group、TEG1)の実測を通して明らかにする。(1)で得られた機能記述をもとに要素回路の配置を行い、電源網幹線を生成して有効と判明した容量素子を接続する。オンチップ電源網の回路解析および最適化手法を用い、各要素回路から見込んだ電源網のインピーダンスを(2)で求めた上限以内に収める電源網回路の構造を明らかにする。得られた電源網は集積回路 TEG(TEG2)に実装しセンサノードを構成し、フィールド検証を行う。



図2 薄型BOX-SOIトランジスタの断面構造

4. 研究成果

(1) 低消費エネルギーを実現するマイクロプロセッサの構成

マイクロプロセッサのエネルギー効率を向上させることが、デバイス全体のエネルギーを大幅に削減することにつながる。プロセッサのエネルギー効率を向上させる従来の方法は、パイプラインを導入し並列処理を行うことである。しかし、パイプラインの問題点として、条件分岐や割り込み処理がある場合に実行中の処理を破棄し処理をやり直さなくてはならず、結果的に無

駄な処理が発生することで処理効率が低下してしまうことが挙げられる。

そこで本研究ではパイプラインを使わずにプロセッサのエネルギー効率を上げるため、データメモリを非同期的に動作させることで一連の処理を1クロックで実行する1ステージ構成のプロセッサとした。これにより、条件分岐等が発生しても無駄な処理が増えず、パイプラインを超える高い処理効率が期待できる。この1ステージプロセッサをFPGA(Field Programmable Gate Array)ボード上に実装し、実用例としてパルスオキシメータへの応用を行った。さらに、電源電圧を可変とするため、180nm CMOS プロセスのASIC(Application Specific Integrated Circuit)への実装も行った。さらに、バックゲートバイアス電位も可変とする65nm SOTB プロセスへのオーテイングを行った。

マイクロプロセッサの構成と試作の内容については、以下の2件の国際会議[1][2]および1件の研究会[3]で発表した。

[1]Kan Hatakeyama, Masami Fukushima, Koichi Kitagishi, Seijin Nakayama, Hideki Ishihara, Masashi Imai, Atsushi Kurokawa, and Toshiki Kanamoto, "Energy efficient RISC-V processor for portable sensor applications," Proc. of the Workshop on Synthesis And System Integration of Mixed Information technologies (SASIMI), pp.181-184, Mar. 2021.

[2]Toshiki Kanamoto, Kan Hatakeyama, Seria Kasai, Masashi Imai, Atsushi Kurokawa, Masami Fukushima, Koichi Kitagishi, Seijin Nakayama, Hideki Ishihara, "An Energy Efficient Processor Applicable to Continuous SP02 Monitoring," Proc. of the IEEE Global Conference on Consumer Electronics (GCCE), pp.1-2, Oct. 2021.

[3]葛西瀬梨亜, 畠山寛, 今井雅, 黒川敦, 金本俊幾, "低消費エネルギープロセッサの SoC 物理設計," 情報処理学会東北支部研究報告, Vol.2021-6, No.5-3, Feb., 2022.

(2) 薄膜 BOX 構造 SOI 集積回路の低消費エネルギー動作における電圧条件

薄膜 BOX 構造 SOI 集積回路を用いてセンサノードに要する機能および性能を供給可能なエネルギー量で実現するため、集積回路に印加すべき電源電圧、バックゲート電位、および許容電源電圧変動量を求める。低消費エネルギー動作を実現する電源電圧およびバックゲート電位の探索については対象フィールドの環境温度も考慮した回路解析、数値解析を行い、最適化手法を用いて最適条件の探索を行う。この手順を1件の研究会[4]で発表した。

[4] 葛西瀬梨亜, 石田大和, 金本俊幾, "世界自然遺産に設置するための気象・地象・生態系センサノードの開発," 弘前大学白神研究会研究報告会, pp.1-1, April, 2023.

(3) 電源電圧変動量を許容内にするオンチップ電源網回路の構成

薄膜 BOX 構造 SOI 集積回路上に形成あるいは配置可能で、かつ nF オーダーの容量値を確保できる有効な容量素子をデバイス解析、回路解析、数値解析および TEG(Test Element Group)の実測を通して明らかにした。提案する新規容量素子は理想的には集積回路上の再配線層に形成する(図3)。これによる効果をシミュレーションにより確認し、英文論文誌で発表した[4]。また、現時点で薄膜 BOX 構造 SOI 集積回路上に形成可能で、かつ同様な電気特性を有するインターデジタル容量素子を薄膜 BOX 構造 SOI 集積回路 TEG 上に形成し電源ノイズ低減効果を確認。4 件の国内の学会、研究会で発表した[5]-[8]。

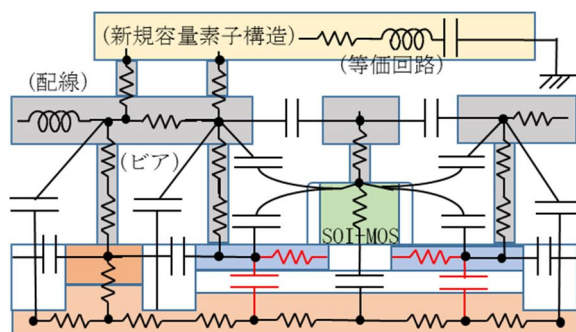


図3 薄型BOX-SOI集積回路の断面構造と寄生素子

[5]Toshiki Kanamoto, Koki Kasai, Kan Hatakeyama, Atsushi Kurokawa, Tomoyuki Nagase, and Masashi Imai, "A simple yet precise capacitance estimation method for on-chip power delivery network towards EMC analysis," IEICE Electronics Express, 2020, 17 巻 4 号, p.20200198, July 2020.

[6]岡巧, 黒川敦, 今井雅, 金本俊幾, "LSI・パッケージ・ボード協調設計に向けたオンチップインピーダンス抽出," 情報処理学会東北支部研究報告, Vol.2020-6, No.1-4, Feb., 2021.

[7]岡巧, 葛西瀬梨亜, 石田大和, 佐野文也, 今井雅, 金本俊幾, "パターン密度均一化に貢献するオンチップデカップリング容量セルの提案," DA シンポジウム 2022, pp.207-211, Sep., 2022.

[8]石田大和, 宗形恒夫, 松村哲哉, 金本俊幾, "オンチップデカップリング容量の最適化と評価方法の提案," 情報処理学会東北支部研究報告, Vol.2022-7, No.5-5, Feb., 2023.

5. 主な発表論文等

〔雑誌論文〕 計1件（うち査読付論文 1件/うち国際共著 0件/うちオープンアクセス 1件）

1. 著者名 Toshiki Kanamoto, Koki Kasai, Kan Hatakeyama, Atsushi Kurokawa, Tomoyuki Nagase, Masashi Imai,	4. 巻 17巻24号
2. 論文標題 A simple yet precise capacitance estimation method for on-chip power delivery network towards EMC analysis	5. 発行年 2020年
3. 雑誌名 IEICE Electronics Express	6. 最初と最後の頁 20200198
掲載論文のDOI（デジタルオブジェクト識別子） 10.1587/elex.17.20200198	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

〔学会発表〕 計7件（うち招待講演 0件/うち国際学会 2件）

1. 発表者名 岡巧,黒川敦,今井雅,金本俊幾
2. 発表標題 LSI・パッケージ・ボード協調設計に向けたオンチップインピーダンス抽出
3. 学会等名 令和3年度 情報処理学会東北支部研究会
4. 発表年 2021年

1. 発表者名 岡巧,葛西瀬梨亜,石田大和,佐野文也,今井雅,金本俊幾
2. 発表標題 パターン密度均一化に貢献するオンチップデカップリング容量セルの提案
3. 学会等名 DAシンポジウム2022
4. 発表年 2022年

1. 発表者名 石田大和,宗形恒夫,松村哲哉,金本俊幾
2. 発表標題 オンチップデカップリング容量の最適化と評価方法の提案
3. 学会等名 令和3年度 情報処理学会東北支部研究会
4. 発表年 2022年

1. 発表者名 葛西瀬梨亜, 石田大和, 金本俊幾
2. 発表標題 世界自然遺産に設置するための気象・地象・生態系センサノードの開発
3. 学会等名 弘前大学白神研究会研究報告会
4. 発表年 2023年

1. 発表者名 Hatakeyama Kan, Kasai Seria, Imai Masashi, Kurokawa Atsushi, Kanamoto Toshiki, Fukushima Masami, Kitagishi Koichi, Nakayama Seijin, Ishihara Hideki
2. 発表標題 An Energy Efficient Processor Applicable to Continuous SP02 Monitoring
3. 学会等名 2021 IEEE 10th Global Conference on Consumer Electronics (GCCE) (国際学会)
4. 発表年 2021年

1. 発表者名 葛西瀬梨亜, 畠山寛, 今井雅, 黒川敦, 金本俊幾
2. 発表標題 低消費エネルギープロセッサのSoC物理設計
3. 学会等名 令和3年度 情報処理学会東北支部研究会
4. 発表年 2022年

1. 発表者名 Kan Hatakeyama, Masami Fukushima, Koichi Kitagishi, Seijin Nakayama, Hideki Ishihara, Masashi Imai, Atsushi Kurokawa, Toshiki Kanamoto
2. 発表標題 Energy efficient RISC-V processor for portable sensor applications
3. 学会等名 Workshop on Synthesis And System Integration of Mixed Information technologies (国際学会)
4. 発表年 2021年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

弘前大学 大学院理工学研究科・理工学部電子情報工学科 金本 俊幾 研究室 研究業績
<https://www.eit.hirosaki-u.ac.jp/~kana/profile.html>
弘前大学 大学院理工学研究科・理工学部電子情報工学科 金本 俊幾 研究室
<https://www.eit.hirosaki-u.ac.jp/~kana/>

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究 分 担 者	石川 幸男 (Ishikawa Yukio) (80193291)	弘前大学・農学生命科学部・教授 (11101)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------