

令和 5 年 5 月 26 日現在

機関番号：21602

研究種目：基盤研究(C) (一般)

研究期間：2020～2022

課題番号：20K11725

研究課題名(和文) 不揮発FPGAのための最適設計アルゴリズムとCADツールの実装

研究課題名(英文) Optimization algorithm for nonvolatile FPGA and its CAD tool implementation

研究代表者

鈴木 大輔 (Daisuke, Suzuki)

会津大学・コンピュータ理工学部・准教授

研究者番号：00574675

交付決定額(研究期間全体)：(直接経費) 3,300,000円

研究成果の概要(和文)：Field-Programmable Gate Array (FPGA)は様々なニーズに柔軟に対処可能な半導体集積回路として、研究から産業の様々な分野で幅広く活用されているが、一方で従来のFPGAでは待機時のデータ保持における電力消費、すなわち待機電力が問題となっている。このような観点から不揮発メモリにデータを保持することで待機時に電源をオフ、待機電力消費をゼロにする不揮発FPGAの開発が進んでいる。本研究課題では、このような不揮発FPGAのエネルギー効率を引き出すためのより効果的なハードウェア資源の活用方法とそのCADツール実装、ならびに機能検証のための環境構築を行った。

研究成果の学術的意義や社会的意義

不揮発FPGAは従来のFPGAに代わる新たなハードウェア・プラットフォームとしてその研究開発が進められているが、単に記憶機能を不揮発に置き換えただけでは本来の性能は引き出せない。本研究はこのような観点から勧められたものであり、不揮発FPGA向けハードウェア資源の最適化、電源のオン/オフのスケジューリング手法、CADツール実装や機能検証のための環境構築などに関する知見は、新たなハードウェア設計論を切り拓くという意味で学術的意義を有する。またこれらの知見により不揮発FPGAの実用化が進むことで、高度な情報処理をより少ないエネルギー消費で実現できることが期待される。

研究成果の概要(英文)：A field-programmable gate array (FPGA) is widely used in varieties of applications as owing to its flexible architecture. However, standby power which is consumed in the idle state to keep internal data has become a critical issue in the conventional FPGA. A nonvolatile FPGA where data is retained in a nonvolatile device with no power supply is one promising solution. In this research, optimization method of the hardware resource utilization and its CAD tool implementation, establishment of an environment for functional verification are performed for enhancing energy efficiency of the nonvolatile FPGA.

研究分野：計算機

キーワード：半導体集積回路 FPGA 論理回路 CAD デジタル回路 論理回路 電子回路

様式 C - 19、F - 19 - 1、Z - 19 (共通)

1. 研究開始当初の背景

内部の Lookup Table (LUT)回路に論理演算情報と配線ブロックに配線構造情報を書き込むことで任意の論理演算回路を実現可能な Field-Programmable Gate Array(FPGA)は、その柔軟性と開発期間の短さなどから産業から研究の幅広い分野で活用されており、今後その応用範囲が更に広まることが期待される。このような FPGA 普及の背景にはトランジスタの微細化による集積度の飛躍的向上が挙げられる。その一方で微細化は待機時に消費される電力、すなわち待機電力の増大を招くこととなる。従来の FPGA においては記憶素子が揮発であり、電源供給を停止すると全ての情報が失われてしまう。そのため稼働中は電源供給が必要であり、従って常時待機電力を消費してしまう。また論理演算情報と配置構造情報は電源再投入時に書き戻す必要があるため、それに伴う時間及び電力のオーバーヘッドも生じてしまう。上記従来の FPGA が抱える問題を根本的に解決可能なのが不揮発 FPGA である (図 1)。不揮発 FPGA では電源オフ状態でも内部情報が全て不揮発メモリ素子に保持されるため、電源供給のオン/オフが容易であり、この特長を活用することで非稼働時の待機電力を大幅に削減可能である。このような背景から近年、種々の不揮発メモリ素子を用いた不揮発 FPGA の研究が活発に進められている。

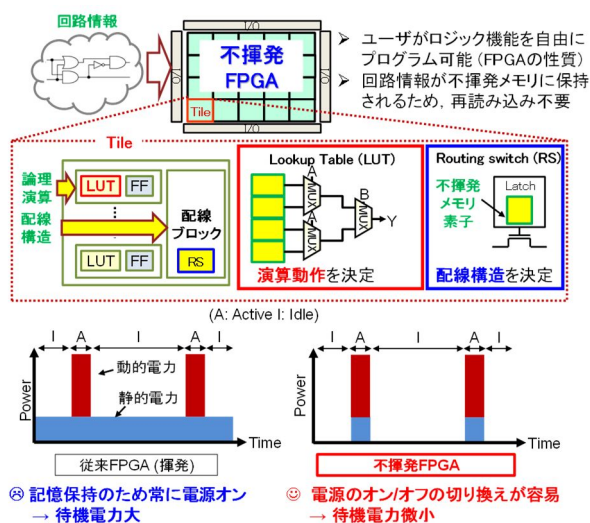


図 1: 不揮発 FPGA

一方、これまでの不揮発 FPGA の研究は不揮発メモリ素子を使ってどのように回路やアーキテクチャを実現するか主に主眼が置かれていた。そして実際に論理演算回路を実装するため、そしてその回路構造の最適化に必要な Computer-Aided Design (CAD) ツールについては従来の揮発ベース FPGA の CAD ツールをそのまま流用したものに留まっており、不揮発 FPGA の有するポテンシャルを十分に発揮できるものにはなっていない。従って不揮発 FPGA の特徴に合わせた最適設計アルゴリズム及び CAD ツール実装が急務である。

2. 研究の目的

本研究ではまず任意の不揮発 FPGA に対応可能な基本 CAD フロー構築を行う。不揮発 FPGA の設計には「不揮発 FPGA そのものの設計」と「不揮発 FPGA 上に実装する回路の設計」あり、それぞれについて環境構築を行う。次に構築した CAD フローにおいて、実装対象の論理演算回路のエネルギー効率や面積効率を最大限にするための不揮発 FPGA 最適設計アルゴリズムを実現し、その CAD ツール実装を行うことが目的である。

3. 研究の方法

「不揮発 FPGA そのものの設計」については標準の CAD ツールをベースに行い、「不揮発 FPGA 上に実装する回路の設計」についてはカナダ・トロント大学が公開しているオープンソースの FPGA CAD ツールとして Verilog-to-Routing (VTR)を用いた。VTR はセルライブラリに定義された FPGA 上に論理演算回路を実装した場合の配置配線情報や回路規模、遅延時間、消費電力を出力可能なツールである。このツールを基に、不揮発 FPGA 上に所望に回路を最適に実装するための CAD フロー構築を行った。

4. 研究成果

不揮発 FPGA 上に実際に論理演算回路を実装するための論理演算情報や配線構造情報、そして実装時の遅延時間や消費電力などのデータを得るためには、不揮発 FPGA を構成する各種基本コンポーネントの論理動作、遅延時間や消費電力などをデータベース化したセルライブラリの構築と基本コンポーネントの論理動作を記述した HDL (Hardware Description Language) コードが必須である。そこでまず不揮発 FPGA の各種基本コンポーネント回路を計算機上で設計、ライブラリの構築を行った。このライブラリと HDL コード、および論理合成・配置配線ツールを用いることで自動レイアウト生成が可能となった。また不揮発 FPGA 特有の動作を加味した論理動作モデルを作成することで、不揮発 FPGA の論理機能を回路シミュレーションにより検証できるようになった。

次に不揮発 FPGA 上に回路を実装するための CAD 構築を行った。基本的なフローは VTR をベースとし、独自のプログラムを追加したものであるが、VTR では不揮発 FPGA コンポーネントの構造に対応できるようにした。また不揮発 FPGA の機能検証を実機ベースで行うため、市販の FPGA ボードでハードウェアエミュレーションを行った。このボード上で不揮発メモリはレジスタと組合せ回路により仮想的に実装されており、バックアップやリストアといった不揮発ロジック回路特有の動作を模擬可能としている。

実際に不揮発 FPGA を動作させる上では、回路規模、動作周波数、稼働時間、および不揮発メモリ素子の特性に応じて最適な電源オフの期間が変化する。そこで不揮発 FPGA におけるパワーゲーティングの最適スケジューリングについて、人工知能アルゴリズムの典型例である 2 値畳込みニューラルネットワークを例題に検討を行った。その結果として従来の揮発ベース FPGA と比較して、MNIST データセットを用いた推論において 66.5% のエネルギー削減が可能なることを明らかにし、また最適スケジューリングのためのツール実装に向けての知見を得た。

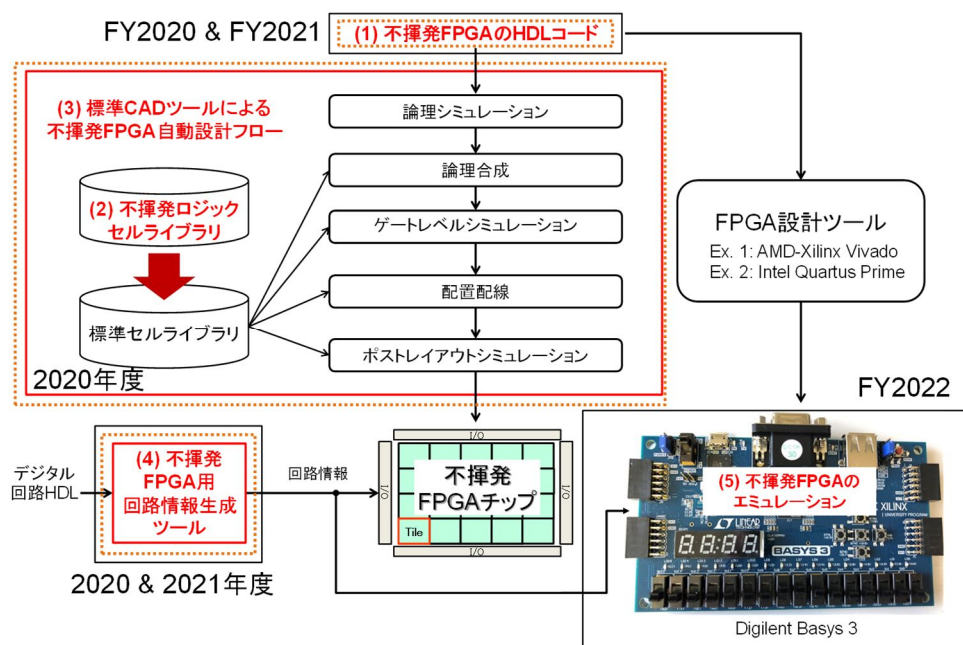


図 2: 研究の全体図

5. 主な発表論文等

〔雑誌論文〕 計3件（うち査読付論文 3件 / うち国際共著 0件 / うちオープンアクセス 1件）

1. 著者名 SUZUKI Daisuke, OKA Takahiro, HANYU Takahiro	4. 巻 61
2. 論文標題 Design of an active-load-localized single-ended nonvolatile lookup-table circuit for energy-efficient binary-convolutional-neural-network accelerator	5. 発行年 2022年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 SC1083 ~ SC1083
掲載論文のDOI（デジタルオブジェクト識別子） 10.35848/1347-4065/ac51bf	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 SUZUKI Daisuke, HANYU Takahiro	4. 巻 E104.D
2. 論文標題 Nonvolatile Field-Programmable Gate Array Using a Standard-Cell-Based Design Flow	5. 発行年 2021年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 1111 ~ 1120
掲載論文のDOI（デジタルオブジェクト識別子） 10.1587/transinf.2020LOP0010	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Daisuke Suzuki and Takahiro Hanyu	4. 巻 -
2. 論文標題 Nonvolatile Field-Programmable Gate Array Using a Standard-Cell-Based Design Flow	5. 発行年 2021年
3. 雑誌名 IEICE Trans. Information and Systems	6. 最初と最後の頁 -
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

〔学会発表〕 計10件（うち招待講演 3件 / うち国際学会 8件）

1. 発表者名 D. Suzuki, M. Natsui, A. Tamakoshi, Y. Takako, and T. Hanyu
2. 発表標題 Design of a Low-Power FPGA-Based CNN Accelerator Based on Nonvolatile Logic-in-Memory Circuitry
3. 学会等名 2022 Int. Symp. Nonlinear Theory and Its Applications (国際学会)
4. 発表年 2022年

1 . 発表者名 D. Suzuki and T. Hanyu
2 . 発表標題 A Spintronics-Based Nonvolatile FPGA and Its Application to Edge-AI Accelerator
3 . 学会等名 IEEE 15h Int. Symp. Embedded Multicore/Many-core Systems-n-Chip (国際学会)
4 . 発表年 2022年

1 . 発表者名 D. Suzuki
2 . 発表標題 Spintronics-based Field-Programmable Gate Array-Its Overview and Application to Edge-AI Hardware
3 . 学会等名 Physics2022 (招待講演)
4 . 発表年 2022年

1 . 発表者名 D. Suzuki and T. Hanyu
2 . 発表標題 Design of an Energy-Efficient Nonvolatile Lookup Table Circuit Using Active-Load-Localized Circuitry with Self-Terminated Writing/Reading
3 . 学会等名 2022 Int. Conf. Solid-State Devices and Materials (国際学会)
4 . 発表年 2022年

1 . 発表者名 SUZUKI Daisuke, OKA Takahiro, HANYU Takahiro
2 . 発表標題 Design of an Energy-Efficient Nonvolatile-FPGA-Based BCNN Accelerator Using an Active-Load-Localized Single-Ended Circuit Style
3 . 学会等名 2021 Int. Conf. Solid-State Devices and Materials (国際学会)
4 . 発表年 2021年

1. 発表者名 SUZUKI Daisuke, OKA Takahiro, HANYU Takahiro
2. 発表標題 Memory-Access-Minimized BCNN Accelerator Using Nonvolatile FPGA with Only-Once-Write Shifting
3. 学会等名 IEEE 14th Int. Symp. Embedded Multicore/Many-core Systems-n-Chip (国際学会)
4. 発表年 2021年

1. 発表者名 鈴木 大輔, 夏井 雅典, 羽生貴弘
2. 発表標題 スピントロニクス素子ベース不揮発FPGA: 超低消費電力再構成可能ハードウェアプラットフォームへの挑戦
3. 学会等名 電子情報通信学会総合大会2022 (招待講演)
4. 発表年 2022年

1. 発表者名 Daisuke Suzuki
2. 発表標題 MTJ-Based Nonvolatile FPGA: Circuit Technologies and Its Applications
3. 学会等名 Workshop on Computing with Unconventional Technologies (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 Daisuke Suzuki and Takahiro Hanyu
2. 発表標題 Design and Evaluation of a Synthesizable Standard-Cell-Based Nonvolatile FPGA
3. 学会等名 IEEE Int. Symp. Multiple-Valued Logic (国際学会)
4. 発表年 2020年

1. 発表者名 Yasuhiro Takako, Daisuke Suzuki, Masanori Natsui, and Takahiro Hanyu
2. 発表標題 Systematic Design Flow for Realizing MTJ-Based Nonvolatile FPGAs
3. 学会等名 2020 Int. Conf. Solid-State Devices and Materials (国際学会)
4. 発表年 2020年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

会津大学 適応システム学講座 鈴木(大)研究室 https://u-aizu.ac.jp/~daisuke/
--

6. 研究組織		
氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------