

令和 6 年 6 月 26 日現在

機関番号：26402

研究種目：基盤研究(C)（一般）

研究期間：2020～2023

課題番号：20K11738

研究課題名（和文）アプリケーションドメイン指向型コンピューティング基盤技術の研究

研究課題名（英文）Development of Domain-Specific Computing Platform

研究代表者

密山 幸男（Mitsuyama, Yukio）

高知工科大学・システム工学群・教授

研究者番号：80346189

交付決定額（研究期間全体）：（直接経費） 3,400,000円

研究成果の概要（和文）：本研究は、アプリケーションドメインを特化することで、高性能・高エネルギー効率・高柔軟性を実現するコンピューティング基盤の実現に資するヘテロジニアスプロセッサの開発を目的としている。オープンソースフレームワークの活用によるヘテロジニアスプロセッサ開発の環境構築に取り組んだ。また、物体検出などの機械学習に基づく画像処理向けアクセラレータの設計や、RISC-VプロセッサのRTL設計など、要素回路の設計も行った。さらに、評価ボードを用いた有効性の実証まで行った。

研究成果の学術的意義や社会的意義

各要素技術を統合した最適な構成によるコンピューティング基盤の創生こそ学術的かつ社会的に求められるものであると考え、アプリケーションドメインを特化することによって、再構成可能ハードウェア、アクセラレータ、ホストプロセッサの最適な組合せの探求を目指した。本研究成果は、特定のアプリケーション領域において高い優位性を有するヘテロジニアスプロセッサの高効率設計に寄与できると考える。

研究成果の概要（英文）：This research aims to develop a heterogeneous processor that contributes to realizing a computing platform that achieves high performance, high energy efficiency, and high flexibility by focusing on a specific application domain. We worked on building an environment for developing heterogeneous processors by utilizing open-source frameworks. We also developed each component, such as an accelerator for image processing based on machine learning and RTL design of RISC-V processors using Verilog HDL. Furthermore, we demonstrate its effectiveness by using an evaluation board.

研究分野：計算機アーキテクチャ

キーワード：ヘテロジニアスプロセッサ FPGA RISC-V

様式 C-19、F-19-1 (共通)

1. 研究開始当初の背景

エッジデバイスからデータを送信する前にデータを処理する「エッジコンピューティング」ならびに、クラウドサーバよりエッジデバイスに近い場所でデータを処理する「フォグコンピューティング」が注目されている。機械学習アルゴリズムを利用したサービス・アプリケーションが急速に増加しており、エッジ・フォグコンピューティングには高い計算能力が要求される。さらには、低消費電力化/高エネルギー効率化との両立、高いセキュリティ機能なども求められつつある。ところが、エッジ・フォグレイヤにおいて決定的なコンピューティング基盤が存在しておらず、その実現に期待が高まっている。

エッジ・フォグコンピューティング基盤として、特にエッジノードでは IoT 向けチップは少量多品種にならざるを得ないが、アプリケーションドメイン毎に分類することは可能である。このようなコンピューティング基盤の実現にはプログラマビリティ、すなわち再構成可能アーキテクチャが不可欠な要素となる。IoT 向けチップが再構成可能アーキテクチャの要素を持つことで、小型低電力な IoT チップの幅広い応用展開が可能となると考えられる。

組込み向けチップにおいて、プロセッサも不可欠な要素である。IoT 分野において注目されているのが RISC-V プロセッサである。オープンソースプロセッサである RISC-V の登場によってコンピューティング基盤の可能性は大きく広がりつつある。

再構成可能アーキテクチャ、アクセラレータ、プロセッサの各要素技術に関する研究開発は盛んに行われている。しかし、個別技術の優位性はコンピューティング基盤としての優位性に必ずしも直結しない。各要素が高いレベルで統合されることで、高性能と高エネルギー効率を実現することができる。各要素技術の最適な統合によるコンピューティング基盤の創生こそ学術的かつ社会的に真に求められるものであると考えられる。

2. 研究の目的

本研究では、再構成可能ハードウェアとアクセラレータをホストプロセッサのカスタム命令を実現する要素と位置づけ、高性能・高エネルギー効率・高柔軟性を実現するコンピューティング基盤の実現を目的としている。アプリケーションドメインを特化することで、再構成可能ハードウェア、アクセラレータ、ホストプロセッサの最適な組合せを探求するとともに、アクセラレータなど各要素回路の設計にも取り組む。評価ボードを用いた有効性の実証まで行う。

3. 研究の方法

本研究目的を達成するため、以下に挙げる研究項目に取り組む。

- (1) ヘテロジニアスプロセッサ開発環境の構築
ホストプロセッサ、アクセラレータ、再構成可能ハードウェアを主要な要素とするヘテロジニアスプロセッサの構成を検討・評価するための開発環境について検討を行う。
- (2) RISC-V プロセッサの設計
ホストプロセッサとして用いる RISC-V コアを設計する。
- (3) アクセラレータ設計とアプリケーション実装
ターゲットアプリケーションを検討し、アクセラレータ設計ならびに FPGA を用いた実機評価を行う。

4. 研究成果

(1) ヘテロジニアスプロセッサ開発環境の構築

ヘテロジニアスプロセッサ開発環境としての SoC 設計プラットフォームに関する研究は多数報告されており、オープンプラットフォームとして公開され実際に利用できるものも複数あった。そこで本研究では、ヘテロジニアスプロセッサの構成を検討するにあたり、開発環境を新たに構築するのではなく、既存の設計プラットフォームをベースに開発環境を構築することにした。複数の SoC 設計プラットフォームを比較検討した結果、ホストプロセッサに RISC-V コアを使用することができ、アクセラレータの設計に Verilog HDL を用いることができる設計プラットフォームの中で、ドキュメントやチュートリアルが最も充実している ESP[1]を用いた。

ところが、ESP の環境構築ならびに設計プラットフォームの利用において、想定を超えるいくつかの課題に直面した。ひとつずつ解消し、用意されているチュートリアルまでは行うことができたが、使用して初めて認識できる問題がいくつかあった。ESP の設計思想として、簡単な操作で利用できるように設計されているが、その反面、本研究で活用していくために必要なカスタマイズが容易でないことがわかった。また、利用する計算機環境が変わると新たな環境構築が容易ではなく、本研究課題を推進するにあたって利用を継続していくことが極めて困難であった。

以上のことから、特定の小規模な組織で開発、メンテナンスされる非商用開発環境を使用することの難しさを改めて認識するとともに、将来的に研究成果として開発環境を公開するにあたって、今回の取り組みから極めて多くの知見と経験が得られた。

(関連発表論文：2件)

(2) RISC-V プロセッサの設計

① オープンソース RISC-V プロセッサの検討：

本研究課題において、要素回路の一つとしてのホストプロセッサの新規開発は目標として考えておらず、ホストプロセッサとして動作する RISC-V コアが利用できれば研究を進めることができると考えた。そこでまず、ソースコードが公開されている RISC-V コアを使用することを考え、調査を行った。その結果、カスタム命令の追加実装が容易なオープンソース RISC-V である Rocket-chip[2]と VexRiscv[3]を用いることとし、実装と評価を行った。

Rocket-chip はカリフォルニア大学バークレイ校と SiFive 社が開発した RISC-V SoC である。記述言語には Verilog HDL の上位言語である Chisel が用いられている。Rocket-chip には RoCC (Rocket Custom Coprocessor) と呼ばれるモジュールとしてアクセラレータを設計できることが最大の特長のひとつである。Rocket-chip にカスタム命令を追加する方法として、RoCC を用いるほか複数の方法が報告されている。命令の追加方法として以下の 3 つのハードウェア変更方法を採用することができ、コンパイラには gcc に変更を加えたものを使用する。

1. ALU の拡張：ALU 内部にカスタム命令専用の回路を追加する方法 (図 1)
2. 専用 Unit の追加：ALU と並列にカスタム命令専用の Unit を追加する方法 (図 2)
3. RoCC の使用：RoCC の内部にカスタム命令専用の回路を追加する方法 (図 3)

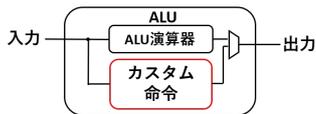


図 1 ALU の拡張

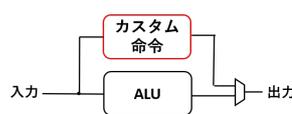


図 2 専用 Unit の追加

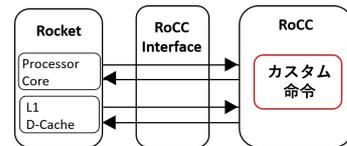


図 3 RoCC の使用

評価のため、図 1~3 に示すハードウェア構成を用いてビット操作に関する複数種類のカスタム命令を実装した。シミュレーションには Verilator を用い (図 4)、実機評価用ボードとして Digilent Nexys Video を使用した。

論理シミュレーションおよび実機評価の結果、Rocket-chip を用いてカスタム命令の追加が比較的容易に行えることがわかった。しかし、高位言語である Chisel で記述されていることが、アーキテクチャの細かな修正を行う上で障壁のひとつとなった。また、開発環境のバージョン依存性等の問題により、異なる計算機環境における再現性に課題があり、Rocket-chip を用いた研究開発の継続が困難な状況に陥った。このため、本研究では Rocket-chip の使用を取りやめることとした。

Rocket-chip と並行して、VexRiscv の評価に取り組んできた。VexRiscv は FPGA で動作させることを目的としてマサチューセッツ工科大学で開発された RISC-V プロセッサである。プログラミング言語 Scala のライブラリとして実装された Spinal HDL を用いて記述されており、Verilog HDL よりソフトウェアに近い記述が可能である。

VexRiscv に Rocket-chip と同様のカスタム命令を実装し、Avnet Ultra96v2 を用いて実機評価を行った。その結果、VexRiscv でもカスタム命令が追加できることを確認したが、Rocket-chip と同様に、多くの課題が見つかった。記述言語の Spinal HDL がまだ広く普及していないことから情報が限られ、回路設計の難易度が想定以上に高くなった。公開されている VexRiscv コアをそのまま利用する場合は大きな問題はないと考えられるが、機能のカスタマイズやチューニングを行うことは困難であった。また、開発環境のバージョン依存性などもあり、研究を推進していくうえで多くの課題があった。このため、本研究では VexRiscv の使用を継続しないこととした。(関連発表論文：3 件)

② Verilog HDL を用いた RISC-V プロセッサの設計：

前節で述べた経緯から、公開されているオープンソース RISC-V コアは使用せず、Verilog HDL を用いて RISC-V コアの RTL 設計に取り組むことになった。当初の計画にはなく、時間を要する開発となるが、これまでに得られた知見を十分に活かすことができ、本研究課題の推進ならびに将来の発展的研究課題においても活用できることから、Verilog HDL を用いた RISC-V コアの RTL 設計に取り組んだ。

はじめに、基本命令セットのみサポートする 32bit 5 段パイプラインプロセッサとして RTL 設計を行った。設計した RISC-V プロセッサのアーキテクチャを図 5 に示す。次に、評価ボードとして Digilent Zybo Z7-20 を用いて実装したところ、118MHz までタイミング制約を満たした。ベンチマークソフトに CoreMark と Dhrystone を用いて得られたスコアと、FPGA の使用リソースを表 1 に示す。比較対象として、

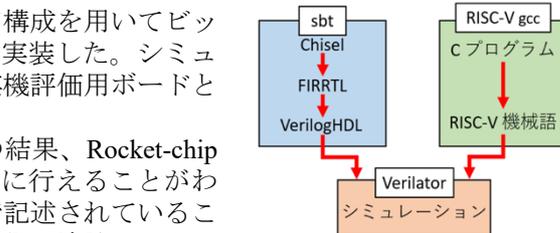


図 4 シミュレーション実行環境

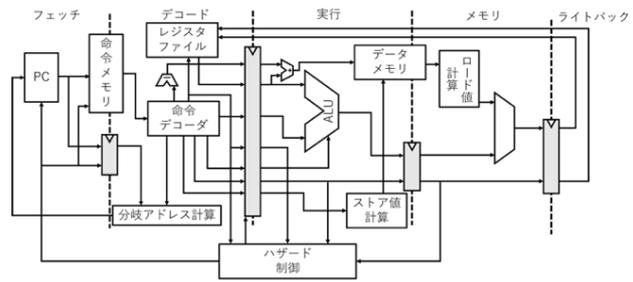


図 5 RISC-V プロセッサの 5 段パイプライン構成

Verilog HDL を用いて記述された 3 段パイプラインアーキテクチャの poyo-v[4]を用いた。

表 1 性能評価

	Clock Freq.	CoreMark	DMIPS	#LUTs	#FFs
poyo-v	68MHz	93	68	1,515	237
自作 RISC-V	118MHz	142	107	1,450	449

より性能の高いオープンソース RISC-V プロセッサとの比較評価を行った。比較対象は、自作 RISC-V プロセッサと同じく RV32I に対応した VexRiscv small and productive[3]と RVcoreP-optALL[5]とした。本研究で設計した RISC-V プロセッサは、動作周波数あたりのスコアにおいては VexRiscv よりも優れており、RVcoreP とほぼ同等であった。自作プロセッサの性能改善に向けての課題は明確になっているため、実用的な性能の達成に向けて改良を行っていく。

(関連発表論文：2 件)

(3) アクセラレータ設計とアプリケーション実装

アプリケーションドメインとして、自動運転の実現に向けた機械学習を用いた画像認識処理を対象とした。まず、ミニチュア道路を走行する自律走行ロボットを開発に取り組んだ。車線認識アルゴリズムや信号認識アルゴリズムにおける演算量の多い処理をハードウェアアクセラレータで実現する構成としている。幅広いロボット応用を目指して、YOLOv5 物体検出モジュールの ROS2 ノード実装にも取り組んだ。また、強化学習アルゴリズムを対象として、マルコフ決定過程におけるベルマン方程式のアクセラレータ設計にも取り組んだ。

(関連発表論文：8 件)

引用文献

[1] P. Mantovani, et al., “Agile SoC Development with Open ESP,” in Proc. ICCAD, Nov. 2020.
[2] K. Asanović, et al., “The Rocket Chip Generator,” Technical Report No. UCB/EECS-2016-17, 2016.
[3] “GitHub - SpinalHDL/VexRiscv: A FPGA friendly 32 bit RISC-V CPU implementation, ” Github, <https://github.com/SpinalHDL/VexRiscv>, Jan 2023.
[4] “GitHub-ourfool/poyo-v”, Github, <https://github.com/ourfool/poyo-v> ,Nov.2022.
[5] 宮崎ほか, “5 段パイプラインの RISC-V ソフトプロセッサの設計と実装,” 信学技報, VLD2019-73, Jan. 2020

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計16件（うち招待講演 0件 / うち国際学会 1件）

1. 発表者名 松本 俊輔, 密山 幸男, 廖 望
2. 発表標題 APSoCを用いた画像認識処理の高効率実装に関する検討
3. 学会等名 電子情報通信学会 総合大会
4. 発表年 2024年

1. 発表者名 上田 陸斗, 密山 幸男, 廖 望
2. 発表標題 Verilog HDLを用いたRISC-Vプロセッサの設計とFPGA実装
3. 学会等名 電子情報通信学会 総合大会
4. 発表年 2024年

1. 発表者名 上田 陸斗, 密山 幸男, 廖 望
2. 発表標題 Verilog HDLを用いたRISC-VプロセッサのFPGA実装
3. 学会等名 電気・電子・情報関係学会四国支部連合大会
4. 発表年 2023年

1. 発表者名 松本 俊輔, 密山 幸男, 廖 望
2. 発表標題 プログラマブルSoCを用いた自動走行ロボットの交差点走行の高速化
3. 学会等名 電気・電子・情報関係学会四国支部連合大会
4. 発表年 2023年

1. 発表者名 奥田 真菜, 密山 幸男, 廖 望
2. 発表標題 32ビットRISC-Vプロセッサのカスタム命令追加とFPGA実装
3. 学会等名 電気・電子・情報関係学会四国支部連合大会
4. 発表年 2023年

1. 発表者名 奥田 真菜, 小林 奏斗, 密山 幸男
2. 発表標題 5段パイプライン32ビットRISC-VプロセッサVexRiscvのFPGA実装
3. 学会等名 電気・電子・情報関係学会四国支部連合大会
4. 発表年 2022年

1. 発表者名 小林 奏斗, 奥田 真菜, 密山 幸男
2. 発表標題 Rocket-Chipを用いたRISC-Vカスタム命令追加に関する検討
3. 学会等名 電気・電子・情報関係学会四国支部連合大会
4. 発表年 2022年

1. 発表者名 武市 英士, 奥田 真菜, 密山 幸男
2. 発表標題 プログラマブルSoCを用いたROSベース自律走行ロボットの構成検討
3. 学会等名 電気・電子・情報関係学会四国支部連合大会
4. 発表年 2022年

1. 発表者名 四之宮 直輝, 土居 拓矢, 田中 知成, 廖 望, 密山 幸男
2. 発表標題 SoC設計プラットフォームESPを用いたプロセッサ開発環境の検討
3. 学会等名 情報処理学会 システムとLSIの設計技術研究会
4. 発表年 2021年

1. 発表者名 四之宮 直輝, 土居 拓矢, 廖 望, 密山 幸男
2. 発表標題 SoC設計プラットフォームESPを用いたプロセッサ開発環境の構築
3. 学会等名 電気関係学会四国支部連合大会
4. 発表年 2021年

1. 発表者名 泉 雄貴, 青野 遼, 長原 拓巳, 田中 知成, 廖 望, 密山 幸男
2. 発表標題 自動走行ロボット向け信号認識アルゴリズムの実装
3. 学会等名 電気関係学会四国支部連合大会
4. 発表年 2021年

1. 発表者名 山本 凌平, 青野 遼, 長原 拓巳, 田中 知成, 廖 望, 密山 幸男
2. 発表標題 単眼カメラを用いた自動走行ロボットの交差点走行制御の高精度化
3. 学会等名 電気関係学会四国支部連合大会
4. 発表年 2021年

1. 発表者名 C. Somjaisuk, W. Liao, Y. Mitsuyama
2. 発表標題 HLS Design of Bellman Equation in Markov Decision Process for Reinforcement Learning
3. 学会等名 電気関係学会四国支部連合大会
4. 発表年 2021年

1. 発表者名 R. Yamamoto, Y. Izumi, R. Aono, T. Nagahara, T. Tanaka, W. Liao, and Y. Mitsuyama
2. 発表標題 Development of Autonomous Driving System based on Image Recognition using Programmable SoCs
3. 学会等名 International Conference on Field-Programmable Technology (FPT 2021) (国際学会)
4. 発表年 2021年

1. 発表者名 青野 遼, 長原 拓巳, 田中 知成, 池野 樹, 廖 望, 密山 幸男
2. 発表標題 プログラマブルSoCを用いた小型自律走行車の構成検討
3. 学会等名 電子情報通信学会 リコンフィギャラブルシステム研究会
4. 発表年 2020年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8 . 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------