

令和 5 年 6 月 9 日現在

機関番号：82118

研究種目：若手研究

研究期間：2020～2022

課題番号：20K14498

研究課題名（和文）10MGyを超える高い放射線耐性をもつCMOS集積回路の基礎研究

研究課題名（英文）Study for over 10MGy rad-hard CMOS integrated circuit.

研究代表者

坂口 将尊（Sakaguchi, Masataka）

大学共同利用機関法人高エネルギー加速器研究機構・素粒子原子核研究所・技師

研究者番号：70626796

交付決定額（研究期間全体）：（直接経費） 3,200,000円

研究成果の概要（和文）：MOSFETの設計パラメータの違いによる放射線照射効果への影響を10MGyまで調査した。今回利用した65nmCMOSプロセスにおいては、デバイスサイズが1 μ mよりも小さい場合は非常に大きな性能劣化が生じることが分かった。NMOSよりもPMOSはより大きな影響を受ける。素子サイズ、ドーピングプロファイル、レイアウトの違いが照射効果に与える影響を調べた。耐放射線ASICの開発に必要なデータを取得できた。

研究成果の学術的意義や社会的意義

標準モデルでは説明ができない現象を説明する理論の構築が現在の素粒子物理学の重要課題であり、標準モデルを超える物理の探索が盛んに行われている。近年の加速器を用いた高エネルギー物理学実験では加速器の高強度化・高輝度化が進んでおり、実験期間中の積算線量が10MGyを超えると想定されるものもある。現在はこれに対応するため放射線量が多い場所のデバイスは頻繁なキャリブレーションや定期的に長期間実験を中断してデバイスを交換するなどしており、より高い放射線耐性を持つデバイスの開発につながる本研究の成果は物理学の発展やコスト削減に寄与する可能性がある。

研究成果の概要（英文）：The effects of different MOSFET design parameters on the irradiation effect were investigated up to 10MGy. In the 65nm CMOS process used this time, a very large performance degradation observed in small device which gate length or width < 1 μ m. PMOS is more affected than NMOS. We investigated the effects of device size, doping profile, and layout on the radiation effect. We were able to obtain the necessary data for the development of a rad-hard ASIC.

研究分野：素粒子原子核実験

キーワード：素粒子実験 放射線損傷 トータルドーズ効果 MOSFET 集積回路 ASIC

様式 C - 19、F - 19 - 1、Z - 19 (共通)

1. 研究開始当初の背景

ニュートリノ振動やダークマターの存在など標準模型では説明ができない現象を説明する理論の構築が現在の素粒子物理学の重要課題であり、標準模型を超える物理の探索が盛んに行われている。加速器を用いた高エネルギー物理学実験では高エネルギーに加速した粒子を衝突させ生じた反応を調べている。強い放射線環境下となる粒子ビームの衝突点を囲むように検出器が設置されるため、半導体検出器やその読み出し ASIC (特定用途向け集積回路) など半導体デバイスは、特性劣化、誤動作、破壊といった現象(照射効果)に見舞われる。近年の物理実験では加速器の高強度化・高輝度化が進んでおり、実験期間中の積算線量が 10MGy を超えると想定されるものもある。現在はこれに対応するため放射線量が多い場所のデバイスは頻繁なキャリブレーションや定期的に長期間実験を中断してデバイスを交換するなどしており、より高い放射線耐性を持つデバイスの開発が求められている。

2. 研究の目的

高エネルギー物理学実験で用いる ASIC などの半導体デバイスは、高機能化 / 高集積化の要求に伴い製造プロセスの微細化、低消費電力化が進んでいる。高度に集積されているがゆえに集積回路では放射線による不具合が発生した際にどこで何が起きているか知ることは困難であり対策が難しい。そこで本研究では集積回路を構成する基本的な素子のひとつである MOS 型電界効果トランジスタ (MOSFET) の照射効果について調べ、設計段階から放射線耐性をもった集積回路を作ることを目指し、ASIC 内部の回路素子サイズや回路レイアウトの違いが半導体照射効果に与える影響を明らかにし、耐放射線 ASIC 設計技術の開発を進める。

3. 研究の方法

本研究では MOSFET を試験サンプルとして、ガンマ線を使いトータルドーズ効果による劣化を評価した。試験サンプルの設計パラメータのバリエーションを以下に示す。製造プロセスは TSMC 社 65nmCMOS プロセスを利用した。製造できる最小サイズが $W/L=120\text{nm}/60\text{nm}$ の微細プロセスである。

表 1 トランジスタ設計パラメータ

設計パラメータ	バリエーション
極性	NMOS(Deep N-well)、PMOS
サイズ	ゲート長 L: 60nm 10um、ゲート幅 W: 120nm 1um
レイアウト(形状)	Regular、ELT、H 型(H-shape)
しきい値電圧(V_{th})	Low V_{th} (LVT)、Standard V_{th} (SVT)、High V_{th} (HVT)
ゲート膜厚(T_{ox})	薄い (core トランジスタ)、厚い (I/O トランジスタ)

評価項目は MOSFET の代表的なトランジスタ特性であるしきい値電圧、オフリーク電流、オン電流とし、IDS-VGS 特性を照射前後で測定し抽出した。測定には Keithley2636B ソースメータを用い、PC から GPIB 制御による測定環境を構築した(図 1)。なお、測定は照射終了直後のアニーリングを考慮して照射場から取り出してから数時間経過後に実施した。

放射線照射試験は量子科学技術研究開発機構高崎量子応用研究所(QST 高崎研)にあるコバルト 60 照射施設にてガンマ線を照射した(図 2)。照射は室温で行い、線量率は $3\text{kGy/h} - 8\text{kGy/h}$ (照射室内の位置による)。照射中の MOSFET は電流が最大となるバイアス条件 ($I_{DVS} = I_{VGS} = V_{DD}$) で動作させた。データ取得は同じ設計パラメータのサンプルを数個用意し、各サンプルの照射量を変えることで 10MGy までの間に数点の測定点をとった。照射量(Dose)は SiO_2 換算の吸収線量 $\text{Gy}(\text{SiO}_2)$ で評価し、サンプル設置位置における空間の線量から計算した。

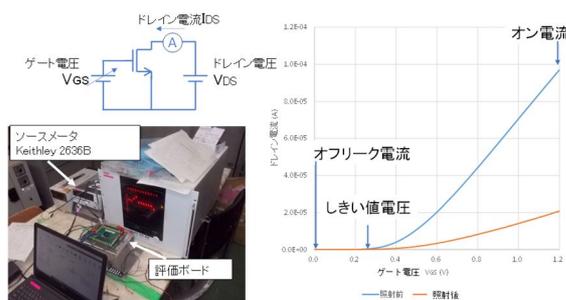


図 1 測定環境と評価項目



図 2 ガンマ線照射試験の様子。QST 高崎研のコバルト 60 照射施設ではスマートボックスと eduroam を利用することで照射中の機器の状態を遠隔からモニターしながら試験できる。

4 . 研究成果

サイズが異なるトランジスタの照射効果の違いを図 3(NMOS)、図 4(PMOS)に示す。素子サイズが大きくなるにつれて影響が小さくなる傾向がわかる。このプロセスで製造可能な最小サイズ(W/L=120nm/60nm)は性能劣化が激しい(PMOS は特に)。サイズをプロセス最小サイズから数倍大きくしても依然として大きな性能劣化が起きており、しきい値電圧の増加、電流値の減少は動作バイアス点による調整をしたとしても 10MGy を超える放射線耐性を得るのは難しい。この大きな性能劣化では多少の劣化は許容できるデジタル回路においても最大動作周波数の低下にとどまらず MOSFET の ON/OFF スwitching の動作不良に至ると考えられる。素子サイズをゲート幅 W、ゲート長 L とともに 1 μ m 以上にするると性能劣化は小さくなるのがわかる。よって高放射線耐性には素子サイズを大きくする方針となる。しかし、素子サイズの増大はゲート容量 / 寄生容量の増加につながるため高速動作ができなくなる恐れと高機能化 / 高集積化という実験の要求にこたえるのが難しくなるため、いたずらに大きな素子サイズにすればよいというわけにはいかない(コスト面からもチップサイズの増大には限度がある)。

トランジスタ特性が劣化する原因には(1)ゲート酸化膜中に生じる固定電荷やゲート酸化膜とシリコン界面に生じる界面準位による影響、(2)チャンネル周辺にある絶縁体(STI: Shallow Trench Isolation やゲート脇のサイドウォールスペース)中に生じる固定電荷による影響、(3)チャンネル脇にできる寄生トランジスタによる影響が考えられる。素子サイズを大きくすると特性劣化が小さくなる仕組みを探るため、まず、ゲート酸化膜厚を厚くした MOSFET を製造し(素子サイズは図 3, 図 4 の右側の影響の小さい MOSFET と同じ)照射試験をした。

結果を図 5 に示す。ゲート酸化膜が厚い MOSFET は大きく IV 特性が劣化した。次にゲート酸化膜が薄い MOSFET で照射効果が抑制されている仕組みを探るため同じサイズでドーピングプロファイルを変えた MOSFET を製造し照射試験をした。ドーピングプロファイルを変えることで MOSFET はしきい値電圧(ゲート電極の仕事関数と基板のドーピング濃度で決まる)を変えることができる。ここでは Low Vth(LVT), Standard Vth(SVT), High Vth(HVT)と 3 種類用意した。

図 6 に結果を示す。ドーピング濃度が高くなるとしきい値電圧の変化が小さくなるのがわかる。これはチャンネルのドーピング濃度が高いことによりゲート酸化膜中の固定電荷がチャンネルへ与える影響が相対的に小さくなるためである。MOSFET はスケール則によりゲート酸化膜を薄くするとドーピング濃度を高くする。このことが同じサイズでもゲート酸化膜の厚みにより照射効果に差が出た要因であるとわかる。よって高放射線耐性にはゲート酸化膜が薄い又はドーピング濃度が濃い製造プロセスを採用するのが方針となる。一方で図 6 のオフリーク電流については NMOS ではドーピング濃度が高い方が照射効果が小さい傾向だが数百%と大きく増加している(酸化物中の固定電荷は正であり PMOS においては電流を増加しにくい方向に働く)。はじめ大きく変化するものの吸収線量の増加とともに増える比例傾向についてははっきりしない。

集積回路は 1 チップに非常に多くの MOSFET を形成できるため個々の MOSFET のオフリーク電流の増加が微量でも ASIC 全体では消費電力の大きな増加につながり、ASIC の電源系の供給能力を超えると ASIC 全体が機能不全となる恐れがある。オフリーク電流はゲート酸化膜中に生じる固定電荷に加えて、チャンネル脇の寄生トランジスタの影響によっても増える。どちらの影響が大きいのか調べるため、トランジスタのレイアウトを ELT(Enclosed Layout Transistor)と H-shape(リークパスのしきい値電圧を上昇させるため NMOS のゲート脇にチャンネル上のゲート電極とは逆の極性のポリゲートを形成しゲート電極を H 形にする)を製造し照射試験をした。

図 7 に試験結果を示す。オフリーク電流は図 6 と比べるとかなり小さくなり(むしろ照射前よりも減少している)レイアウトの有効性が確認できた。このことは Regular レイアウトのオフリーク電流の増加原因がチャンネル脇の寄生トランジスタであることを示す。図 6 の NMOS のしきい値電圧が上昇していることからわかるように、このプロセスにおいてはゲート酸化膜中の固定電荷の影響よりも界面準位の影響が

強く出る。オフリーク電流の減少はゲート脇のリークパスがなくなったこと、しきい値の上昇により観測されたと考えられる。

このことから素子サイズを大きくすると放射線耐性が高くなるのは、リークパスの距離が長くなる分抵抗が増えリーク電流は流れにくくなるため、チャンネル面積が増えると界面準位の影響が低減できるためとわかった。オフリーク電流に関してはドーピングプロファイルにより多少の違いはあるものの大きく増加しているが、これはSTIなどは素子分離のため酸化物は基板深くまで形成されているため放射線の影響も基板深くまで影響を及ぼす一方、ドーピングの効果はチャンネルが形成されるウエハ表面の浅い範囲にとどまるためではないかと考える。

以上より設計技術としては、照射効果は低減できる方針がわかったがゼロにはできないため、製造プロセスが出せる最高性能で設計することよりも、劣化することを見越して調整できる範囲を広く持たせられる設計が重要となることがわかる。製造プロセスの選択も検討するなら動作電圧範囲が広いプロセスを低電圧で利用する方針や、同じ素子サイズでも放射線で生じる照射効果(固定電荷や界面準位の影響)を相対的に小さくできるようなプロセスを採用することなどが考えられる。

本研究で集積回路で使われる基本的な素子について、素子サイズや回路レイアウトの違いが半導体照射効果に与える影響を調査し、目標である10MGyまでのトータルドーズ効果(TID)によるトランジスタ特性への影響データを得ることができ、設計段階から放射線耐性をもった集積回路を作る技術の開発を進めるにあたり必要な基礎データを得ることができた。

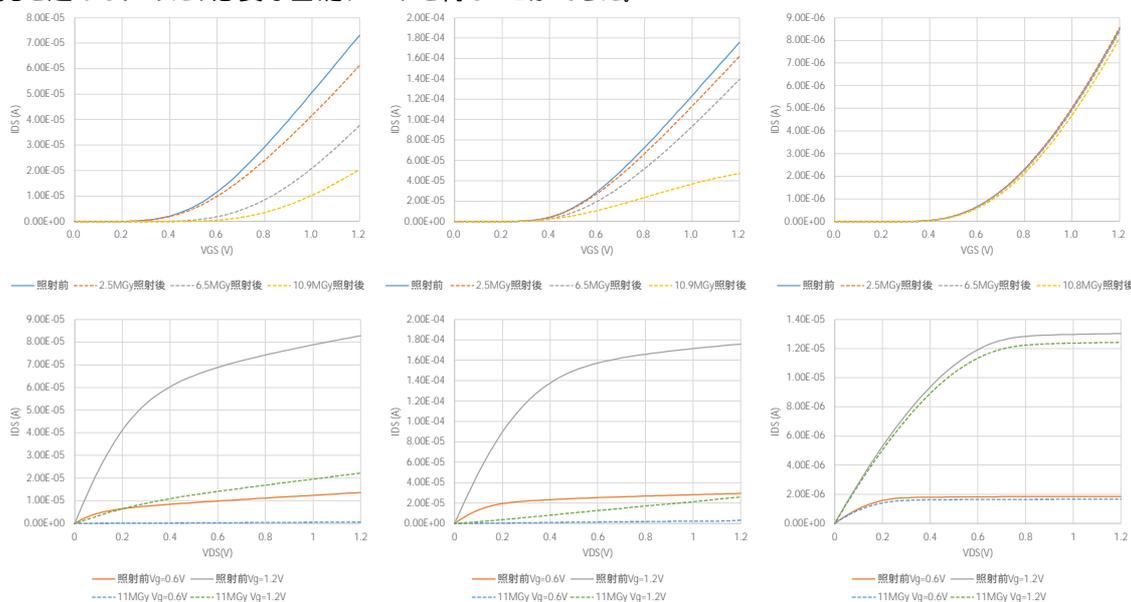


図 3 NMOS LVT core トランジスタ特性曲線。(上段)IDS-VDS(VDD=1.2V)、(下段)IDS-VDS(VGS=0.6V/1.2V)。W/L=(左)120nm/60nm(中)360nm/120nm(右)1um/10um、

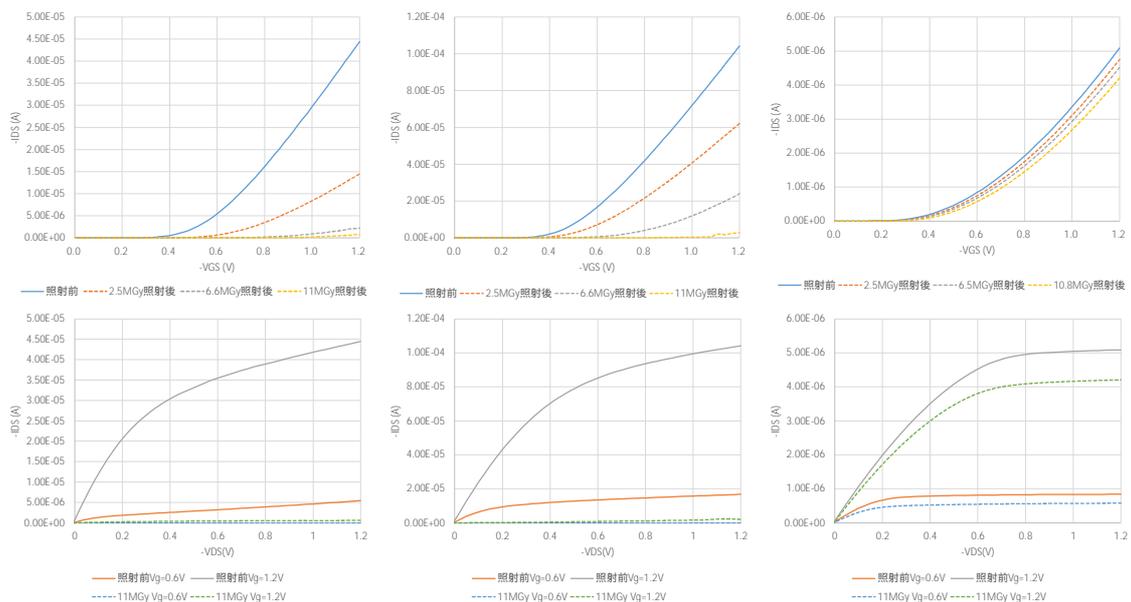


図 4 PMOS LVT core トランジスタ特性曲線。(上段)IDS-VDS(VDD=1.2V)、(下段)IDS-VDS(VGS=0.6V/1.2V)。W/L=(左)120nm/60nm(中)360nm/120nm(右)1um/10um

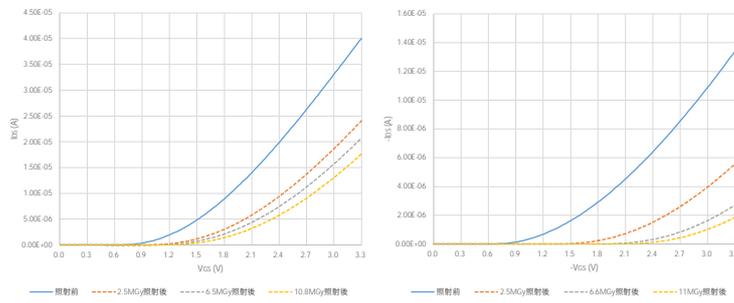


図 5 I/Oトランジスタの特性曲線(左)NMOS(右)PMOS。サイズは W/L=1um/10um(図 3, 図 4 の右図のものと同じサイズ)

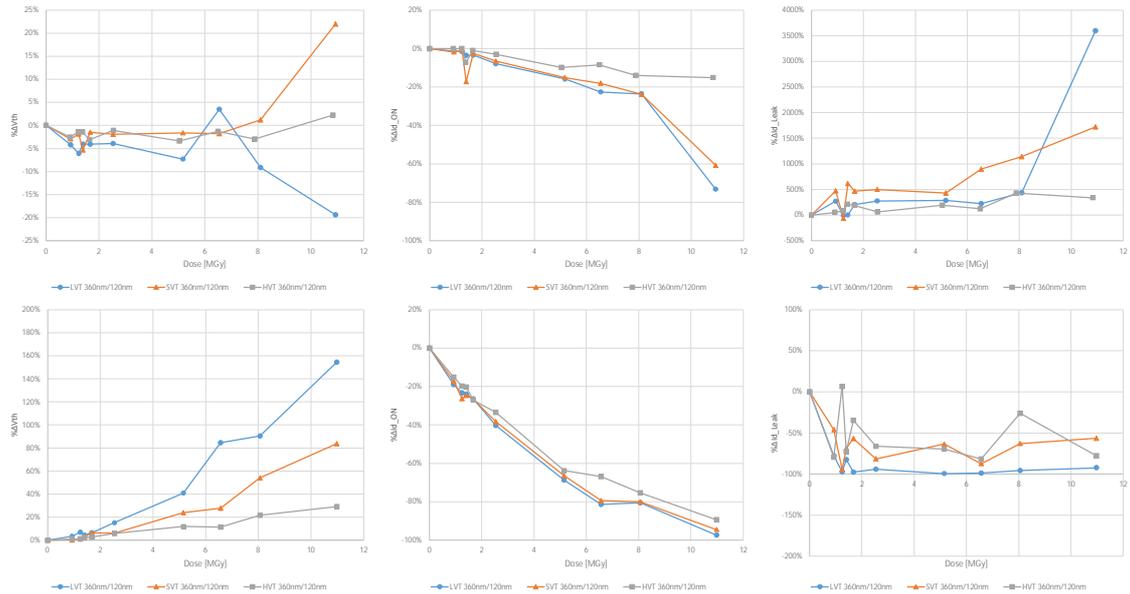


図 6 ドーピングプロファイルが異なる W/L=360nm/120nm core トランジスタの IV 特性。(上段)NMOS (下段)PMOS。(左)しきい値電圧の変化率、(中)御電流の変化率、(右)オフリーク電流の変化率。グラフの線は見やすさのため描画しておりフィッティングではない。

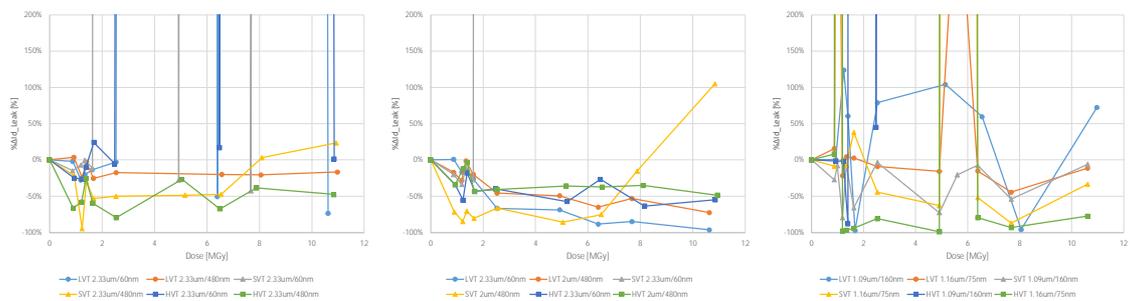


図 7 ELT と H-shape レイアウトトランジスタのオフリーク電流の変化率(左) NMOS ELT (中) PMOS ELT (右) NMOS H-shape。所々値が飛んでいるのは壊れたトランジスタ。H-shape はその原理上 PMOS はない。

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計1件（うち招待講演 0件 / うち国際学会 0件）

1. 発表者名 坂口将尊, 田中真伸, 岸下徹一, 宮原正也, 庄子正剛, 濱田英太郎, 大島武, 武山昭憲, 牧野高紘, 萩原雅之
2. 発表標題 KEKエレクトロニクスシステムグループにおけるASICの放射線耐性評価への取り組みと現状III
3. 学会等名 日本物理学会2022年秋季大会
4. 発表年 2022年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------