

令和 5 年 6 月 20 日現在

機関番号：82626

研究種目：若手研究

研究期間：2020～2022

課題番号：20K14797

研究課題名（和文）状態密度を次元制御した超急峻スイッチング新構造トンネルFETの開発

研究課題名（英文）Development of tunnel field-effect transistor with steep switching based on dimensional control of density-of-state

研究代表者

加藤 公彦 (Kato, Kimihiko)

国立研究開発法人産業技術総合研究所・エレクトロニクス・製造領域・主任研究員

研究者番号：30815486

交付決定額（研究期間全体）：（直接経費） 3,300,000円

研究成果の概要（和文）：超低消費電力集積回路に向け、急峻スイッチング素子として有望なトンネルFET（TFET）の高性能化を行った。CMOSプラットフォーム上で二次元状態密度活用のための新規素子構造を提案し、性能予測、プロセス開発、実験実証を行った。提案構造は、Si Fin形状の側面に斜めイオン注入法によりP型ノンの高不純物濃度層が形成される。TCADシミュレーションより、動作電圧0.3 Vにおいて5桁以上の急峻スイッチング実現可能性が示された。実験実証では、高自由度な素子作製のため、新規ネガレジストを用いた電子線リソグラフィ技術を構築した。最小Fin幅10nmを下回る微細TFETを作製し、電流増大を達成した。

研究成果の学術的意義や社会的意義

半導体集積回路の低消費電力化は、世の中で急速に発展するIoT/AI技術を支える重要技術である。半導体トランジスタはそれら集積回路の基盤素子であり、トランジスタの低消費電力は、次世代エレクトロニクスのエネルギー高効率化に幅広く貢献する。本研究は、既存半導体製造技術を積極的に活用し、Si CMOSラインを念頭に置いていることも重要な特徴である。Siは他の新材料系に比べてオン電流増大に難しさがあるものの、その課題克服に向けて真正面から取り組んだ研究である。本研究で開発したSiを基軸にしたTFETのオン電流増大技術は、将来の半導体集積回路に直結し得る、実用性のある技術と言える。

研究成果の概要（英文）：For future integrated circuits with low power consumption, development of a high-performance tunnel field-effect transistor (TFET), which is one of the most promising devices with steep on/off switching, has been carried out. A new device structure was proposed to utilize two-dimensional density-of-state (2D-DOS), and TCAD-based performance investigation, process development, and experimental demonstration have been performed.

The newly proposed TFET consists of a Si Fin channel with regions of high impurity concentrations, which is formed by the tilted ion implantation technique. TCAD device simulation revealed that the TFET has the potential to realize the on/off switching of more than 5 orders under the operation voltage of 0.3 V after the optimization. For experimental, high-performance electron beam lithography was developed by utilizing a new negative-tone resist. Finally, enhancement of on-state current was demonstrated by a TFET device with a channel width of less than 10 nm.

研究分野：半導体デバイス工学

キーワード：トンネルFET TFET シリコン 低消費電力 急峻スイッチング オン電流 集積回路

1. 研究開始当初の背景

IoT やセンサーエッジデバイスに向けた新たな半導体集積回路を目指した研究開発が爆発的に進展している。エッジデバイスは人間社会を取り巻く環境中に散りばめられ、間欠的な情報処理を極低消費電力で実現することが求められる。演算回路の消費電力は構成素子の動作電圧によって規定されるため、低消費電力化に向けては、低電圧で駆動する急峻 (Steep-slope) スイッチング素子が必要不可欠である。

トンネル電界効果トランジスタ (TFET) は、急峻スイッチング素子として最有力候補である。TFET の動作原理は量子トンネル効果であり、ソースとチャネルの状態密度 (DOS) がエネルギー的に重畳した瞬間にバンド間トンネルが生じ、電流のオフ/オンがスイッチする。従来の MOSFET では、スイッチングはキャリアの熱拡散によることから、ボルツマン分布の影響で 60 mV/桁 (一桁の電流変化を得るためには最低でも 60 mV が必要) のスイッチング限界を持つ。対して TFET は動作原理上その影響を受けないため、MOSFET における急峻性指数 (S 値) の物理的限界 60mV/桁を突破することができ、その結果 0.3V 程度での低電圧動作が期待できる。

2. 研究の目的

これまでの世の中の研究では、実用に足る十分に大きなトンネル電流 (オン電流) を確保できていないことに最大の課題がある。そのため、小さな電圧で十分に大きなオン/オフ電流比が得られていない。そこで本研究では、TFET のオン電流増大技術を開発することを大きな目的とする。特に、将来の Si CMOS プラットフォームへの応用展開・実用化を念頭に、オン電流増大を、Si を用いた TFET で達成することを目指すことに特徴がある。

TFET のスイッチング特性を決めるポイントの一つが、状態密度 (DOS) の重なり方である。TFET において急峻なスイッチング特性を得るためには、ステップ状の DOS 関数が得られる 2 次元電子状態 (2D-DOS) の利用が最も理想的である。しかし、2D-DOS を活用する素子提案は、Si 素子の場合にはシミュレーションによる研究に留まり、実デバイス構造や作製工程の検討が不十分である。新材料系 (2 次元層状物質などの Si 以外の材料) では実験報告もあるが、その性能はまだ実用には足りておらず、さらには集積化技術の課題も残る。ここで、広く応用される Si 半導体素子は通常は 3 次元構造である。一般的な 3 次元構造素子では、電子状態は 2 次元的には制限されず、PN 接合端の長距離なテール (空間的広がり) が避けられない。この点が、Si 半導体素子で急峻スイッチングを達成する上での障害要因の一つとなっている。

以上のような背景を元に、本研究は、3 次元半導体素子中で 2D-DOS を実現し得る PN 接合構造を検討し、それを実現し得る TFET 構造と作成手法の提案、および実験実証を目的とする。

3. 研究の方法

3 次元 Si TFET 中に 2D-DOS を実現のため、本研究では、Fin 構造を応用した新構造素子を提案した。図 1 に提案する素子構造を示す。ここでは、Silicon-on-insulator (SOI) 基板の使用を想定し、N 型動作素子を例に挙げる。提案素子構造は、幅約 10nm に加工された Si Fin 形状の両側面に、P 型および N 型の高不純物濃度層が形成される。この効果により、ゲート電圧印加後のトンネル領域 (= キャリア生成領域) が 2 次元的に制限される。同時に、トンネル領域からソ

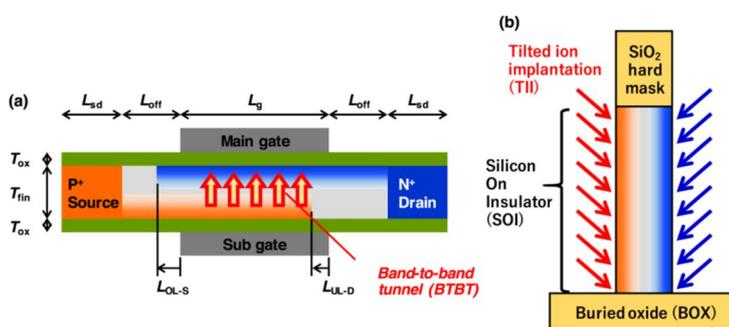


図 1 提案する新規 TFET 構造の模式図。(a) 素子上面から見た図。(b) 素子断面 (紙面手前 ~ 奥にソース ~ ドレイン方向) から見た図。

ス/ドレインにかけて電気伝導路が確保される。ゲート直下の広い面積で生じるバンド間トンネルはオン電流の増大にも有利である。P/N 不純物層の形成手法には、Fin 側面への斜めイオン注入 (TII) を提案する。TII では、イオンの注入エネルギーに加え注入角度も制御可能なパラメータとなるため、極浅のイオン注入プロファイルを精密に制御できる可能性があると考えた。

特筆すべきは、本提案構造や作製手法は、通常 Fin 型 MOSFET (FinFET) 作製プロセスを踏襲することである。つまり、Si CMOS プラットフォームへの親和性が極めて高く、実際の半導体製造ラインへの応用展開や実用化に適するものである。また、過去のシミュレーションのみによる素子検討の問題点は、ソース・ドレインからトンネル領域までの電気伝導路の確保ができない構造であったことや、素子作製プロセスが困難であったことにあった。言い換えれば、実用上必須となる、トランジスタを機能させる密接に絡み合う複数の要素が解決されていなかった。それに対し本研究は、トランジスタとしての機能を確保することは大前提であり、その上で 2D-DOS

活用による性能向上をも達成し得る、新しい独自技術である。

本研究を通じ Si Fin 構造の物性を調査していく中で、当初想定されていなかった展開もあったのでここで記載する。本研究で対象とする Si Fin は、幅が 10nm 以下の非常に薄く、その物性の把握も重要であった。文献調査や理論計算を元に調査を行ったところ、厚さが約 15nm 以下に薄層化された Si 結晶中では、その物性はバルクとは異なり、ナノメートルスケール固有の状態である可能性が示された。具体的には、状態の畳み込みの効果により、バルクでは間接遷移型である Si が、薄膜状態では疑似的に直接遷移化する可能性がある（例えば、光学物理の研究分野では、薄層化 Si による発光現象が報告されている）。この技術によっても、オン電流増大の達成が期待できる。そこで本研究においては、このナノメートルスケールの量子物性の活用も視野に入れ開発を行った。

本研究では、これら新規提案素子の開発に向け、(1)デバイスシミュレーションによる性能予測と構造最適化、(2)素子作製に必要となる微細加工技術の開発、(3)TFET 作製と電流増大実証の3つのステージで研究開発を行った。

4. 研究成果

(1) デバイスシミュレーションによる性能予測と構造最適化

前述の通り、提案する素子構造は、Fin 形状の Si チャンネルと両側面の P 型 / N 型の高不純物濃度層から構成される。また、Fin 側面にはそれぞれ電氣的に独立のゲート電極(ダブルゲート)が形成される。バンド間トンネルは、これらゲート電極に対し垂直方向に生じる。この時、ソースからつながる P 型領域層と、ドレインからつながる N 型領域層とで、不純物の濃度や深さプロファイルを用意的に非対称とする(具体的には、P 型領域層を高濃度・深い分布とする)ことで

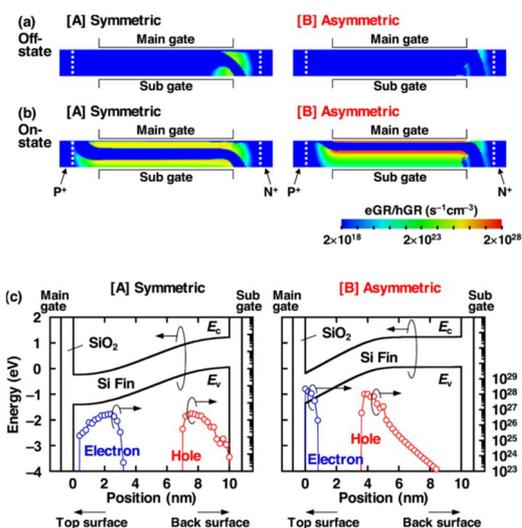


図2 対称構造および非対称構造における、(a)オン状態および(b)オフ状態でのバンド間トンネルに伴うキャリア(電子/正孔)生成レート。(c)対称構造および非対称構造におけるオン状態でのエネルギーバンド図とキャリア生成レートの深さ分布。

トンネル距離の短小化につながり、高いオン電流が達成されることが明らかになった(図2)。さらには、オフ状態での不要な漏れ電流発生抑制のためには、ソース~ドレイン方向の高濃度領域末端の位置制御も重要と明らかになった。これら種々の構造パラメータを最適化することにより、動作電圧 0.3V において、5 桁を上回る急峻スイッチングを達成できることが示された(図3)。

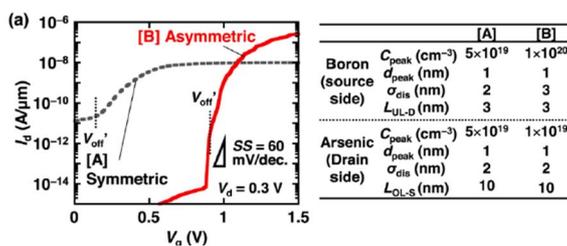


図3 最適化された TEFT 構造における I_d - V_g 特性と素子パラメータ。MOSFET の理論限界である 60 mV/桁を突破した急峻なオン / オフスイッチングが達成されている。

(2) 素子作製に必要となる微細加工技術の開発

斜めイオン注入条件の検討

ここでは、バルク Si 基板を用いて実際にボロン(B)およびリン(P)の斜めイオン注入を行い、SIMS による深さ分布分析を行った。図4に示す結果より、深さ 10 nm 以内で不純物濃度が3桁以上変化する、非常に浅い不純物プロファイルの形成が確認された。特に、(1)で理想的と明らかになった、P 型領域(ボロン)と N 型領域(リン)の非対称プロファイルの形成も実現できている。本図にはプロセスシミュレーションの結果も示しており、実験結果と比較的良好一致を示していることも分かる。この結果は、シミュレーションによるデバイス構造最適化が有用であることの裏付けにもなっている。

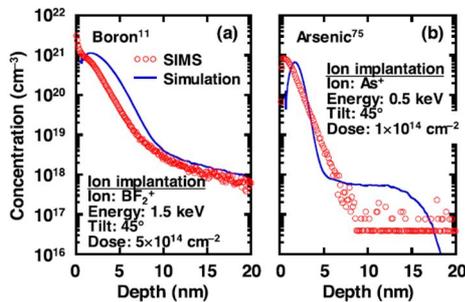


図4 (a)ボロンおよび(b)リンを斜めイオン注入した試料の SIMS 分析結果。

Si Fin 構造形成に向けた微細加工技術

実験実証におけるもう一つのチャレンジングなポイントが、幅 10nm 程度の極微細 Fin 構造の

形成である。本研究では、自由度高い素子作製のため、電子線描画 (EB 描画) 技術に着目をした。特に、安定した微細リソグラフィのため、新規ネガレジスト (ma-N 2401, マイクロレジスト社) の導入とプロセス条件開発から行った。本レジストを用いて実験に着手したところ、本レジストは、解像度は高いものの細線パターンが非常に曲がりやすく、直線パターンの形成難易度が高いことが分かった。そこで、EB 描画前後のバーク温度を幅広く調査し、十分な強度を持った細線パターン形成可能な条件を見出した (図 5)。ラインエッジラフネス (LER) が約 1.2 nm と極めて小さな細線 Fin 構造の形成を達成した。

(3) トランジスタ作製と実験実証

前述の設計指針および各種要素プロセスを元に、SOI 基板を用いて TFET の作製を行った。また、物理的な解積に向けては、より簡易な PN および PIN ダイオードも作製し、評価を行った。素子作製は SOI 基板を用いて行った。(2) で開発した微細 EB リソグラフィ技術を出発点とし、その後 SiO₂ ハードマスクの低速エッチングによるさらなる細線化 (スリミング) や、Si Fin 加工後の犠牲酸化工程も駆逐することで、最終的に幅 10nm 以下 ~ 100nm 程度の、広いバリエーションを持った素子を作製した。電気特性の結果、特に、幅約 10nm 以下の極限まで薄くした Si Fin 構造を有する素子において、30nm 以上の大きな幅をもつ Si TFET に比べオン電流の増大を達成した。

前述の通り、本研究では既存 Si プロセスや Si CMOS プラットフォームへの応用展開を前提にしている。ここで、今回電流増大を達成した微細構造やその寸法と、世の中の先端技術・研究開発動向との関連についても言及する。現在、世の中の Si トランジスタは、既に Fin 型構造が実用化されており、その寸法 (Fin の厚さ) は 10nm を下回っている。そして、次世代のトランジスタとしては (積層) ナノシート構造が本命視され、世界の研究機関が同構造に着目している。同構造においても Si の厚さは 10nm を下回る。したがって、本研究で着目する構造や寸法は、半導体分野における学術および製造開発の指針と良く一致するものである。本研究で原理実証をした素子を実用するにはさらなる電流増大が必要ではあるが、素子構造の最適化やプロセス技術の向上により達成されることが考えられる。本研究で提案・実証した技術を元に TFET の性能実証が達成されたのちには、次世代の低消費電力トランジスタとして半導体産業にも広く波及し得る技術になると考える。

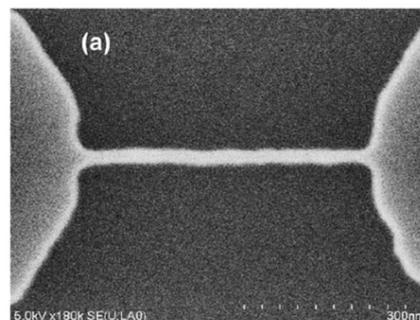


図 5 構築した EB リソグラフィ技術により作製した SOI Fin 構造細線 SEM 像。

5. 主な発表論文等

〔雑誌論文〕 計3件（うち査読付論文 3件／うち国際共著 0件／うちオープンアクセス 0件）

1. 著者名 Kimihiko Kato, Hidehiro Asai, Koichi Fukuda, Takahiro Mori, Yukinori Morita	4. 巻 180
2. 論文標題 Si bilayer tunnel field-effect transistor structure realized using tilted ion-implantation technique	5. 発行年 2021年
3. 雑誌名 Solid-State Electronics	6. 最初と最後の頁 107993 ~ 107993
掲載論文のDOI（デジタルオブジェクト識別子） 10.1016/j.sse.2021.107993	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kimihiko Kato, Yongxun Liu, Shigenori Murakami, Yukinori Morita, Takahiro Mori	4. 巻 32
2. 論文標題 Electron beam lithography with negative tone resist for highly integrated silicon quantum bits	5. 発行年 2021年
3. 雑誌名 Nanotechnology	6. 最初と最後の頁 485301 ~ 485301
掲載論文のDOI（デジタルオブジェクト識別子） 10.1088/1361-6528/ac201b	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Shimpei Nishiyama, Kimihiko Kato, Yongxun Liu, Rasei Mizokuchi, Jun Yoneda, Tetsuo Kodera, and Takahiro Mori	4. 巻 -
2. 論文標題 Single-electron transistor operation of a physically defined silicon quantum dot device fabricated by electron beam lithography employing a negative-tone resist	5. 発行年 2023年
3. 雑誌名 The Institute of Electronics, Information and Communication Engineers (IEICE) Transactions	6. 最初と最後の頁 -
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計8件（うち招待講演 3件／うち国際学会 5件）

1. 発表者名 Kimihiko Kato, Yongxun Liu, Shigenori Murakami, Yukinori Morita, Takahiro Mori
2. 発表標題 Development of electron beam lithography technique for fabrication of integrated silicon quantum bits
3. 学会等名 34th International Microprocesses and Nanotechnology Conference (MNC 2021) (国際学会)
4. 発表年 2021年

1. 発表者名 Kimihiro Kato
2. 発表標題 Electron Beam Lithography for Future Highly-Integrated Si Quantum Bits
3. 学会等名 BEA Meeting E-Beam Workshop (jointed with Micro and Nano Engineering Conference) (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 加藤 公彦, 柳 永勲, 森田 行則, 森 貴洋
2. 発表標題 集積シリコン量子素子に向けたネガレジスト電子線リソグラフィ技術の構築
3. 学会等名 第82回応用物理学会秋季学術講演会
4. 発表年 2021年

1. 発表者名 加藤 公彦
2. 発表標題 集積シリコン量子ビット作製に向けた電子線リソグラフィ技術の開発
3. 学会等名 次世代リソグラフィ技術研究会 (応用物理学会 次世代リソグラフィ技術分科会) (招待講演)
4. 発表年 2022年

1. 発表者名 加藤 公彦
2. 発表標題 シリコン量子ビット作製と大規模集積化に向けた電子線リソグラフィ技術
3. 学会等名 NPF合同セミナー (招待講演)
4. 発表年 2022年

1. 発表者名 Yoshisuke Ban, Kimihiko Kato, Shota Iizuka, Shigenori Murakami, Koji Ishibashi, Satoshi Moriyama, Takahiro Mori, and Keiji Ono
2. 発表標題 Introduction of deep impurity levels of S and Zn and high temperature single-electron transport in Si tunnel FETs
3. 学会等名 2022 International Conference on Solid State Devices and Materials (SSDM 2022) (国際学会)
4. 発表年 2022年

1. 発表者名 Shimpei Nishiyama, Kimihiko Kato, Yongxun Liu, Raisei Mizokuchi, Jun Yoneda, Tetsuo Kodera, and Takahiro Mori
2. 発表標題 Single-Electron Transistor Operation of a Physically Defined Silicon Quantum Dot Device Fabricated by Electron Beam Lithography Employing Negative-tone Resist
3. 学会等名 2022 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (国際学会)
4. 発表年 2022年

1. 発表者名 Yoshisuke Ban, Kimihiko Kato, Shota Iizuka, Koji Ishibashi, Satoshi Moriyama, Takahiro Mori, and Keiji Ono
2. 発表標題 Single electron transport and electron spin qubit operation in Si tunnel FETs with an isoelectronic trap impurity of beryllium
3. 学会等名 2022 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (国際学会)
4. 発表年 2022年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8 . 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------