

科学研究費助成事業 研究成果報告書

平成 26 年 6 月 4 日現在

機関番号：11301

研究種目：基盤研究(S)

研究期間：2009～2013

課題番号：21226009

研究課題名(和文) グラフォアセンブリーによる三次元積層型光電子集積システム・オン・チップ

研究課題名(英文) Three-Dimensionally Stacked Optoelectronic System-on-Chip Fabricated Using Grapho-Assembly

研究代表者

小柳 光正 (Koyanagi, Mitsumasa)

東北大学・未来科学技術共同研究センター・教授

研究者番号：60205531

交付決定額(研究期間全体)：(直接経費) 165,100,000円、(間接経費) 49,530,000円

研究成果の概要(和文)：三次元積層型光電子集積システム・オン・チップの実現を目指して、その鍵となるグラフォアセンブリー技術、シリコンフォトニクス技術の検討を行った。チップ表面の表面状態を制御することによって液体を制御してチップの位置合わせ精度を向上させるグラフォアセンブリー技術を開発し、寸法の異なる500個以上のチップを8インチ・シリコンウェハ上に一括位置合わせ、接合することに成功した。また、シリコンフォトニクス技術については、垂直方向光インターコネクション(TSPV)技術を確立するとともに、高い結合効率を有する微細グレーティングカップラを開発し、三次元積層型光集積システム・オン・チップの実現可能性を明らかにした。

研究成果の概要(英文)：Key technologies to achieve a 3D-stacked optoelectronic system-on-a chip (SOC) have been studied focusing on new grapho-assembly technology to achieve 3D stacking with high alignment accuracy and new 3D silicon photonics. We formed micro/nano-scale concavo-convex patterns on both upper and lower silicon chip surfaces and then these chips were precisely aligned making use of surface tension of liquid in the grapho-assembly. A high alignment accuracy of less than 0.1μm has been achieved using the grapho-assembly. We have developed new technologies of TSPV (Through Si Photonic Via) and UDOC (Uni-Directional Optical Coupler). We successfully fabricated TSPV with a diameter of 10μm showing excellent optical confinement. We proposed and fabricated a new optical grating coupler with side mirror. We confirmed that vertical optical signal propagated through TSPV was coupled to horizontal Si nano optical waveguide using this optical grating coupler with high coupling efficiency of more than 80%.

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：グラフォアセンブリー セルフアセンブリー 三次元集積化 光電子集積化 スーパーチップ シリコン貫通配線 光電子集積システム・オン・チップ

1. 研究開始当初の背景

研究代表者は、LSI そのものを三次元積層化する新しい三次元集積化技術を1989年に提案した。この三次元集積化技術は、シリコン貫通配線(TSV)を埋め込んだLSIウェーハを多層に積層して三次元化する技術である。2000年頃から、シリコン貫通配線(TSV)を用いた三次元集積化技術の重要性が認識されるようになって、世界中で研究開発が行われるようになった。特に、MIT リンカーン研究所、Sunny ナノテクセンター、Sematech、IMEC、フラウンホーファー研究所、IBM、インテル、ST マイクロテックなどの欧米の研究機関、企業が積極的に取り組むようになってきている。DARPA 3D プロジェクト(米国)やe-Cube プロジェクト(EU)などの大型プロジェクトも発足している。日本でもNEDOの委託を受けたASETの三次元プロジェクトが発足しているが、三次元LSIよりは三次元パッケージを志向したプロジェクトとなっている。研究代表者らは、2005年に、究極の三次元LSIと言えるスーパーチップの構想とそれを実現するための自己組織化を用いた新しい三次元集積化技術を発表したが、この技術は欧米の三次元LSI研究者の注目を集め、IMEC、フラウンホーファー研究所など、追従実験を始める研究機関が増えている。本研究で提案する光電子集積システム・オン・チップのためのもう一つの基幹技術である光インターコネクションとシリコンフォトニクス技術に関しても、研究代表者は1988年から研究を続けている。2000年頃から、実用化を目指したチップ間光インターコネクション技術の開発が活発となり、研究代表者のグループだけでなく、ジョージア工科大学、テキサス大学、スタンフォード大学、フラウンホーファー研究所、産業総合研究所等で精力的に研究が行われている。

2. 研究の目的

本研究では、スーパーチップインテグレーションと呼ぶ新しい三次元集積化技術と光電子集積化技術を駆使して、高性能で、低電力、高機能の光電子集積システム・オン・チップの実現を目指す。集積システム・オン・チップとして多層に積層されたチップやデバイスは、1万~100万本/cm²という高密度のチップ貫通配線(TSV: Through Silicon Via)により接続される。本研究では、このような集積システム・オン・チップに、高速、低電力でデータ転送するためのチップ貫通光インターコネクション(TSPV: Through Silicon Photonic Via)とチップ内光インターコネクションおよびシリコンフォトニクスデバイスを集積して、新しい光電子集積システム・オン・チップを実現する。以上のような光電子集積システム・オン・チップを実現するためには、異なった種類のチップやデバイスを高精度に位置合わせを行って積層化する新しいアセンブリー技術が必須となる。そこで、本研究では、液体の表面張力を利用して自己組織的にチップやデバイスの位置あわせを行うグラフォアセンブリーと呼ぶ新しいナノアセンブリー技術を開発する。この技術では、チップやデバイスの表面形状や表面状態を人工的に制御して、表面張力や表面ぬれ性、接着力を実効的に変化させて50~100nmの位置合わせ精度を実現する。

3. 研究の方法

研究代表者が提唱するスーパーチップの構成を図1に示す。本研究では、このようなスーパーチップ技術と光インターコネクション技術、シリコンフォトニクス技術を融合して、図2に示すような新しい三次元積層型光電子集積システム・オン・チップを実現する。このような光電子集積システム・オン・チップ実現の鍵を握るのが、

異種チップや異種デバイス、光導波路、シリコンフォトニクス・デバイスを高精度に位置合わせをして集積化する技術である。本研究ではこのような高精度位置合わせ及び接合のための新しい技術としてグラフォアセンブリー技術を開発する。グラフォアセンブリー技術は、液体の表面張力を利用してチップの自己組織化を行い、LSIチップや各種デバイスを高精度に位置合わせして接合する技術である。しかし、これまでの実験では、自己組織化による位置合わせ/接合精度は、液体の量、添加薬剤の濃度、基板平行度、基板の平坦度、基板およびチップの表面状態、装置振動、チップ形状などによって大きく影響を受け、0.5~1μmの位置合わせ精度しか実現できなかった。そこで、本研究では、図3、図4に示すように、位置合わせを行うチップと基板の表面にナノ構造を形成して液量と液体の表面積を独立に制御し、液体の表面張力やぬれ性、液体の弾性力を実効的に変化させることによって、位置合わせ/接合精度を飛躍的に向上させることを試みる。このようなグラフォアセンブリー技術を用いて、本研究では、50nm~100nmの位置合わせ/接合精度を達成する。

本研究で提案する三次元積層型光電子集積システム・オン・チップ実現の鍵を握るもう一つの技術は、光インターコネクション技術とシリコンフォトニクス技術である。光インターコネクション技術に関しては、チップ内、チップ間に加えて、垂直方向のシリコン貫通光インターコネクション(TSPV: Through Silicon Photonic Via)についても検討する。チップ内インターコネクションには、シリコン光導波路、シリコン窒化膜光導波路などの高屈折率導波路を用いる。また、チップ間光インターコネクションに関しては、これまでの研究実績を生かしたポリマー光導波路や面発光素子(VCSEL)や受光素子を埋め込んだ光インターポーザを試作する。シリコンフォトニクス・デバイスとしては、ゲルマニウム・フォトダイオード、光変調器、オプティカル・カップラー、光共振器などの検討を行うとともに、実際にデバイスを試作して特性評価を行う。

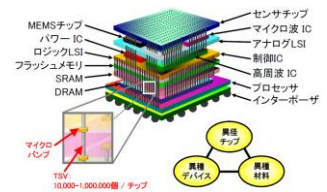


図1 スーパーチップの構成

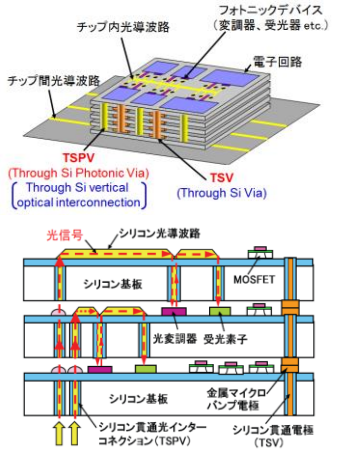


図2 三次元積層型光電子集積システム・オン・チップの構造

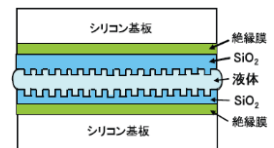
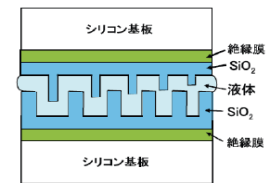
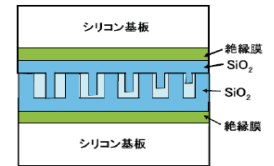


図3 表面ナノ構造を用いたグラフォアセンブリー



(a) 位置合わせ開始



(b) 位置合わせ後

図4 かみ合わせ構造を用いたグラフォアセンブリー

本研究で提案する三次元積層型光電子集積システム・オン・チップ実現の鍵を握るもう一つの技術は、光インターコネクション技術とシリコンフォトニクス技術である。光インターコネクション技術に関しては、チップ内、チップ間に加えて、垂直方向のシリコン貫通光インターコネクション(TSPV: Through Silicon Photonic Via)についても検討する。チップ内インターコネクションには、シリコン光導波路、シリコン窒化膜光導波路などの高屈折率導波路を用いる。また、チップ間光インターコネクションに関しては、これまでの研究実績を生かしたポリマー光導波路や面発光素子(VCSEL)や受光素子を埋め込んだ光インターポーザを試作する。シリコンフォトニクス・デバイスとしては、ゲルマニウム・フォトダイオード、光変調器、オプティカル・カップラー、光共振器などの検討を行うとともに、実際にデバイスを試作して特性評価を行う。

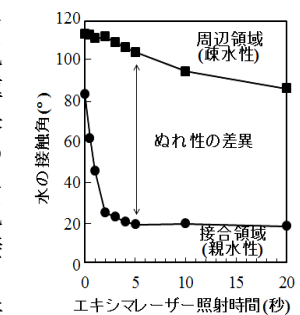
4. 研究成果

図2に示した三次元積層型光電子集積システム・オン・チップの実現を目指して、その鍵となるグラフォアセンブリ技術、三次元集積化技術、光インターコネクション技術、シリコンフォトニクス技術の検討を行うとともに、テストチップを試作して基本特性の評価を行った。得られた成果を、以下にまとめる。

1) グラフォアセンブリによる三次元集積化技術

三次元積層型光電子集積システム・オン・チップ表現のためには、各種のフォトニックデバイスを搭載した微小チップや、寸法の異なる多数のLSIチップを精度よく位置合わせして接合する技術が必須となる。そこで、本研究では、液体の表面張力を利用して、多くのチップを高精度で位置合わせして一括接合できるグラフォアセンブリ技術について研究した。グラフォアセンブリでは、チップ表面の表面状態を制御することによって液体を制御してチップの位置合わせ精度を向上させる。まず、チップ表面状態の位置合わせ精度に及ぼす影響について調べた。その結果、図5に示すように、チップ表面における親水性領域、疎水性領域の液体に対するぬれ性の差を大きくすることが位置合わせ精度の向上に大きな効果をもっていることが判明した。そこで、いろいろな手法により、親水性領域、疎水性領域の水の接触角差を大きくすることを検討した。その結果、エキシマレーザーを照射することによって、疎水性領域の表面状態を大きく変化させることなく、親水性領域に吸着している各種分子を脱離させる方法が効果的であることを見出した。図6に示すように、最適条件でのエキシマレーザー照射により、親水性領域、疎水性領域の水の接触角の差を著しく大きくすることができた。また、接触角差を大きくすることにより、グラフォアセンブリによる位置合わせ精度も著しく改善された。最適条件では、 $0.2\mu\text{m}$ を切るような位置合わせ精度も得られた。

図5 親水性領域、疎水性領域における水の接触角



次に、更なる精度の向上を目指して、チップ表面と基板表面に大きさや高さの異なる凹凸を設けて、この凹凸が順次かみ合うように位置合わせを行う階層的自己組織化手法について検討した。階層的自己組織化では、最初に、チップ表面の高い凸部と基板表面の大きな凹部で自己組織化位置合わせが行われた後、次に、最初の凸部よりは低い凸部と最初の凹部よりは小さい凹部で位置合わせが行われるようにチップ表面と基板表面に凹凸を形成しておく。また、最初の高い凸部と大きな凹部のかみ合わせ精度は低く、それよりも低い凸部と小さい凹部のかみ合わせ精度は高くしておく。このようにすることによって、かみ合わせ精度の低い凹凸部からかみ合わせ精度の高い凹凸部に向かって階層的に自己組織化位置合わせが進むので、高い位置合わせ/接合精度を実現できる。図7に、階層的自己組織化のためのかみ合わせ構造を示す。図8はかみ合わせによる位置合わせを行った後の赤外線顕微鏡写真である。図から $\sim 1\mu\text{m}$ の精度で位置合わせ

図6 エキシマレーザー照射による親水性領域、疎水性領域の水の接触角差の増大

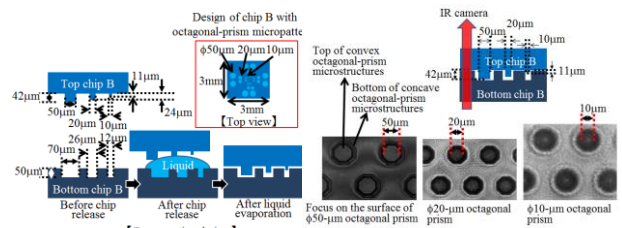
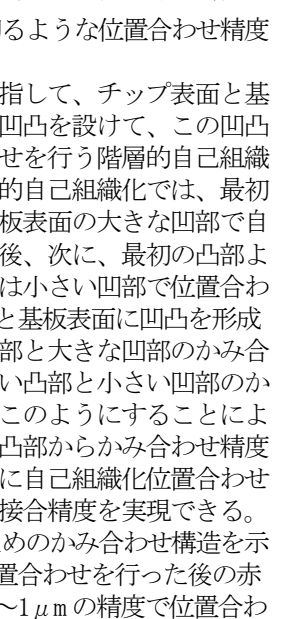


図7 階層的自己組織化のためのかみ合わせ構造

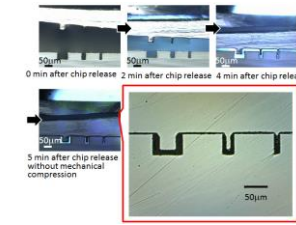


図9 かみ合わせによる位置合せ (上部チップ突起底部テーパ状)

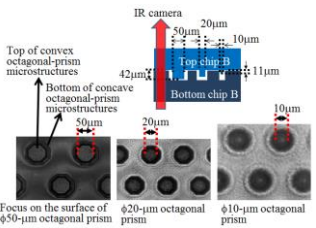


図8 かみ合わせによる位置合わせ後の赤外線顕微鏡写真

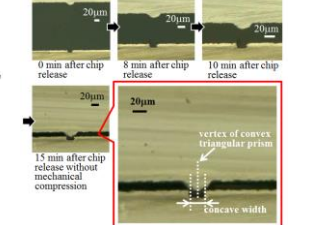


図10 かみ合わせによる位置合せ (上部チップピラミッド状突起)

ことができていることがわかる。図9はかみ合わせによる位置合わせを時系列的に示した写真である。位置合わせ後の断面顕微鏡写真に示すように、上部チップの突起底部をテーパ状にして位置合わせ精度を改善している。これによって $\sim 0.5\mu\text{m}$ の位置合わせ精度が実現できた。図10は上部チップの突起形状をピラミッド状にした場合の位置合わせ結果である。このような形状にすることにより、合わせ精度は更に改善され、 $\sim 0.1\mu\text{m}$ の位置合わせが可能となった。以上のようなグラフォアセンブリ技術を使って、図11に示すように、寸法の異なる500個以上のチップを8インチ・シリコンウェハ上に一括位置合わせを行い接合することに成功した。位置合わせに要した時間は全チップ一括で0.5秒以下である。チップ表面に多くの金属マイクロバンプ電極を形成したチップをグラフォアセンブリ技術を使って位置合わせし、接合することも試みた。その結果、図12に示すように、寸法 $5\mu\text{m} \times 5\mu\text{m}$ の微細In-Auマイクロバンプを有するチップを $0.2\mu\text{m}$ 以下の位置合わせずれで接合することができた。2500段のマクロバンプ接合から成るディジーチェーンで測定した1段当たりのマイクロバンプ接合抵抗は、 $5\mu\text{m} \times 5\mu\text{m}$ マイクロバンプで $164\text{m}\Omega$ と良好な値が得られた。100万本/cm²以上のシリコン貫通配線(TSV)を有する高集積の三次元集積システム・オン・チップを可能とするために、ビア径 $0.5\mu\text{m}$ 、ピッチ $2\mu\text{m}$ のTSV技術の開発にも取り組み、 $0.5\mu\text{m}$ 径のW-TSV(信号用)と $8\mu\text{m}$ 径のCu/W-TSV(電源用)を同一のプロセスで作製するハイブリッドTSV技術の開発にも成功した。

以上のように、チップ表面のナノ構造によって液体を制御し、それを利用することによって異種デバイスや異種チップを融合したヘテロ集積の可能性を実証できたことは、将来の新しい集積回路の可能性を開くものとして、その学術的、実用的価値は高い。



図11 グラフォアセンブリによるマルチチップ・ウェハ一括接合

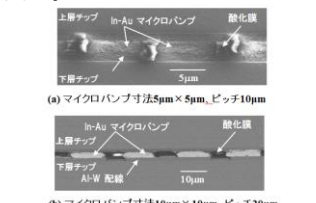


図12 グラフォアセンブリにより接合した付チップのSEM断面観察写真

2) 光インターコネクションとフォトニクス技術

光 TSV (TSPV) に関しては、図 13 に示すように、薄化したシリコン基板に Cu-TSV と TSPV を同時に作製するためのプロセスを確立した。このようにして作製した 10 μm 径の TSPV アレイに光信号を入射し、図 14 に示すように良好な光導波特性を得ることができ

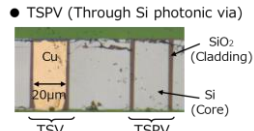


図 13 薄化シリコン基板への Cu-TSV と光 TSV の同時形成

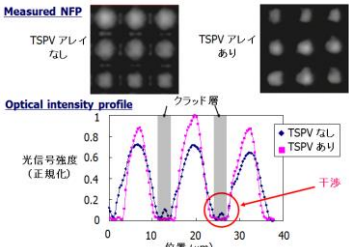


図 14 10 μm 径 TSPV の光導波特性

た。図 15 はシミュレーションにより求めた TSPV の光伝送効率のコア径、クラッド層厚さ依存性である。図から、クラッド層厚さ 0.25 μm とすることによって 90% 以上の光伝送効率を有するコア径 1 μm の微細 TSPV を実現できることがわかる。光集積システム・オン・チップを実現するためには、TSPV とともに、水平方向の微細シリコン光導波路、光方向性結合器、光変調器、受光素子などをシリコンチップ上に搭載する必要がある。そのため、TSPV 作製技術とあわせてこれらのフォトニックデバイスを作製するプロセスについても検討した。まず、TSPV を伝搬してきた光信号を水平方向の微細シリコン光導波路へと導波するための光方向性結合器に関しては、図 16 に示すようなミラー付グレーティングカップラを提案し、FDTD 法を用いた光シミュレーションにより詳細な検討を行った結果、図 17 に示すように、80% 以上という極めて高い結合効率を得られることが明らかになった。解析結果から、グレーティング上部に形成したミラーはグレーティングと光信号の結合を強めるだけでなく、グレーティング・パラメータの許容変動幅を大きくとれるため、ミラーなしの光グレーティングに比べて作製が容易であることもわかった。また、微細な Si 光導波路との結合も容易となる。図 18 に、実際に試作したミラー

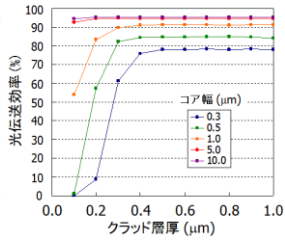


図 15 TSPV 光伝送効率のコア径、クラッド層厚依存性導波特性

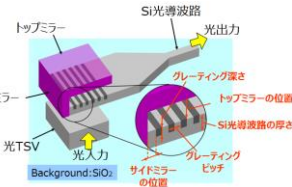


図 16 ミラー付光グレーティングカップラの構造

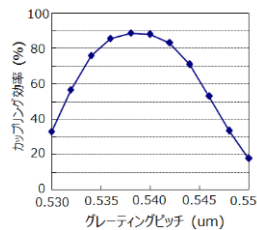


図 17 ミラー付光グレーティングカップラのカップリング効率

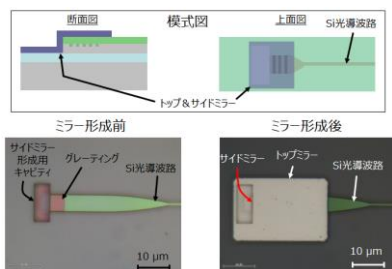


図 18 試作したミラー付光グレーティングカップラの顕微鏡写真

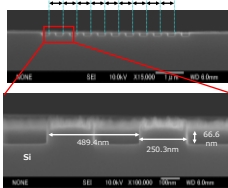


図 19 グレーティング部分の SEM 断面観察写真

付グレーティングカップラの顕微鏡写真を示す。図 19 はそのグレーティング部分の SEM 断面観察写真である。このようなミラー付グレーティングカップラの特性をシミュレーションと実測により評価し

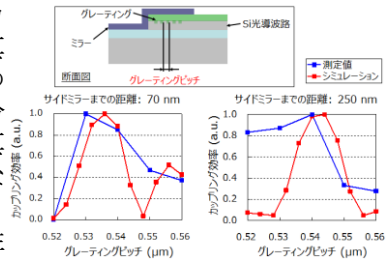


図 20 ミラー付光グレーティングカップラの特性評価結果

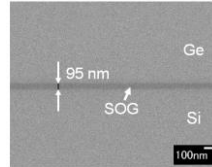


図 21 Ge と Si の接合面の SEM 断面観察写真

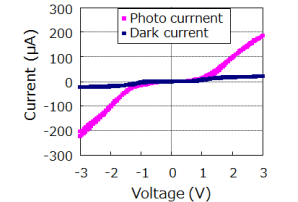


図 22 Ge MSM フォトダイオードの I-V 特性

た。評価結果を図 20 に示す。図から明らかのように、シミュレーションと実測値で良い一致が見られていることから、パラメータの最適化を行うことによって高い結合効率を達成できることが裏付けられた。受光素子の作製方法についても検討した。受光素子は赤外光を効率よく検出できるようにゲルマニウム(Ge)にて作製した。Si 表面に Ge からなるフォトダイオードを作製するために、図 21 に示すように、単結晶 Ge を Si 基板に接合する張り合わせ技術を新たに開発した。Si 基板に張り合わせた後 30 μm にまで薄化した Ge チップに MSM 型フォトダイオードを作製した。その結果、図 22 に示すような良好な光応答特性を得ることができた。フォトニクスデバイスとしてはこの他、試作は行わなかったが pin 構造のシリコン変調器と非相反性共振器(NRR: Non-Reciprocal Resonator)について FDTD シミュレーションにより評価した。その結果、直径 5 μm の非相反性リング共振器を用いて、消光比 10dB を得られることが明らかになり、既存の光変調器の限界を超えて、小型化・低消費電力化が可能な光変調器を実現できる可能性を見出した。この他、チップ間を接続する光インターコネクションについても検討し、図 23 に示すように、ポリマー光導波路と VICSEL、フォトダイオードを搭載したシリコンインターポージャーを介して、光によるチップ間的高速データ転送を実現した。

以上、7.5 μm という微細な径を有する垂直方向光インターコネクション(TSPV)の実現、80%以上という高い結合効率を有する微細グレーティングカップラの提案は、本研究が初めてであり、これによって垂直方向光インターコネクションと垂直方向電気配線の両方を有する新しい三次元積層型光集積システム・オン・チップ実現の可能性を示すことができたことから、その学術的、実用的価値は高い。

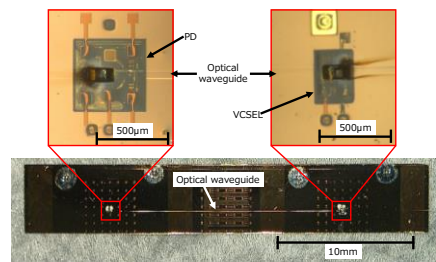


図 23 ポリマー光導波路、VICSEL、フォトダイオードを搭載した光インターポージャー

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)
[雑誌論文] (計 46 件)

- ① Takafumi Fukushima, Ji Cheol Bea, Hisashi Kino, Chisato Nagai, Mariappan Murugesan, Hideto Hashiguchi, Kang-Wook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi, Reconfigured-Wafer-to-Wafer 3D Integration Using Parallel Self-Assembly of Chips With Cu-SnAg Microbumps and a Nonconductive Film, IEEE TRANSACTIONS ON ELECTRON DEVICES, 査読有, Vol. 61, No. 2, 2014, pp. 533-539, DOI: 10.1109/TED.2013.2294831
- ② Kang-Wook Lee, Yuki Ohara, Kouji Kiyoyama, Ji-Cheol Bea, Mariappan Murugesan, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, Die-Level 3-D Integration Technology for Rapid Prototyping of High-Performance Multifunctionality Hetero-Integrated Systems, IEEE TRANSACTIONS ON ELECTRON DEVICES, 査読有, VOL. 60, NO. 11 2013, pp. 3842-3848 DOI: 10.1109/TED.2013.2280273
- ③ T. Fukusima, H. Hashiguchi, J. Bea, M. Murugesan, K.-W. Lee, T. Tanaka, and M. Koyanagi, 3D Integration Technologies Using Self-Assembly and Electrostatic Temporary Multichip Bonding, Proc. of IEEE 63rd ECTC 査読有, VOL. 63, 2013, pp58-63 DOI:10.1109/ECTC.2013.6575550
- ④ Ryosuke Furuya, Chuanhong Fan, Osamu Asai, Ken Suzuki, and Hideo Miura, Improvement of the Reliability of TSV Interconnections by Controlling Crystallinity of Electroplated Copper Thin Films, Proc. of IEEE 63rd ECTC, 査読有, Vol. 63, 2013, pp635-640, DOI:10.1109/ECTC.2013.6575640
- ⑤ Y. Munemasa, Y. Akihama, K. Hane, Wavelength characteristics of gap-variable silicon nanowire waveguide coupler switch using micro actuator, IEEEJ Trans. Sensors Micromachines, 査読有, vol:133, 2013, pp85-89, DOI: 10.1541/ieejms.133.85
- ⑥ T. Fukushima, H. Hashiguchi, J. Bea, Y. Ohara, M. Murugesan, K.-W. Lee, T. Tanaka, and M. Koyanagi, New Chip-to-Wafer 3D Integration Technology Using Hybrid Self-Assembly and Electrostatic Temporary Bonding, 2012 IEEE International Electron Devices Meeting Technical Digest (IEDM), 査読有, 2012, pp789-792, DOI: 10.1109/IEDM.2012.6479157
- ⑦ Takafumi Fukushima, Eiji Iwata, Yuki Ohara, Mariappan Murugesan, Jichoel Bea, Kangwook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi, Multichip-to-Wafer Three-Dimensional Integration Technology Using Chip Self-Assembly With Excimer Lamp Irradiation, IEEE TRANSACTIONS ON ELECTRON DEVICES, 査読有, VOL. 59(11), 2012, pp2956-2963, DOI:10.1109/TED.2012.2212709
- ⑧ Kota Nakahira, Hironori Tago, Ken Suzuki, Hideo Miura, Fumiaki Endo, Minimization of the Local Residual Stress in 3D Flip Chip Structures by Optimizing the Mechanical Properties of Electroplated Materials and the Alignment Structure of TSVs and Fine Bumps, J. of Electronic Packaging, 査読有, VOL. 134 (2), 2012, pp. 021006-1-6, DOI: 10.1115/1.4006142
- ⑨ Akihiro Noriki, Kangwook Lee, Jicheol Bea, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, Through-Silicon Photonic Via and Unidirectional-Coupler for High-Speed Data Transmission in Optoelectronic Three-Dimensional LSI, IEEE ELECTRON DEVICES LETTERS, 査読有, Vol. 33, 2012, 221-223, DOI: 10.1109/LED.2011.2174608
- ⑩ Y. Akihama, Y. Kanamori, K. Hane, Ultra-small silicon waveguide coupler switch using gap-variable mechanism, Optics Express, 査読有, 1.19, 11, 23658-23663, DOI: org/10.1364/OE.19.023658
- ⑪ Takafumi Fukushima, Eiji Iwata, Yuki Ohara, Mariappan Murugesan, Jichoel Bea, Kangwook Lee, Tetsu Tanaka, and Mitsumasa Koyanagi, Multichip Self-Assembly Technology for Advanced Die-to-Wafer 3-D Integration to Precisely Align Known Good Dies in Batch Processing, IEEE TRANSACTIONS ON COMPONENTS, PACKAGING AND MANUFACTURING TECHNOLOGY, 査読有, VOL. 1, 2011, pp1873-1884, DOI: 10.1109/TCPMT.2011.2160266
- ⑫ Kang-Wook Lee, Akihiro Noriki, Kouji Kiyoyama, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, Three-Dimensional Hybrid Integration Technology of CMOS, MEMS, and Photonics Circuits for Optoelectronic Heterogeneous Integrated Systems, IEEE TRANSACTIONS ON ELECTRON DEVICES, 査読有, 2011, pp748-757, DOI:10.1109/TED.2010.2099870
- ⑬ T. Fukushima, E. Iwata, T. Konno, J.-C. Bea, K.-W. Lee, T. Tanaka, and M. Koyanagi, Surface-tension-driven chip self-assembly with load-free hydrogen fluoride-assisted direct bonding at room temperature for three-dimensional integrated circuits, Applied Physics Letters, 査読有, VOL. 96, 2010, pp154105-1 - 154105-3, DOI:10.1063/1.3328098
- ⑭ Akihiro Noriki, Makoto Fujiwara, Kang-Wook Lee, Woo-Cheol Jeong, Takafumi Fukushima, Tetsu Tanaka, Mitsumasa Koyanagi, Optical Interposer Technology Using Buried Vertical-Cavity Surface-Emitting Laser Chip and Tapered Through-Silicon Via for High-Speed Chip-to-Chip Optical Interconnection, Japanese Journal of Applied Physics, 査読有, VOL. 48, 2009, pp C113-1-C113-5, DOI:10.1143/JJAP.48.04C113

他 32 件

〔学会発表〕(計 111 件)

① Mitsumasa Koyanagi, Heterogeneous 3D Integration-Technology Enabler toward Future Super-Chip (Plenary Talk), IEEE International Electron Devices Meeting 2013 (IEDM), 2013 年 12 月 9 日、アメリカ、ワシントン D. C.

② 小柳 光正、三次元集積化による超低消費電力化、第 29 回京都賞記念ワークショップ先端術部門、2013 年 11 月 12 日、京都

③ A. Noriki, K. W. Lee, J. Bea, T. Fukushima, T. Tanaka and M. Koyanagi, Fabrication Tolerance Evaluation of High Efficient Unidirectional Optical Coupler for Though Silicon Photonic Via in Optoelectronic 3D-LSI, IEEE International 3D System Integration Conference (3DIC) 2011, 2012 年 2 月 1 日、大阪

④ A. Noriki, K. W. Lee, J. Bea, T. Fukushima, T. Tanaka, and M. Koyanagi, Through Silicon Photonic Via (TSPV) with Si Core for Low Loss and High-Speed Data Transmission in Opto-Electronic 3-D LSI, IEEE International 3D System Integration Conference 2010 (3DIC), 2010 年 11 月 17 日、ドイツ、ミュンヘン
他 107 件

〔図書〕(計 5 件)

① Mitsumasa Koyanagi, Tetsu Tanaka 他, Wiley-VCH, Handbook of 3D Integration, Vol.3, 3D Process technology, 2014, 280 (pp5・1・21-5・1・30)

② 三浦英生、他、株式会社エヌ・ティー・エス、破壊力学体系-壊れない製品設計に向けて-, 第 12 章 2 節 薄膜デバイス信頼設計, 2012, 536 (pp205-210)

③ M. Koyanagi, 他, Wiley-VCH, Handbook of Wafer Bonding, 2011, 450 (pp139-159)

④ M. Koyanagi, 他, Springer, Ultra-thin Chip Technology and Application, Chapter III-11, "3D Technology Using Ultra-Thin Chips," 2010, 467 (pp109-124)

⑤ Mitsumasa Koyanagi (Co-editor/Author), Material Research Society, Materials and technologies for 3-D Integration, 2009, 273 (pp25-32)

〔産業財産権〕

○出願状況(計 2 件)

名称: チップ支持基板、チップ支持方法、三次元集積回路、アセンブリ装置及び三次元集積回路の製造方法

発明者: 小柳 光正、福島 誉史、田中 徹

権利者: 東北大学

種類: 特許, 番号: PCT/JP2013/74876

出願年月日: 2013 年 9 月 13 日, 国内外の別: 外国

名称: 半導体装置

発明者: 鈴木 拓、北村 康宏、浅見 一志、

小柳 光正、福島 誉史、李 康旭

権利者: 東北大学、(株) デンソー

種類: 特許, 番号: 特願 2014-53473

出願年月日: 2014 年 3 月 17 日, 国内外の別: 国内

○取得状況(計 0 件)

〔その他〕

・三次元スーパーチップ LSI 試作拠点

Global Integration Initiative (GINTI)

ホームページ <http://www.ginti.niche.tohoku.ac.jp>

・新聞報道等

① 2014 年 3 月 28 日 23:00~23:30;

世界を支える驚異の技術(ディスカバリー・ジャパン)

② 2013 年 10 月 9 日; 東北大, 宮城に試作拠点開設,

3次元 LSI 試作を支援(半導体産業新聞)

③ 2013 年 10 月 3 日; 半導体の立体構造に挑む

東北大の三次元 LSI 拠点(日経産業新聞)

④ 2013 年 9 月 25 日; 3次元 LSI 試作拠点完成 多賀城

東北大「半導体復権を目指す」(河北新報)

⑤ 2013 年 9 月 24 日; 「東北の復興を象徴する 3次元 LSI

の世界的拠点に」, 東北大が 300mm 対応の試作用ラインを公開(日経 B P 半導体)

⑥ 2013 年 9 月 20 日; GINTI 開所式テレビ報道

(仙台放送、東日本放送)

⑦ 2013 年 9 月 16 日; 第 2 部<技術編>コストを下げて

民生機器へ, TSV の青銅技術を革新, 液体の表面張力で位置合わせ(日経エレクトロニクス, p. 51)

6. 研究組織

(1) 研究代表者

小柳 光正 (Koyanagi, Mitsumasa)

東北大学・未来科学技術共同

研究センター・教授

研究者番号: 60205531

(2) 研究分担者

・福島 誉史 (Fukushima, Takafumi)

東北大学・未来科学技術共同

研究センター・准教授

研究者番号: 10374969

・田中 徹 (Tanaka, Testu)

東北大学・大学院医工学研究科・教授

研究者番号: 40417382

・羽根 一博 (Hane, Kazuhiro)

東北大学・大学院工学研究科・教授

研究者番号: 50164893

・三浦 英生 (Miura, Hideo)

東北大学・大学院工学研究科・教授

研究者番号: 90361112

・裴 艶麗 (Pei, Yanli)

東北大学・国際高等研究教育機構・助教

研究者番号: 70451622

・清山 浩司 (Kiyoyama, Kouji)

長崎総合科学大学・工学部・准教授

研究者番号: 60412722