

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成24年5月15日現在

機関番号：17102

研究種目：基盤研究A

研究期間：2009～2011

課題番号：21246054

研究課題名（和文） 高性能ULSIのための歪みGeチャネルの形成と物性評価

研究課題名（英文） Formation of Strained Ge Channel and Material Evaluation for High performance ULSI

研究代表者

中島 寛 (NAKASHIMA HIROSHI)

九州大学・産学連携センター・教授

研究者番号：70172301

研究成果の概要（和文）：

本研究では、Si-On-Insulator上にSiGeをエピタキシャル成長させて酸化濃縮する手法により歪みSiGe-On-Insulator(SGOI)を形成すると共に、Ge基板上に高誘電率ゲート絶縁膜(High-k膜)を形成する手法を構築した。得られた成果は次の通りである。高品質SGOI形成にはGe濃度50%が最適で、歪み率と正孔チャネル移動度はそれぞれ1.7%と $570\text{ cm}^2/\text{V}\cdot\text{s}$ である。Ge基板上へHigh-k膜を形成し、酸化膜換算膜厚(EOT)1.0 nm、界面準位密度 $9\times 10^{11}\text{ cm}^{-2}\text{eV}^{-1}$ 、同一EOTのSiO₂と比べて4桁のゲートリーク電流低減を達成した。Ge基板上にnおよびp-MOSFETを試作し、電子移動度 $1097\text{ cm}^2/\text{V}\cdot\text{s}$ 、正孔移動度 $376\text{ cm}^2/\text{V}\cdot\text{s}$ の性能を得た。これはSiと比べて約1.5倍の高移動化を意味する。

研究成果の概要（英文）：

In this study, we established the fabrication of strained SiGe-on-insulator (SGOI) using Ge condensation by dry oxidation and the fabrication of high permittivity (High-k) gate insulator on Ge. Through these researches, we obtained the following results. The SGOI with a Ge fraction of 50% showed high strain ratio and hole channel mobility, which were 1.7% and $570\text{ cm}^2/\text{V}\cdot\text{s}$, respectively. We achieved the High-k/Ge gate stack with the performances of an equivalent SiO₂ thickness (EOT) of 1.0 nm, an interface state density of $9\times 10^{11}\text{ cm}^{-2}\text{eV}^{-1}$, and a leakage current of 4 orders of magnitude lower than SiO₂ with the same EOT. Also, we fabricated n-and p-MOSFET and achieved an electron mobility of $1097\text{ cm}^2/\text{V}\cdot\text{s}$ and a hole mobility of $376\text{ cm}^2/\text{V}\cdot\text{s}$, which mean approximately 1.5 times enhancement compared with Si.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2009年度	21,800,000	6,540,000	28,340,000
2010年度	9,400,000	2,820,000	12,220,000
2011年度	4,500,000	1,350,000	5,850,000
年度			
年度			
総計	35,700,000	10,710,000	46,410,000

研究分野：工学

科研費の分科・細目：電気電子工学・電子・電気材料工学

キーワード：半導体物性、電子・電気材料、結晶工学、先端機能デバイス、絶縁膜

1. 研究開始当初の背景

Si-ULSI は、基本素子である MOSFET のスケーリングにより高性能化(高速・低消費電力化)を達成して来たが、Si 材料物性の制約から物理的限界を迎えている。このため、次世代の高性能 ULSI には、Si 物性を遙かに凌駕する新材料の導入や結晶への歪みの導入により物性を極限まで引き出し、高移動度チャンネルを実現することが不可欠となる。そのためには、高移動度かつ絶縁膜との界面特性に優れた MOS 構造を特定し、その潜在能力を明確にしてデバイス化技術への道筋をつけることが重要となる。本研究では、高誘電率絶縁膜(High-k 膜)/Ge-On-Insulator(GOI)構造に着目した。

Ge の電子/正孔移動度は Si より 2.5 倍/4 倍大きく、圧縮歪みを加えた場合、理論から予測される正孔移動度は Si の 10 倍以上の値を示すことが報告されていた。しかし、Ge は狭ギャップ (0.66 eV) のため、Ge-MOSFET では OFF 時の pn 接合リークが増大するため、Ge 基板の代わりに GOI 基板が注目されていた。この GOI 基板技術が確立されれば、接合リーク電流の低減と寄生容量の低減、並びに Ge の持つ物性と歪みによる重畳効果のため大きな移動度向上が期待される。

高移動度 Ge チャンネルに不可欠なもう一つの技術がゲート絶縁膜形成である。Si-CMOS に於いては、ゲート絶縁膜のスケーリングとリーク電流低減のため、ゲート絶縁膜が SiO₂ から High-k 膜に移行し始めていた。このトレンドに沿って、High-k/Ge の研究が活発化していた。しかし、界面準位密度が大きく、良好な界面特性を持つ絶縁膜技術は確立していなかった。

2. 研究の目的

本研究では、高移動度チャンネルを有する歪み GOI の形成手法を構築する共に、良質な界面・絶縁特性を有する High-k/Ge の形成手法を構築し、デバイス化技術への道筋をつけることを目的とした。なお、GOI 形成には、SiGe-On-Insulator (SGOI) の酸化濃縮法を用いたので、研究対象は SGOI も含むことになる。

本研究では、1. SGOI 形成手法の構築、2. High-k/Ge 構造形成手法の構築、3. Ge デバイス化技術の構築、の研究を実施した。得られた成果を以下に述べる。

3. 研究の方法

(1) SGOI 形成手法の構築

化学気相成長法を用いて、Si-On-Insulator (SOI) (Si 層 : 70 nm、BOX 層 : 140 nm) 基板上に SiGe をエピタキシャル成長させ、その後 Si を堆積して Si/SiGe/SOI 構造を形成した。この基板を酸化し Ge 濃縮を行った。Ge 濃度が 50% 以下の SiGe-On-Insulator (SGOI) は初期構造 10 nm-Si/74 nm-Si_{0.85}Ge_{0.15}/140 nm-BOX/Si 基板から、Ge 濃度が 50% 以上の SGOI は初期構造 10 nm-Si/80 nm-Si_{0.78}Ge_{0.22}/140 nm-BOX/Si 基板から、Ge 濃縮を行った。

酸化濃縮 SGOI 層中の欠陥濃度、移動度等の物性は、バックゲート p-MOSFET と n-MOSFET を作製し、その電気特性から評価した。酸化濃縮過程で発生する欠陥の終端化技術として、Al 導入を検討した。用いた手法は、Al₂O₃-堆積後熱処理 (postdeposition annealing: PDA) である。厚さ 20 nm の Al₂O₃ 膜を Al₂O₃ ターゲットからのマグネトロンスパッタリングにより SGOI 上に堆積し、PDA を 500-800°C の範囲の温度で 30 分間、N₂ 中で処理した。

更に、歪み SiGe-On-Insulator の研究に展開した。上記と同様に、SOI 基板上に SiGe 層をエピタキシャル成長させて SiGe/SOI を準備した。具体的には、4 種類の SiGe/SOI (7 nm-Si/80, 160, 250, 400 nm-Si_{0.93}Ge_{0.07}/55 nm-Si/150 nm BOX/Si) 基板を用いた。20% Ge 濃度まで酸化濃縮した後、SiGe 上に成長した SiO₂ 膜を除去し、それぞれの基板に対して 50% の Ge 濃度まで濃縮した。この時、酸化濃縮後の SGOI 膜厚は、初期 SiGe 膜厚が厚い程厚くなり、それぞれ 11, 23, 35 and 56 nm であった。更に、Ge 濃度の異なる SGOI 基板も同様に作製した。酸化濃縮 SGOI 層中の歪みはラマン測定、チャンネル移動度はバックゲート p-MOSFET の電気特性から評価した。

(2) High-k/Ge 構造形成手法の構築

ゲート絶縁膜と Ge 基板との間に挿入する界面層 (IL: Interlayer) として、界面準位密度 (D_{it}) の低い GeO₂/Ge 構造が有望視されている。その D_{it} 値は $1-2 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ で、SiO₂/Si と同程度に良いことが示されている。しかし、GeO₂ を大気暴露すると、H₂O や炭化物などの

不純物が GeO₂ 中に混入し、特性が劣化することが報告されている。

本研究では、Ge 表面を薄い GeO₂ でパッシベーションし、大気暴露無しで GeO₂ を安定材料の SiO₂ でパッシベーションする、2層パッシベーション (BLP: bilayer passivation) 法を構築することを目指した。この手法が確立できれば、MOS 作製において高品質な GeO₂ 形成が可能となると共に、その後の絶縁膜形成が GeO₂ 特性劣化の要因とはならないと考えたからである。本研究で確立した BLP 法の概略とその性能を次に述べる。

確立した BLP 法の手順を図1に示す。Ge 基板を HF 洗浄後、450°C の熱酸化で GeO₂ を 3 nm 形成した。この試料を本研究経費で導入した PVD 装置にセットし、2×10⁻⁵ Pa 以下まで排気した後、基板を 550°C まで短時間昇温し、表面クリーニングを行った。引き続き、真空を破ることなく、350°C での Ar スパッタリング (ガス圧: 1 Pa、ターゲット: SiO₂) を用いて膜厚 1.0 nm (成膜速度: 0.1 nm/min) の SiO₂ を堆積させた。この際、XPS と TEM の結果から、SiO₂ 成膜雰囲気中に O₂ を添加すれば約 1 nm の GeO₂ が SiO₂ 直下に形成されること、O₂ を添加しなければ GeO₂ は形成されないこと、が分かった。本研究では、図1の(a)→(b)→(c)→(d)のプロセスにより、BLP 構造を作製した。

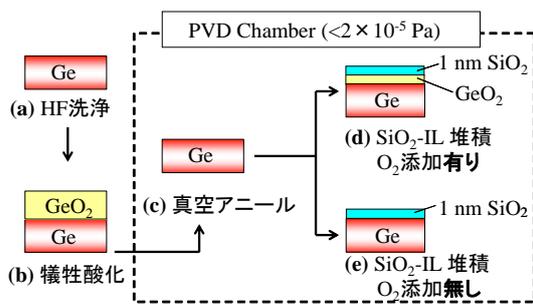


図1 BLP 法のプロセスフロー。

4. 研究成果

(1) SGOI 形成手法の構築

酸化濃縮 SGOI に対して P の固相拡散によりソース/ドレインを形成し、バックゲート MOSFET を作成した。これらの試料の I_D-V_G 特性を図2に示す。閾値電圧 V_T が Ge 濃度の増加と共に、急激に増加しており、これは空乏層中のイオン化したアクセプタ濃度 (N_A) が増加し

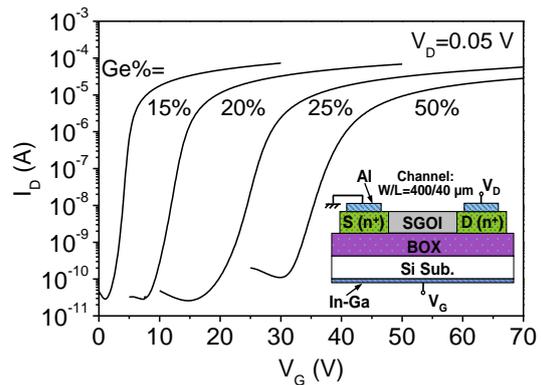


図2 Ge 濃度の異なる SGOI の I_D-V_G 特性。

たことを意味する。V_T および I_D-V_G 特性の傾きから求まる S-factor から N_A と D_{it} を算出した。Ge 濃度 15-75% SGOI に対して得られた N_A 及びホール効果で求めた正孔濃度(p)を図3に示す。N_A の Ge 濃度依存性は、p の依存性と異なることが明らかとなった。即ち、低 Ge 濃度領域でも N_A は 10¹⁶ cm⁻³ 以上であるのに対して、p は約 2 桁低い。しかし、高 Ge 濃度領域では両者はほぼ一致する。この相違は、図4に示したバンド図により説明できる。Hall 効果の測定ではバンドの曲がりがないのに対して、MOSFET の測定ではバンドが曲がった状況となる。このため、酸化濃縮過程で生ずる欠陥が深いアクセプタ(A)として働くと、ホール効果では A は A⁰ となり、荷電子帯に正孔は供給されない。一方、バンド曲がりがある場合、空乏層中で A は A⁻ となり、空間電荷層の形成に寄与する。この違いから低 Ge 濃度領域の N_A と p の違いが説明できる。これは、欠陥起因の深いアクセプタ準位 (E_{TA}) が低 Ge 濃度領域で既に発生していることを意味する。歪み緩和で生ずる積層欠陥が E_{TA} のソースであろうと推測している。従って、p は SGOI 結晶の良否の指標とはなり得ないと言える。

一方、p は Ge 濃度 50% 付近から急増し、高 Ge 濃度領域で p=N_A となる。これは、Ge 濃度増加に伴い、E_{TA} が荷電子帯側へエネルギーシフトすることで説明できる。即ち、E_{TA} がフェルミ準位の下に位置するようになれば、A は A⁻ となり、正孔が荷電子帯に供給される。この E_{TA} のエネルギーシフトは、ホール効果の温度依存性の測定から明確に観測できる。(図5)

次に、欠陥終端化技術を開発した。Al-PDA

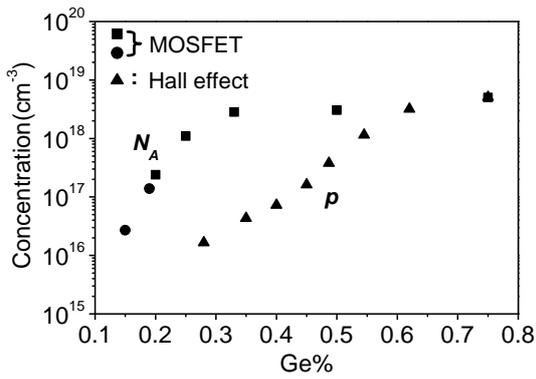


図3 SGOI中の N_A と p のGe濃度依存性.

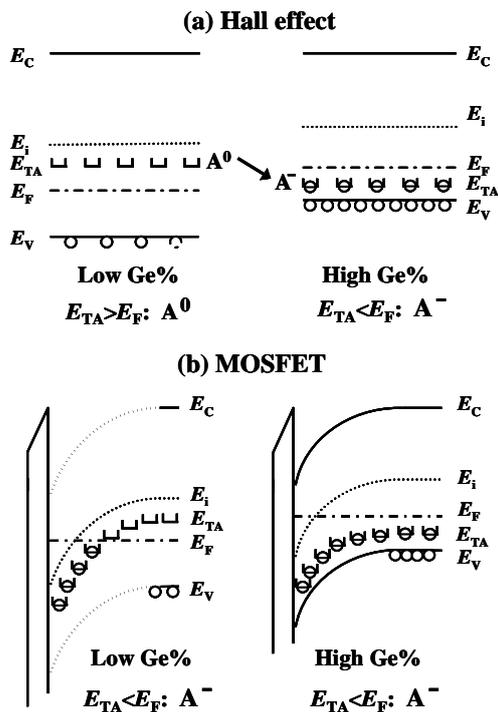


図4 SGOIのエネルギーバンド図.

(a) Hall 効果、(b) MOSFET.

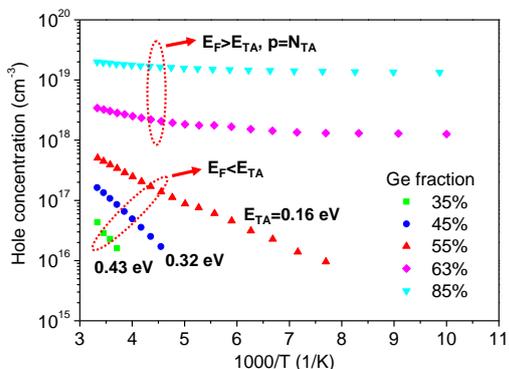


図5 p を $1/T$ の関数としたlogプロット.

は、SGOI形成時に発生する欠陥の終端化に有効であることを明らかにしている。しかし、Al-PDA処理後のSGOIをチャンネル層とするには、AlとSGOIとの界面に形成される反応層が課題となる。この課題に対して、Alの代わりに Al_2O_3 によるPDA処理を検討した。その結果、 Al_2O_3 -PDA処理により、正孔濃度が約1桁低減すること、 D_{it} の低減効果はAl-PDAと比べて小さいこと、が分かった。また、 Al_2O_3 -PDA処理後の表面は、表面反応がまったく観測されなかった。こうして、Al-PDAの課題であったSGOIとの反応層の形成防止は Al_2O_3 を用いることにより解決できた。

以上の研究から、酸化濃縮時に発生する歪み緩和が欠陥生成の原因であることが分かった。従って、歪みが緩和しなければ、欠陥発生抑制と歪みによる移動度向上が期待できる。そこで、歪みSiGe-On-Insulatorの研究に展開した。

図6に $Ge\%=50\%$ まで濃縮した4種類のSGOI試料のラマンシ信号を示す。この結果から、Si-SiとSi-Geピークの信号強度比はほぼ同じであることから、SGOIのGe濃度は同じであること、Si-SiとSi-Geピーク位置が異なることからそれぞれのSGOI試料で歪み率が異なること、が分かった。この結果の詳細解析から、歪み緩和率(R)と歪み率(ϵ_c)のSGOI膜厚依存性を明らかにした。結果を図7に示す。SGOI層の厚さが薄い程、歪み緩和率が小さく、歪み率が高いことが分かった。驚くべき結果として、11nmのSGOIでは、歪み率が1.7%にも達することが判明した。

このSGOI試料の移動度をバックゲートp-MOSFETの電流-電圧特性からチャンネル正孔移動度(μ_h)を算出した。得られた結果を図8に示す。SGOI厚さが薄くなる程、移動度が向上していることが分かる。更に、11nm-SGOIでは、移動度が $570\text{ cm}^2/\text{V}\cdot\text{s}$ にも達し、SOIで得られたSiの移動度に比べて、3倍の向上が達成されている。歪み無しの $Ge\%=50\%$ に於ける正孔移動度は約 $300\text{ cm}^2/\text{V}\cdot\text{s}$ である。このことから、1.7%の歪み導入により、移動度が約2倍に向上したと考えられる。酸化濃縮SGOIに於いては、大きな歪み導入と歪み緩和の抑制による欠陥発生の低減、の両立が極めて重要と言える。

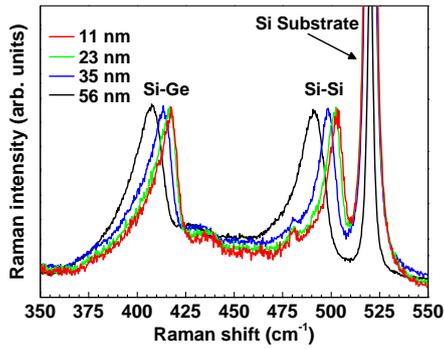


図 6 異なる厚さの SGOI 基板のラマンスペクトル (Ge=50%).

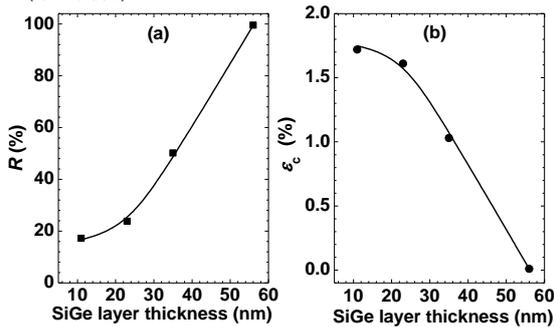


図 7 Ge=50% の SGOI 層の (a) R と (b) ϵ_c .

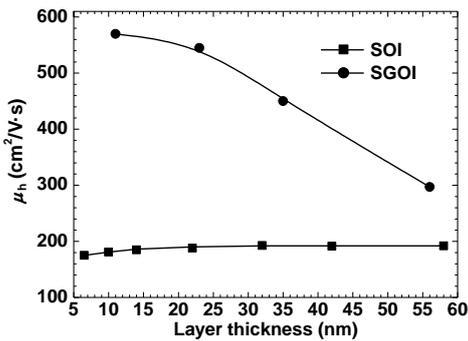


図 8 SOI および SGOI (Ge=50%) の正孔移動度.

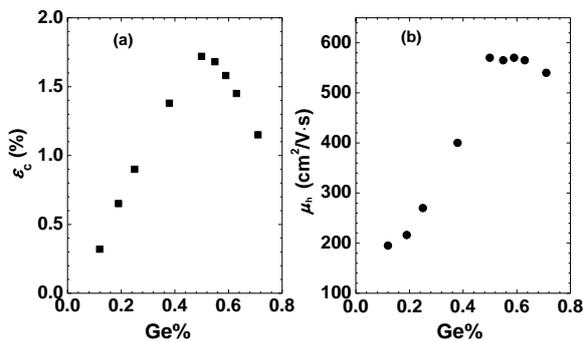


図 9 (a) ϵ_c および (b) μ_h と Ge% の関係.

歪みの更なる増強を目的に、初期膜厚 80nm の試料を Ge 濃度 70% まで濃縮した。歪み率 (ϵ_c) の Ge 濃度依存性を図 9(a) に示す。Ge 濃度 50%

付近までは、歪みが単調に増加するが、50% 以上では歪み緩和が起こる様子が良く分かる。一方、チャネル正孔移動度の Ge 濃度依存性 (図 9(b)) は、Ge 濃度 50% 以上でほぼ一定値に保たれている。これは、Ge の高濃度化による移動度向上、歪み効果の低減による移動度劣化が共存した結果と解釈される。

(2) High-k/Ge 構造形成手法の構築

BLP法で形成される GeO_2/Ge 界面の評価試料を以下の手順で作製した。Ge 基板に対して BLP を施した後、Ar スパッタリング (室温) により SiO_2 を 10 nm 堆積させた。その後、 550°C での熱処理を N_2 中に行い、電極として Al を蒸着・加工し、MOS 構造を形成した。また、Al 蒸着後に熱処理 (Al-PMA: Al-postmetallization annealing) を行なうことで、 D_{it} の低減を試みた。 D_{it} の測定は、MOS キャパシタの DLTS により評価した。その結果、Al-PMA 無しの試料に於いて、midgap 付近で $D_{it}=4\times 10^{11} \text{ cm}^{-2}\text{eV}^{-1}$ と良好な値が得られた。 $\text{SiO}_2/\text{GeO}_2$ 界面も D_{it} に影響を及ぼすことを考慮すると、BLP 法は高品質な MOS 界面形成に適した方法と言える。更に、 400°C で Al-PMA 処理した試料では、midgap 付近で $D_{it}=1.0\times 10^{11} \text{ cm}^{-2}\text{eV}^{-1}$ と非常に低い値が得られた。これは、 $\text{SiO}_2/\text{GeO}_2$ 界面の欠陥が Al で終端され、本来の GeO_2/Ge 界面の D_{it} が得られたと解釈される。

更に、BLP を High-k ゲート絶縁膜に展開した。Ge 上に O_2 添加無しで厚さ 0.5 nm の SiO_2 を堆積した。その後、 450°C で熱酸化した。XPS 測定から、酸化処理後に GeO_2 が形成されていることが分かった。この試料に対して、厚さ 2 nm の Zr 膜および厚さ 0.45 nm の SiO_2 絶縁膜を PVD 法で堆積し、 550°C での PDA を行った。XPS 測定及び TEM 観察から、Zr 膜と SiO_2 膜の堆積により固相反応が起こり、 $\text{SiO}_2/\text{Zr}/\text{SiO}_2$ が ZrSiO になっていることが分かった。

この High-k/Ge 構造上に TiN メタルゲートプロセスで MOS キャパシタを作製し、電気特性・界面特性を評価した。作成試料の C-V 特性及び D_{it} のエネルギー分布を図 10(a) 及び図 11(a) に示す。EOT は 1.59 nm と薄く、また D_{it} は $3.3\times 10^{11} \text{ cm}^{-2}\text{eV}^{-1}$ を達成し、薄くて界面特性の良いゲートスタックが実現できた。

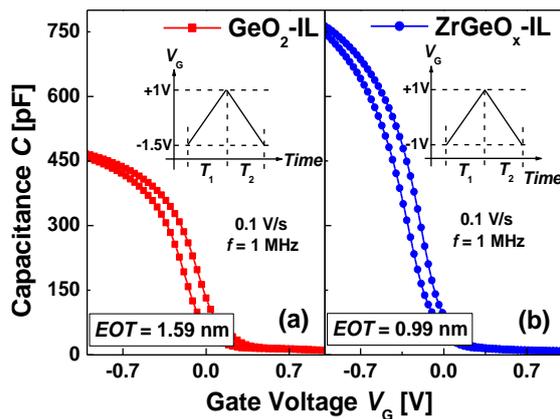


図 10 (a) GeO_2 -IL 及び (b) ZrGeO_x -IL Ge MOS キャパシタの C-V 特性.

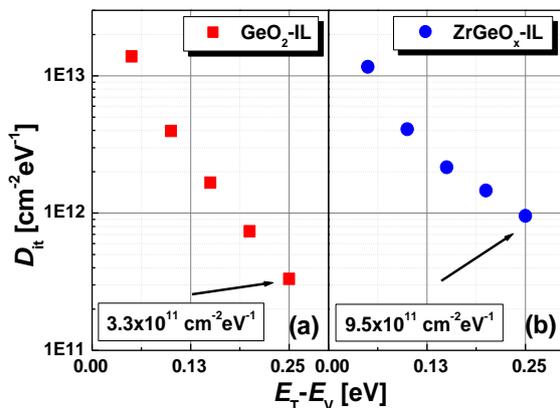


図 11 (a) GeO_2 -IL 及び (b) ZrGeO_x -IL Ge MOS キャパシタの D_{it} 分布.

しかし、Ge-CMOS が実現される世代では、1 nm 以下の EOT が求められ、EOT の更なる低減が必要である。この解決策として GeO_2 フリーな High-k 膜形成に取り組んだ。その手法は、High-k 材料(Zr)を Ge 上に直接堆積することで生じる固相反応(ZrGe)を利用したものである。ZrGe 形成後の絶縁膜形成プロセスにおいて酸素を導入させることで、 ZrGeO_x を IL とする MOS キャパシタの作製に成功した。作成試料の C-V 特性及び D_{it} のエネルギー分布を図 10(b)及び図 11(b)に示す。EOT は 0.99 nm で、極薄の EOT を実現した。また、 D_{it} は $9.5 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ とかなり高いが、 GeO_2 フリーな High-k/Ge 構造としては良好な特性と言える。

(3) Ge デバイス化技術の構築

本研究では、(2) で述べた絶縁膜技術をゲート絶縁膜形成に用いた。その他、MOSFET 試作にはソース/ドレイン (S/D) 形成、表面パ

ッシベーション、S/D 電極のコンタクト形成が必要である。本研究ではこれらのプロセスの適正化を行い、最適な試作プロセスの構築を行った。結果として、世界最高水準の高移動度 Ge-MOSFET を実現した。具体的には、電子移動度が $1097 \text{ cm}^2/\text{V}\cdot\text{s}$ 、正孔移動度が $376 \text{ cm}^2/\text{V}\cdot\text{s}$ の n-および p-MOSFET が実現した。これは Si と比べて約 1.5 倍の高移動化を意味する。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 23 件発表、内 2 件を記載)

① H. Yang, D. Wang, H. Nakashima “Influence of SiGe layer thickness and Ge fraction on compressive strain and hole mobility in a SiGe-on-insulator substrate fabricated by the Ge condensation technique” *Thin Solid Films*, Vol. 520, No. 8, pp. 3283-3287 (2011). 査読有

② H. Yang, M. Iyota, S. Ikeura, D. Wang, H. Nakashima “Passivation of Electrically Active Defects in Ge-Rich SiGe-on-Insulator by Al_2O_3 Deposition and Subsequent Post-Deposition Annealing” *App. Phys. Express*, Vol. 3, pp. 071302-3 (2010). 査読有

[学会発表] (計 35 件発表、内 2 件を記載)

① H. Yang, D. Wang, H. Nakashima “Mobility and strain evaluations of SiGe-on-insulator substrates with different SiGe layer thickness and Ge fraction” 7th Int. Conf. on Si Epitaxy and Heterostructures, 2011.8.29, Leuven, Belgium.

② H. Nakashima, K. Hirayama, K. Yamamoto, H. Yang, D. Wang “High-quality gate-stack formation on Ge and defect termination at the interface” E-MRS 2011 Spring Meeting, 2011.5.11, Nice, France. 招待講演

[その他]

ホームページ等

http://astec.kyushu-u.ac.jp/nakasima/naka_home.htm

6. 研究組織

(1) 研究代表者

中島 寛 (NAKASHIMA HIROSHI)

九州大学・産学連携センター・教授

研究者番号：70172301

(2) 連携研究者

王 冬 (WANG DONG)

九州大学・産学連携センター・特任准教授

研究者番号：10419616

(3) 研究協力者

楊 海貴 (YANG HAIGUI)

JSPS 外国人特別研究員