

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 25 年 4 月 1 日現在

機関番号：14501

研究種目：基盤研究(B)

研究期間：2009～2012

課題番号：21360171

研究課題名（和文）量子輸送シミュレータによる極限シリコン新構造・新材料デバイスの設計

研究課題名（英文）Design of New Structure and New Material Devices by a Quantum Transport Simulator in Ultimately Scaled VLSIs

研究代表者

小川 真人 (OGAWA MATSUTO)

神戸大学・大学院工学研究科・教授

研究者番号：40177142

研究成果の概要（和文）：集積回路(LSI)では、それを構成するトランジスタが、ナノメートルオーダーにまで微細化され、電子の量子力学的性質(波動性)や構成原子の個性が特性に影響を与えつつある。次世代トランジスタの候補として電流路をナノメートルまで細くしたナノワイヤ(NW)トランジスタと呼ばれる構造が注目されているが、消費電力を増大させる原因となるリーク電流などスイッチング特性の劣化や消費電力の増大、製造誤差の拡大のために新材料や新構造を用いたデバイスの必要性が高まっている。本研究ではリーク電流を低減し、LSIの消費電力を低減するために、新たに量子力学的な原子レベルのシミュレータを開発し、それを用いて新しい構造のトランジスタが実現可能であることを明らかにしている。

研究成果の概要（英文）：In recent years, advances in LSI technology based on the continuous scaling of metal-oxide-semiconductor (MOS) field-effect transistors (FETs) has enabled improvements in the switching speed, density, functionality, and cost of microprocessors. However, such downsizing now becomes a cause of reducing the device performance due to increasing leakage current and short channel effects.

In this project, we have investigated, making use of a newly developed quantum transport simulator, the effectiveness of using the InAs/Si hetero-junction nanowire (NW) as a solution to the above problem, and influence of strain caused by hetero-junction on tunneling characteristics through hetero interface.

As a result, the simulator enabled us to find that the InAs p-i-n structure shows most favorable characteristics in both the on-current and the sub-threshold slope and the p-Si-i-Si-n-InAs structure is the runner-up.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2009年度	4,700,000	1,410,000	6,110,000
2010年度	3,700,000	1,110,000	4,810,000
2011年度	2,400,000	720,000	3,120,000
2012年度	2,600,000	780,000	3,380,000
総計	13,400,000	4,020,000	17,420,000

研究分野：工学

科研費の分科・細目：電気電子工学、電子デバイス・電子機器

キーワード：量子力学的シミュレーション、非平衡グリーン関数法、原子レベルシミュレーション、第一原理バンド構造計算

1. 研究開始当初の背景

シリコン MOS 型トランジスタでは、キャリア

が量子力学的な効果でSi-SiO₂ 界面から数ナノメートル(nm) 離れた位置にずれていることは数十年前から明らかになっていたが、 μm オーダのデバイスサイズではほとんど問題にならなかった。しかし、スケール則に基づくデバイスの微細化に伴って nm スケールのデバイスが作成されるようになり、この影響がデバイス特性に大きく影響するようになっている。また、ソースドレイン間トンネル電流やゲートリーク電流等の量子力学的効果が存在することや、微細化のみによる素子性能向上も困難になりつつあり、新しい構造(DGMOS, FIN 構造) や新材料(III-V 族半導体チャネル等) を用いたデバイスが提案・検討されている。一方、微細化に伴う製造コストの上昇は素子開発のターンアラウンドタイムを増加させ、半導体産業の体力を奪う要因となっている。

申請者らは、ナノサイエンス分野、特に、現在では、微細化により電子の波動性が顕わになってきて従来のドリフト・拡散モデルやモンテカルロ法などの古典的なシミュレーションの設計手法の信頼性が揺らいでいるナノスケール MOSFET の量子力学的設計手法を確立するために、原子軌道関数展開を用いた非平衡グリーン関数(NEGF: Non-Equilibrium Green's Function) 法に基づく原子スケールでの量子力学的なデバイスモデリング技術及びシミュレータの開発を十数年にわたり先見的に行ってきた。

2. 研究の目的

この微細化技術の進展が維持されると2020年頃にはデザインルールが原子数十個のオーダに達すると予測され、今後、シリコンテクノロジーのみに頼らないシリコンとの複合材料や新しい材料・構造を用いたデバイス設計・開発が必要になり、そこで出現する物理現象を量子論に基づいて第一原理的に予測し理解することができるシミュレータを開発し、それを用いてデバイスとして最も適した構造や材料を効率的に探索することが現在の喫緊の課題となっていると思われる。

3. 研究の方法

(1) 新材料の特性を反映した原子論的シミュレーションプログラムの開発

現在のプロトタイプシミュレータをシリコン系技術と化合物半導体との複合構造デバイスにも対応し得る汎用性を持たせるために、ダイヤモンド、閃亜鉛鉱構造、立方晶系、六方晶系を問わず任意の結晶系に対する強束縛(TB) 近似ハミルトニアンを第一原理密度汎関数法によるバンド構

造計算結果から遺伝的アルゴリズムによるパラメータ抽出を行う手法により生成するモデルを開発する。その結果現在のシリコン系材料に対する原子論的 TB-NEGF 法を、より複雑な半導体材料の特性を反映を行ったデバイス輸送特性解析を可能とする手法として発展させる。

(2) 最良基底展開を用いたシミュレータ高速化

TB 近似で原子軌道関数を用いた場合、有効質量近似に比べ大きなデバイスサイズ($\geq 65\text{ nm}$) では計算時間の面で困難であるが、原子軌道の多項式線形結合(DVR: discrete variable representation) を基底とした展開法および再帰 Green 関数法の複合解法によりシミュレータの高速化を図る。

(3) 微細デバイス構造中の散乱機構を考慮した非平衡量子輸送デバイスモデリング

フォノン散乱、界面ラフネス散乱、不純物散乱、離散的な不物分布がもたらす効果と取り扱いを原子スケールでの NEGF 表式(TB-NEGF) に取り入れ、非平衡量子輸送デバイスシミュレータの構築を行う。それを基にして、新構造・新材料デバイスの性能予測と微細化の限界の予測を行う。

4. 研究成果

(1) Si/InAs ナノワイヤトンネルトラン

ジスタの原子レベルの特性解析
オフリーク電流を低減し、オン電流を増加させ、サブスレッショルドスイング(S 値) を改善する構造として Si ナノワイヤと InAs ナノワイヤのヘテロ接合バンド間トンネリングを利用した新構造デバイスの特性解析を行っている。原子配置の決定には Valence Force Field(VFF) 法の一つとして知られる Keating Potential を用いたポテンシャルの安定点で原子位置を決定する手法を用い、電子状態に関しては $sp^3s^*d^5$ 軌道を考慮した経験的強束縛近似法(empirical tight-binding 法) を用いた。

トンネル接合が Si の p-i 接合(p 型半導体と intrinsic 半導体) で形成される場合、InAs の p-i 接合で形成される場合、Si i-n 接合、InAs i-n 接合の場合とを比較した結果、オン電流は InAs の p-i 接合で形成される場合が最も大きくなることが示された。オフ電流はこの場合 4 者の中で最も小さいが、オン電流に比べて 7 桁以上小さいので実用上問題ないことが分かっている。トンネル構造にしたことによりオフ領域の電流の切れ(S 値) が従来トランジスタ(S=60mV/decade: 黒い実線) に比べ急峻になっており、待機電力の低減につながる。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 15 件) (すべて査読あり)

- ① Y. Miyoshi, M. Ogawa, S. Souma, "Analysis of tunneling characteristics through hetero interface of InAs/Si nanowire tunneling field effect transistors," Proc. of SISPAD 2012, pp. 368-371 (2012).
- ② Y. Saito, H. Fujikawa, S. Souma, M. Ogawa, "Fast Perturbative Treatment for Efficient Nano-Scale Device Simulation Based on Bridge-Function Pseudo-Spectral Method," Proc. of SISPAD 2012, pp. 384-387 (2012).
- ③ Y. Yamada, H. Tsuchiya, M. Ogawa, "Atomistic Modeling of Electron-Phonon Interaction and Electron Mobility in Si nanowires," Journal of Applied Physics, Vol. 111, No. 6, pp. 063720-1 - 063720-11 (2012).
- ④ N. Takiguchi, S. Koba, H. Tsuchiya, M. Ogawa, "Comparisons of Performance Potentials of Si and InAs Nanowire MOSFETs under Ballistic Transport," IEEE Trans. on Electron Devices Vol. 59, No. 1, pp. 206-211 (2012).
- ⑤ J. Choi, K. Nagai, H. Tsuchiya, M. Ogawa, "Performance Analysis of Junctionless Transistors Based on Monte Carlo Simulation," Applied Physics Express, Vol. 5, p. 054301, Apr. (2012).
- ⑥ S. Nakamura, M. Ogawa, S. Souma, "Theory of finite temperature Josephson transport through a ferromagnetic insulator," Physics Procedia, Vol. 27, pp. 308-311, (2012).
- ⑦ S. Souma, M. Ogawa, T. Yamamoto, K. Watanabe, "Parity induced edge-current saturation and current distribution in zigzag-edged graphene nano-ribbon devices", Journal of Computational Electronics, Vol. 10, No. 1-2, pp. 35-43, (2011).
- ⑧ R. Sako, H. Tsuchiya, M. Ogawa, "Influence of Band-Gap Opening on Ballistic Electron Transport in Bilayer Graphene and Graphene Nanoribbon FETs," IEEE Trans. on Electron Devices Vol. 58, No. 10, pp. 3300-3306 (2011).
- ⑨ S. Souma, M. Ogawa, "Impact of native interface asymmetry and electric field on spin-splitting in narrow gap semiconductor heterostructures," J. Korean Phys. Soc., Vol. 58, No. 51 pp. 1251-1255, (2011).
- ⑩ Y. Maegawa, S. Koba, H. Tsuchiya, M. Ogawa, "Influence of Source/Drain Parasitic Resistance on Device Performance of Ultrathin Body III-V Channel Metal-Oxide-Semiconductor Field-Effect Transistors," Applied Physics Express, Vol. 4, p. 084301, Aug. (2011).
- ⑪ 相馬聡文, 小川真人, 山本貴博, 渡辺一之, 長汐晃輔, "グラフェンナノエレクトロニクス素子開発に向けて—素子シミュレーションと素子作成・物性評価—", 固体物理 Vol. 45 No. 1 p. 63-76, (2010).
- ⑫ S. Souma, M. Ogawa, "Effect of interface structure on current spin-polarization in narrow gap semiconductor heterostructures," Physica E., vol. 42, Issue 10, pp. 2718-2721, (2010).
- ⑬ S. Souma, M. Ogawa, "Spin-polarization in InAs/AlSb double barrier resonant tunneling structures: influence of barrier material and interface structure," Physics Procedia Vol. 3 Issue 2, pp. 1287-1290, (2010).
- ⑭ H. Tsuchiya, H. Ando, S. Sawamoto, T. Maegawa, T. Hara, H. Yao, M. Ogawa, "Comparisons of Performance Potentials of Silicon Nanowire and Graphene Nanoribbon MOSFETs Considering First-Principles Bandstructure Effects," IEEE Trans. on Electron Devices, Vol. 57, No. 2, pp. 406-414, Feb. (2010).
- ⑮ Wei Wang, H. Tsuchiya, M. Ogawa, "Enhancement of Ballistic Efficiency due to Source to Channel Heterojunction Barrier in Si Metal Oxide Semiconductor Field Effect Transistors," J. Appl. Phys., Vol. 106, No. 2, 024515, Jul. (2009).

[学会発表] (計 20 件)

- ① 澤本 俊, 前川忠志, 原 孟史, 土屋英昭, 小川真人 第一原理バリステックシミュレーションによる Si ナノワイヤトランジスタの性能予測, 第 70 回 応用物理学会 学術講演会 09/08/2009 富山大学

他

[図書] (計 0 件)

[その他]

- ・ 応用物理学会フェロー表彰
小川真人「原子論的ナノデバイスシミュレーターに関する先駆的研究」(2011)
- ・ IMFEDK2012 (IEEE EDS) Best Student Award,
Y. Miyoshi, M. Ogawa, S. Souma, and H.

Nakamura, "Numerical simulation of transport properties in InAs /Si heterojunction nanowire tunneling field effect transistors" (2012)

6. 研究組織

(1) 研究代表者

小川 真人 (OGAWA MATSUTO)

神戸大学・大学院工学研究科・教授

研究者番号 : 40177142

(2) 研究分担者

相馬聡文 (SOUMA SATOFUMI)

神戸大学・大学院工学研究科・准教授

研究者番号 : 20432560

(3) 連携研究者

該当なし ()

研究者番号 :