

## 科学研究費助成事業（科学研究費補助金）研究成果報告書

平成24年 5月11日現在

機関番号：15301

研究種目：基盤研究（C）

研究期間：2009～2011

課題番号：21500055

研究課題名（和文） 動的再構成可能ハードウェアを有するプロセッサの構成技術に関する研究

研究課題名（英文） The research on the processor with dynamically reconfigurable hardware

研究代表者

名古屋 彰（NAGOYA AKIRA）

岡山大学・大学院自然科学研究科・教授

研究者番号：70437565

研究成果の概要（和文）：低消費電力で高性能なコンピュータの実現手法として、実行時に回路構成を変更可能なハードウェアと汎用プロセッサコアとが連携動作する構成方式の有効性を明らかにした。また、このような新しい処理方式を有するコンピュータへのアプリケーション実装を自動化する手法として、アプリケーションの記述言語、適宜生成される回路モジュールの記述方式と、言語記述からの動作シミュレーション方式、自動合成方式を明らかにした。

研究成果の概要（英文）：From a viewpoint of a low-power consumption and high-performance computer, we clarified the profitability of the processor which consists of dynamically reconfigurable hardware and general-purpose processor cores. We also clarified the design framework and the description language for applications and reconfigurable modules on such a new computer.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2009年度	1,700,000	510,000	2,210,000
2010年度	800,000	240,000	1,040,000
2011年度	800,000	240,000	1,040,000
総計	3,300,000	990,000	4,290,000

研究分野：総合領域

科研費の分科・細目：情報学，計算機システム・ネットワーク

キーワード：リコンフィギャラブルシステム，再構成可能ハードウェア

## 1. 研究開始当初の背景

(1) 最近の汎用プロセッサでは、消費電力の増大などの問題から、チップ内に多数のプロセッサ（コア）を内蔵させることで、システムとしての性能向上を実現する手法が主流になってきている。さらに、性質の異なる多種のコアを搭載するものが有望視されている。しかし、これらは、固定的なプロセッサハードウェアを前提とし、多様でかつ動的に処理

条件が変化する対象に対してソフトウェアのみによる対応を要求するものであり、必ずしも高い処理効率は望めない。つまり、低負荷時にはプロセッサの一部を休止させる、電源を遮断するなどといった低消費電力化のアプローチはなされているものの、ソフトウェア／ハードウェアによる処理そのものを見直し、本質的に効率化することには至らない。

(2) FPGA (Field Programmable Gate Array) などの再構成可能なハードウェアの柔軟性をより積極的に活用し、汎用プロセッサが持つプログラマビリティと専用ハードウェアが有する高い性能を両立させようとするリコンフィギャラブルコンピューティングの研究が活発化している。しかしながら、これまでの研究は、特定のアプリケーション処理のハードウェア化というアプローチで研究がなされているものの、汎用プロセッサにおいてソフトウェアが可能としている動的なデータ構造のようなもののハードウェア化やコンピュータシステムの処理全般に効果が期待されるオペレーティングシステム (OS) 機能の動的再構成ハードウェアによる実現というアプローチはなされていない。

## 2. 研究の目的

(1) 動的に構成を変更可能なハードウェアと汎用プロセッサコアとが連携動作する新しいプロセッサの構成技術について検討し、処理対象に適応可能な効率的なプロセッサの実現手法を明らかにする。

(2) 動的なデータ構造の構成とアクセス手法や、利用環境の変化に効率的に対応可能なOS機能の動的再構成可能なハードウェアによる実現について検討するとともに、高負荷となる処理対象を動的に再構成可能ハードウェア向けにマッピングしていく手法について検討し、効率性に優れた柔軟なプロセッサへのアプリケーションの実装手法を明らかにする。

## 3. 研究の方法

(1) 既存の再構成可能ハードウェアや動的再構成可能ハードウェアを利用し、具体的なアプリケーション処理を実装して定量的な評価を実施することにより、本研究で提案する動的再構成可能ハードウェアとプロセッサコアとの連携が可能となる環境における処理性能

を具体的に見積もり、性能や電力効率の観点から、その有効性を評価した。

(2) 再構成可能ハードウェア上に適宜構成される専用回路による処理と汎用プロセッサコアでのソフトウェア処理とが連携する対象に対してアプリケーションの効率的な実装を可能にするための設計環境として、そのシミュレーション方式、動的に生成される回路モジュールの記述方式と自動合成方式、アプリケーション全体の記述方式と自動合成方式に関して、それぞれ既存技術の利用も考慮しながら検討した。

## 4. 研究成果

(1) 動的再構成可能ハードウェアの種々の構成方式を既存技術の調査も含めて検討するとともに、各種の構成手法を定量的に比較評価する手法を検討した。具体的には、既存の再構成可能ハードウェアであるXilinx社のFPGAや動的再構成可能ハードウェアであるアイピーフレックス社のDAPDNA-2を対象に、DCT (Discrete Cosine Transform)、AES (Advanced Encryption Standard) 等の各種の処理を実装し、ソフトウェア実装との比較を行うことで再構成可能ハードウェアや動的再構成可能ハードウェアの有効性と、アプリケーション実装における設計ツールの問題点を明確にした(学会発表⑤, ⑩)。また、OS機能の動的再構成可能ハードウェア実装を目指すための基本検討として、組込みシステム等の用途で重要となる高精度な周期実行制御を実時間プロセスをまとめて管理する手法(雑誌論文②, 学会発表⑥)、入出力要求数の制御によりサービス時間を制御する手法(雑誌論文①, 学会発表⑧)を評価した。プロセッサコアと連携しハードウェアの一部を部分的に再構成する方式に関しては、既存の部分再構成可能FPGAを用いた試行によりその性能や消費電力を定量的

に評価することによって、動的再構成の効果と課題を明らかにした(学会発表①)。さらに、動的な部分再構成が可能であることを活用して処理効率を向上できるアプリケーション例として、文字列のパターンマッチング処理に着目し、その実装手法の検討を進めた(学会発表③)。これらの検討により、動的再構成可能ハードウェアと汎用プロセッサコアとが連携動作するプロセッサの有効性を示すことができた。アプリケーションやOSの各種処理との親和性に優れた構成方式の詳細検討は今後の課題である。

(2) 再構成可能ハードウェアに構成される専用回路による処理と、汎用プロセッサコアでのソフトウェア処理との連携方式、および動的な再構成を制御する方式に関して、その手法を定量的に評価するためのプロセッサシミュレータの開発およびプロセッサの柔軟な制御方式の検討を行った。具体的には定量的な性能評価のベースとなるプロセッサシミュレータに関して、Javaを用いて実装しているプロセッサシミュレータJavaScalarをベースに、その実行効率の向上を図った(学会発表⑨)。また、再構成可能ハードウェアの比較評価と合わせて、プロセッサコアと動的再構成可能ハードウェアとの連携による処理をソフトウェアでシミュレーションし比較評価する手法の開発に取り組んだ。本検討により、再構成可能ハードウェアに構成される専用回路による処理と、汎用プロセッサコアでのソフトウェア処理との連携、および動的な再構成制御を記述するための高水準な記述言語とその処理系の必要性が明らかになり、今後の研究開発の方向が明確になった。

(3) 動的再構成可能ハードウェアの機能を定める構成情報、すなわち動的に生成される回路に相当する情報を、設計記述言語による記述から自動合成することを目指し、シミュレ

ーション目的と合わせて相応しい記述言語について検討を行った。具体的には、BYU (Brigham Young Univ.) により開発された JHDL (Just-another Hardware Description Language) に着目し、動的再構成可能ハードウェアでの機能および処理を JHDL を用いて記述する方式について検討し、各種動的再構成手法への対応へ必要な記述手法や機能を明確にした(学会発表④)。しかしながら、JHDL では記述の抽象度が十分に高いとはいえない面があり、動的再構成可能な構成要素に対するより相応しい記述言語の検討が今後の課題として明らかになった。

(4) 動的再構成可能ハードウェアの機能を定める構成情報の生成に関して、設計記述言語からの自動合成を目指し、既存のハードウェア設計自動化技術の調査も含め、その手法を検討した。具体的には、論理合成システム PARTHENON の論理合成処理を複数プロセッサで並列実行することにより大規模論理を効率良く合成する手法を実現した(学会発表⑩)。また、グラフィックスプロセッサなどを含む異種混在の計算資源向けの設計フレームワークである OpenCL をハードウェア設計に用いる手法を提案し、具体的な設計環境実現手法と共にその有用性を明らかにした(学会発表②、⑦)。OpenCL からハードウェア記述言語への自動変換の実現などにより既存の論理合成系を活用できる統合的な設計環境の構築は、今後の課題である。

## 5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 2 件)

① 長尾 尚、谷口 秀夫、入出力要求数の制御によりサービス時間を調整する制御法の実現と評価、電子情報通信学会論文誌D、査読有、Vol. J94-D, No. 7, 2011, pp. 1047-1057

② Y. Furukawa, T. Yamauchi, H. Taniguchi,  
Implementation and Evaluation for  
Sophisticated Periodic Execution Control  
in Embedded Systems, International Journal  
of Control and Automation, 査読有、Vol. 4,  
No. 2, 2011, pp. 59-78

〔学会発表〕(計26件)

① 山先 秀昌、渡邊 誠也、名古屋 彰、部分  
再構成可能FPGAへのAES暗号回路の実装手法  
の検討、電子情報通信学会 2012年総合大会  
情報・システム講演論文集1、D-18-4、p. 235、  
2012年3月22日、岡山大学

② 畑 広志、渡邊 誠也、名古屋 彰、OpenCL  
を用いたハードウェア設計環境の実現の検討、  
電子情報通信学会 2012年総合大会 学生ポス  
ターセッション予稿集、ISS-P-228、p. 104、  
2012年3月21日、岡山大学

③ 野上 将人、渡邊 誠也、名古屋 彰、動的  
再構成可能ハードウェアを利用したパターン  
マッチング処理手法の提案、電子情報通信学  
会技術研究報告、RECONF2011-37、pp. 87-92、  
2011年9月27日、名古屋大学

④ 古島 直道、渡邊 誠也、名古屋 彰、動的  
再構成可能ハードウェアの設計におけるJHDL  
利用手法の提案、情報処理学会/電子情報通信  
学会 第10回情報科学技術フォーラム(FIT  
2011)、C-011、pp. 407-412、2011年9月9日、  
函館大学

⑤ 山先 秀昌、渡邊 誠也、名古屋 彰、AES  
暗号回路のFPGAへの実装と評価、電気・情報  
関連学会 平成22年中国支部連合大会 講演論  
文集、20-3、pp. 236-237、2010年10月23日、  
岡山県立大学

⑥ Y. Furukawa, T. Yamauchi, H. Taniguchi,  
Proposal for Sophisticated Periodic  
Execution Control in Embedded Systems,  
Springer LNCS 6485, 2nd International  
Conference on Advanced Science and

Technology, pp. 549-563, 2010年6月24日、  
Sheraton Grande Ocean Resort in Miyazaki

⑦ 岸本 祐司、渡邊 誠也、名古屋 彰、OpenCL  
を用いたハードウェア設計手法の提案、第35  
回パルテノン研究会資料集、pp. 9-16、2010  
年3月5日、中央大学

⑧ 長尾 尚、谷口 秀夫、入出力性能の制御に  
よりプログラム実行速度を調整する制御法、  
電子情報通信学会技術研究報告、CPSY2009-33、  
pp. 33-38、2009年10月20日、東京大学

⑨ 竹永 直樹、渡邊 誠也、名古屋 彰、Java  
を用いたプロセッサシミュレータへのスナッ  
プショット機能の実装、電気・情報関連学会  
平成21年中国支部連合大会 講演論文集、20-4、  
pp. 466-467、2009年10月17日、広島市立大学

⑩ 古島 直道、渡邊 誠也、名古屋 彰、動的  
再構成可能プロセッサDAPDNA-2へのアプリケ  
ーション実装手法の比較・評価、電子情報通  
信学会技術研究報告、RECONF2009-30、pp.  
67-72、2009年9月18日、宇都宮大学

⑪ 田食 洋輔、渡邊 誠也、名古屋 彰、  
PARTHENONにおける論理合成処理の並列化、第  
34回パルテノン研究会資料集、pp. 5-12、2009  
年8月27日、東海大学

## 6. 研究組織

### (1) 研究代表者

名古屋 彰 (NAGOYA AKIRA)

岡山大学・大学院自然科学研究科・教授

研究者番号：70437565

### (2) 研究分担者

谷口 秀夫 (TANIGUCHI HIDEO)

岡山大学・大学院自然科学研究科・教授

研究者番号：70253507

渡邊 誠也 (WATANABE NOBUYA)

岡山大学・大学院自然科学研究科・助教

研究者番号：90304336