

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成24年3月31日現在

機関番号：32612

研究種目：基盤研究（C）

研究期間：2009～2011

課題番号：21500061

研究課題名（和文）再構成可能LSIを用いた実用的CFDアプリケーションの高速化に関する研究

研究課題名（英文）Acceleration techniques for practical CFD packages using FPGAs

研究代表者

天野 英晴（AMANO HIDEHARU）

慶應義塾大学・理工学部・教授

研究者番号：60175932

研究成果の概要（和文）：JAXAによるComputational Fluid Dynamicsの実用パッケージであるUPACSとFaSTARのFPGAによる高速化を行った。UPACSは、メモリアクセスが複雑で高速化の難しいサブルーチンをFPGA上で実行し、PCのソフトウェアに比べ、それぞれ5倍～20倍の高速化を達成した。また、Partial Reconfigurationにより利用FPGAの個数を減らし、省電力化を行った。さらにFaSTARの高層化用に不規則格子による計算のストールを1%に減らすOut-of-order機構を提案した。設計サポート用のツールもいくつか開発した。

研究成果の概要（英文）：Practical packages of Computational Fluid Dynamics, UPACS and FaSTAR are accelerated by implementing on FPGAs. For UPACS, the execution speed of subroutines with complicated memory accesses was improved by 5 times to 20 times as the software execution on a PC. By using the partial reconfiguration, the number of utilized FPGAs and consumed power were reduced. For FaSTAR, an Out-of-order mechanism which reduces the number of stalls caused by treating unstructured mesh to only 1% was proposed and implemented. Tools for supporting such designs were also developed.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2009年度	1,100,000	330,000	1,430,000
2010年度	1,200,000	360,000	1,560,000
2011年度	1,000,000	300,000	1,300,000
年度			
年度			
総計	3,300,000	990,000	4,290,000

研究分野：情報学

科研費の分科・細目：計算機システム・ネットワーク

キーワード：リコンフィギャラブルシステム、計算流体動力学、アクセラレータ

1. 研究開始当初の背景

Computational Fluid Dynamics（計算流体力学）は、航空機の翼や胴体の設計になくてはならないツールとして広く用いられている。しかし計算の対象サイズが大きいと、演算量が膨大となり、計算に時間が掛る問題がある。CFDも、PCクラスタや、より価格性能比の良いGPU（Graphic Processing Unit）

を用いるなど、科学技術演算の多くの分野で効果的な方法を用いることで、ある程度の性能の改善を図ることは可能である。しかし、CFDの問題の多くは、メモリに対するアクセスが複雑で、これらの大規模な並列処理を用いるプロセッサは、他の分野に比べてあまり有効に働かない。

一方、FPGA（Field Programmable Gate

Array) に代表される再構成可能 LSI は、近年大規模化が進み、CFD を対象として高い効率で性能を上げた実装例が報告されている。しかし、従来の実装例は、ステンシル演算など CFD のコアとなる演算を単純化して抜き出して実装したものであり、実用的なパッケージの高速化を行った例はなかった。

2. 研究の目的

本研究の目標は、実用的な CFD パッケージの高速化を FPGA を用いて行うことである。対象とするパッケージには、JAXA が開発した UPACS および、より新しく複雑なパッケージ FaSTAR を用いた。また、対象となる FPGA システムには、JAXA の開発したマルチ FPGA システム FLOPS-2D を用いたが、一般的な FPGA ボードでも高速化が行えるように配慮した。

3. 研究の方法

(1) CFD パッケージ UPACS の高速化: 高速化に先立って、SPARC64V Solaris8 で実行した場合のプロファイリングを行った。この結果、図 1 に示すような実行時間の割合があることがわかった。この例は $40 \times 40 \times 40$ のグリッド数であるが、グリッド数が大きくなると、「その他」の割合は 10% まで小さくなる。このうち割合の大きいサブルーチンの高速化に取り組んだ。一例として MUSCL の高速化手法を簡単に説明する。

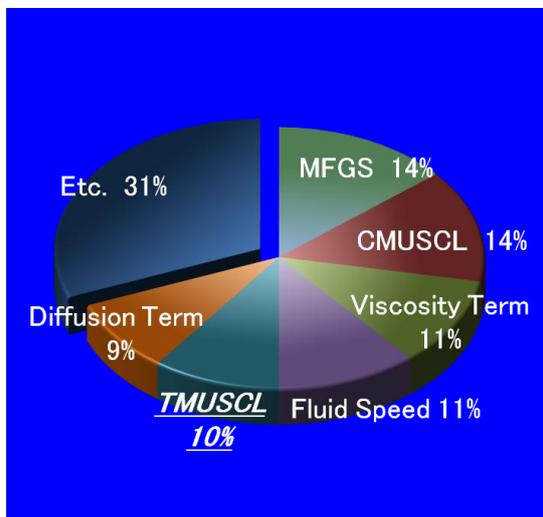


図 1 MUSCL のプロファイル結果

MUSCL の演算パイプラインは浮動小数点演算装置を式に従って並べることで構成できる。問題は、MUSCL のアクセスが連続性がなく、とびとびのアドレスでデータをアクセスする点であり、通常アクセス制御ではパイプラインの実行効率が低下する。

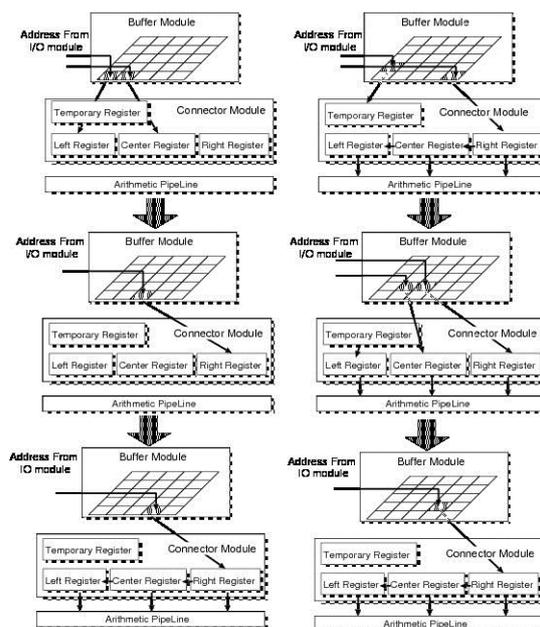


図 2 MUSCL のアクセスコントローラ

このことを解決するため、図 2 に示すデータアクセススケジューラとレジスタからなるアクセスコントローラを開発した。このコントローラを用いることで、バッファ上の格子データを切れ目なくパイプラインに供給することができる。

(2) パーシャルリコンフィギュレーションを用いた各サブルーチンの軽量化

(1) での実装を行う場合、MUSCL は数個分の FPGA を必要とする。しかし、パッケージは通常、すべてのサブルーチンを用いるわけではなく、また基本的にサブルーチンは順番に動作するので、一度にすべてが動作することはない。最近の FPGA には、全体を動作させながら一部のブロックのみを入れ替えることが可能である。この方法をパーシャルリコンフィギュレーションと呼ぶ。MUSCL 内部の Flux Limiter Function は、対象となる問題が決まれば、複数個のうちから一つを選んで使うことができる。そこで、Flux Limier Function の部分を入れ替え可能な独立モジュールとして設計を行い、動的に入れ替えることで利用チップ数を減らす手法を試みた。同様な手法は TMUSCL, CMUSCL の二つのサブルーチンで用いることができる。図 3 は、Virtex-6 (XC6VLX240T) 上のレイアウトを示す。

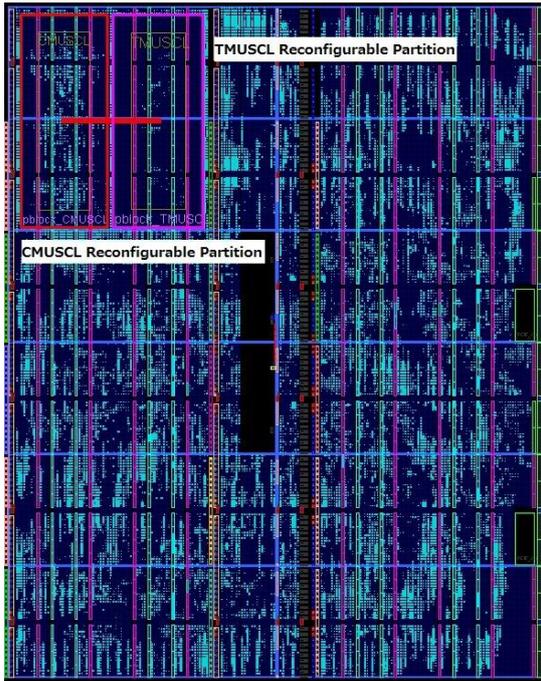


図3 Virtex-3上のレイアウト

図中の左上の2つの赤い四角形が、それぞれのサブルーチン中でFlux Limiter Functionが載る場所である。この場所に処理に応じて様々な設計がロードされて実行される。

(3) 不規則格子を扱うパッケージFaSTAR用のOut-of-order 機構の実現

FaSTARはUPACSと異なり非構造格子を採用したCFDパッケージであり、複雑形状のサンプルを高速にシミュレーションできる。このアプリケーションの処理時間の内訳を調べ、データフローを解析した。これにより、データ依存性の存在する処理で実行効率が低下することが分かった。処理効率が低下する例として、空間離散化のための面積分が挙げられる。面積分計算は、各格子で流束と面積を足し合わせる処理である。FPGAに実装した面積分計算の一部である足し合わせ処理を図4に示す。

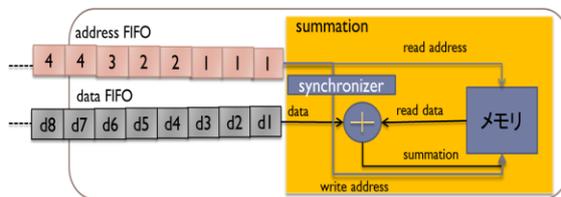


図4 面積分計算のFPGA実装の一部
この処理ではアドレスが指定するメモリのエントリからデータを読み出し、外部からの入力と足し合わせて、同じエントリに書き戻す。読み出しから書き戻すまで数クロックかかる。処理中のデータを要求する場合、そのデータが処理されメモリに格納されるまで

待つ必要がある。これをストールと呼び、頻繁に生じるため、演算器の処理効率が低下し、処理速度が低下する。この効率低下を低下させるために、我々は処理尾を行う順序を入れ替えるコントローラであるOut-of-Orderモジュールを提案した。Out-of-Orderモジュールは図5に示すような構成を取っている。この構成はデータの読み出しから格納までに8クロック掛かることを想定している。処理中のデータを把握するための実行モニタと処理できないデータを待機させる待ちバッファを持ち、データ依存性がある処理を行うタイミングを操り性能を向上させる。また、格子の境界条件を考慮することで比較器の削減を図った。

(4) 実用的なCFDパッケージを搭載するためのツールの開発

① 網羅的探索ツール RER

CFDパッケージは多数のパイプライン化された浮動小数演算装置を用いる。このパイプライン化された演算装置からなる大規模なデータパスを複数のFPGAに分割して実行するためには、様々な切断方法とパイプライン構成手法が考えられる。この検討を容易とするため、可能な手法を網羅的に検討するツールRER (Resource Estimation and Re-configuration) を開発した。

② 浮動小数点 PE アレイ ASPE

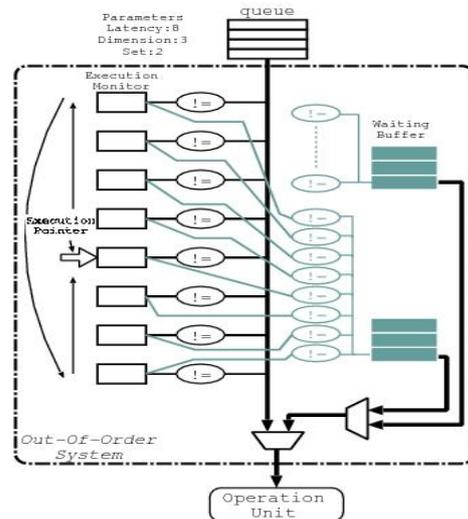


図5 Out-of-Order 機構の構成

本プロジェクトでは、高速化を実現するため、ハードウェア記述言語によりそれぞれのアルゴリズムを実装していた。しかし、人手でパッケージのプログラムをHDLに変換するのは時間と手間を要する。このことを解決するため、あらかじめPEアレイからなるデータパスを形成しておき、そこで実行する命令をアルゴリズムに応じて決める手法ASPEを提案した。この環境を用いると、HDLでの記述の代わりにアセンブリ言語による記述が可

能になる。

4. 研究成果

(1) UPASCS のサブルーチン中、MFGS, CMUSCL, TMUSCL、Viscosity Term のハードウェア化に成功した。図 6 は、Itanium2 1.5GHz のソフトウェア実行と比較した場合の MUSCL の実行速度を示す。この場合は、もっとも高い 170 倍の性能向上が実現できている。より新しい、Core 2Duo(2.4GHz)でソフトウェア実行した場合と比較しても 5 倍~20 倍の性能向上を達成した。しかし、パッケージ全体を考えると、一部のプログラムはホストで実行せざるを得ず、ホストと FPGA との転送、FPGA 上のサブルーチン間の転送も考えると、十分な高速化が実現できたとはいえ、今後の課題が残った。

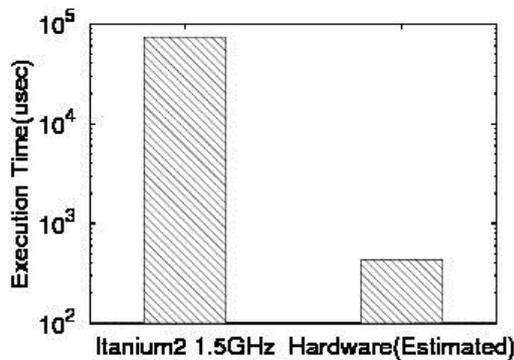


図 6 MUSCL の実行時間の比較

(2) パーシャルリコンフィギュレーションの利用によって、実行中に利用していない部分を入れ替えることが可能となり、性能に全く影響を与えず、単一の FPGA 上に TMUSCL および CMUSCL を実装することが可能となった。このことにより、消費電力も 29% 削減することができた。

(3) FaSTAR においてストールがボトルネックとなる 5 つの計算に Out-of-Order 機構の適用を行った。これによってストール回数を In-Order 処理の 1% 未満に抑えることが出来、2.6 倍の速度で実行できることが分かった。また、Intel Core2Duo(2.6GHz)でのソフトウェア実行に比べ 2.9 倍の実行速度が得られた。今回は変数の局所性のあるサンプルを用いたが、今後は変数の局所性の抽出が困難なデータを扱うことが課題となる。

(4) RER は実際に、MUSCL の設計に用いることが可能で、2 つの FPGA への分割の可能性を全探索することで、最大の性能を得る分割点とパイプライン構成を発見することができた。一方、ASPE を用いた場合、アセンブリ言語でプログラミングが可能になるが、完全にハードウェア記述言語で設計した場合に比べると性能は低下する。それでも Core2Duo (2.

4 GHz) 上のソフトウェア実行に比べて 4 倍程度の性能向上を実現することができた。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 2 件)

1. T. Akamine, K. Inakagawa, Y. Osana, N. Fujita, H. Amano "An Implementation of Out-Of-Order Execution System for Acceleration of Computational Fluid Dynamics on FPGAs" ACM Computer Architecture News, Vol. 39, No. 4, pp. 50-55, Sept. 2011 (査読付き).
2. H. Morishita, K. Inakagawa, Y. Osana, N. Fujita, H. Amano "Implementation and Evaluation of an Arithmetic Pipeline on FLOPS-2D: Multi-FPGA System" ACM Computer Architecture News, Vol. 38, No. 4, pp. 8-13, Sept. 2010 (査読付き).

[学会発表] (計 7 件)

1. M. Sofian, T. Akamine, Y. Osana, N. Fujita, H. Amano "Cost Effective Implementation of Flux Limiter Function using Partial Reconfiguration" ARC' 2012, Mar. 21th 2012, Hong Kong (査読付き).
2. K. Inakagawa, T. Akamine, H. Morishita, Y. Osana, N. Fujita, H. Amano, "ASPE: an Abstraction Framework using ALU Arrays for Scalable Multiple FPGAs system" SASIMI' 12, Mar. 8th 2012, Beppu (査読付き)
3. H. Amano, "Execution of a Computational Fluid Dynamics application on FLOPS-2D, a multi-FPGA system," DATE11 Workshop2, Mar. 18th 2011, Grenoble (Invited: 査読無し).
4. K. Inakagawa, H. Morishita, Y. Osana, N. Fujita, H. Amano, "Design of ALU Array Based Dataflow Machine for Multi-FPGA System" DATE11 Workshop2, Mar. 18th 2011, Grenoble (査読付き).
5. H. Morishita, K. Inakagawa, Y. Osana, N. Fujita, H. Amano, "RER: a tuning tool for implementing a computational pipeline across multiple FPGAs" SASIMI' 10, Oct. 18th 2010, Taipei (査読付き)
6. K. Inakagawa, H. Morishita, Y. Osana, N. Fujita, H. Amano, "Modularizing Flux Limiter Functions for a Computational Fluid Dynamics Accelerator on FPGAs", FPL' 09, Sep.

1st, 2009, Prague (査読付き).

[その他]

ホームページ

<http://www.am.ics.keio.ac.jp/proj/aerotech>

6. 研究組織

(1) 研究代表者

天野 英晴 (AMANO HIDEHARU)
慶應義塾大学・理工学部・教授
研究者番号：60175932

(2) 研究分担者

藤田 直行 (FUJITA NAOYUKI)
独立行政法人宇宙航空研究開発機構・研究
開発本部・研究員
研究者番号：70358480

長名 保範 (OSANA YASUNORI)
琉球大学・工学部・助教
研究者番号：00532657

(3) 連携研究者

該当なし