

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 24 年 5 月 9 日現在

機関番号：32641

研究種目：基盤研究（C）

研究期間：2009～2011

課題番号：21560363

研究課題名（和文）正帰還を用いてダイナミックレンジを拡大する低電圧アナログ回路に関する研究

研究課題名（英文）A research to realize a low-voltage analog circuit with a wide signal dynamic range by utilizing the positive feedback

研究代表者

杉本 泰博（SUGIMOTO YASUHIRO）

中央大学・理工学部・教授

研究者番号：00245987

研究成果の概要（和文）：

増幅回路に入力される信号電流を、線形抵抗と電流帰還の組み合わせにより線形化する回路手法、および電流源回路の出力インピーダンスを電流帰還の効果により格段に増大させた回路手法を開発した。

将来的に回路は1V以下の低電圧動作となる事、100nm以下のICプロセスではトランジスタの出力インピーダンスが極端に低く増幅器の増幅度を大きく出来ない事、がアナログ回路分野で問題視されているが、本研究ではこれら将来の2つの大きな問題を解決する回路技術が開発出来た、と考えている。

研究成果の概要（英文）：

Circuit techniques to enhance linearity of the voltage-to-current (V/I) converted input signal by using a linear resistor with the V/I-converted current feedback scheme and to increase the output impedance of a current source by using the V/I-converted current feedback scheme for compensating the low intrinsic gain of a transistor are developed.

In future analog circuits and ICs in sub-100 nm CMOS processes, it is considered that the low supply-voltage operation below 1 V and low intrinsic gain (gm/gds) of a MOS transistor become dominant obstacles for LSI circuits. We, in this research, have been able to develop circuit techniques to sweep away those possible obstacles in future analog circuits.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2009年度	1,200,000	360,000	1,560,000
2010年度	1,400,000	420,000	1,820,000
2011年度	1,000,000	300,000	1,300,000
年度			
年度			
総計	3,600,000	1,080,000	4,680,000

研究分野：工学

科研費の分科・細目：電気電子工学、電子デバイス・電子機器

キーワード：電子デバイス・集積回路

1. 研究開始当初の背景

研究開発当初であるが、次のような状況であった。

(1) LSI プロセスの微細化が進みゲート長が 100 nm を切る (MOS) トランジスタを使用するようになった。

(2) トランジスタの高周波性能が向上し、100 GHz 以上の周波数を扱う事が可能となって来た。また素子密度も上がり、1 チップに 1 GTr 程度のトランジスタが搭載され、電子システムを 1 チップで実現出来るようになった。

(3) しかし 100 nm 以下のゲート長を持つトランジスタは素子耐圧が低く、1.2 V 以下の電源電圧でしか動作させる事が出来なくなった。

(4) また (MOS) トランジスタにより信号を増幅する場合の、増幅度を表わす素子パラメータである gm は大きく向上したが、その代わりトランジスタの出力コンダクタンス gds はチャンネルの微細化で極端に増大する事となった。

(5) 信号を増幅する場合などの回路の増幅度は gm/gds (イントリンシックゲインと呼ぶ) で表されるが、 gds の増大が顕著なため回路の増幅度はかえって低下する事となった。

(6) アナログ回路は従来から信号の振幅に情報を持たせる形で処理されてきたが、低電源電圧の環境下では歪み無く処理できる信号振幅が殆んど零となる。

(7) 上記(5)項、(6)項から考えると、100 nm 以下の MOS プロセスを用いてはもはやアナログ機能を LSI 上に搭載する事は不可能であると危惧されていた。

2. 研究の目的

基本的に目指したのは、「低電源電圧下においてアナログ性能を向上する回路技術を開発する」、事であった。目的のアナログ性能とは、線形性である。線形性を改善するという事は、歪みやダイナミックレンジの拡大につながる。つまり 1 V 程度の低電圧条件下において、従来に劣らず性能の良い、LSI 化高周波アナログ回路、LSI 化高精度アナログ回路、LSI 化高速・高精度アナログ/デジタル混載回路 (以下これらをひっくるめてアナログ機能と呼ぶ) を実現する回路手段の確立を目指した。

なお開発する回路技術は 100 nm 以下の MOS プロセスを用いて実現される、LSI 化アナログ機能である。具体的には、高性能アナログ機能として高周波フィルタを考え、これを 100 nm 以下の

MOS プロセスを用いて 1.2 V 以下の電源電圧で IC 上に実現する事が目的となる。また開発する回路技術が ADC などの他の種類のアナログ機能にも適用出来る事を示すのも目的の一つとした。

3. 研究の方法

(1) 取り掛かりは研究代表者の IEEE TRANS., CAS-I, VOL. 55, no. 8, 2008, pp. 2178-2187 の論文、出願特許 (現在は公開公報) P2008-218788 の技術を基にして本プロジェクトを始めた。当初は「正帰還」と称していたが、電圧を電流に変換して形を変えて帰還している (極性としては確かに正帰還であるが) 事より、昨今は正帰還とは呼ばず、「電圧-電流変換した信号電流を帰還」と記している。この回路技術は、①従来からのアナログ信号を電圧の違いで表現する手法から、電流の違いで現す手法に変更する事を前提とする。もともと増幅器などは信号電圧を一度電流に変換し再び出力にて電圧に変える、という方法で増幅している。②信号を電流にて扱うためには各ノードのインピーダンスを低くしなければならず、その結果各ノードの電圧振幅は小さくなる。つまり回路を低電圧で線形性を確保するために有利な回路構成と言える。

などを特長とするものである。

(2) 入力信号電圧を電流に変換する際に線形性の良いオンチップ抵抗を用いることを考えた。しかしながら抵抗の接続する他の端子の電圧は、信号電流が出入りする度にその電流値により変化する。しかもその変化は非線形である事が常である。トランジスタなどの非線形素子に電流が出入りするとその端子電圧も非線形に変化するからである。そこで「電圧-電流変換した信号電流を帰還」することでこの非線形性をキャンセルして、入力信号電圧に完全に比例した信号電流が回路内部に流れるようにした回路技術を、前出の IEEE TRANS., CAS-I の論文、出願特許 P2008-218788 で開発したのだ。

①上述の回路技術は低電圧動作のサンプル・ホールド回路に適用し、IC 化を行って検証している。本研究では、このサンプル・ホールド回路を初段に用いてサイクリック動作で電流モードのアナログ/デジタル変換器 (ADC) の開発を行った。低電圧条件下で高い精度が得られれば、内部回路にて良好な線形性が得られている事になる。また低電圧動作の ADC の回路を提供できるようになる。つまり上述の回路技術の応用実験をする、というスタンスである。

②次に検討したのは高周波フィルタ回路で

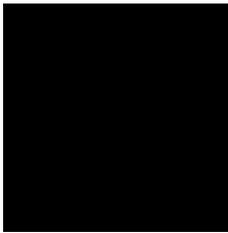
あった。フィルタを構成する場合には Gm アンプと言って、電圧-電流変換アンプが必要である。このとき電圧から電流への変換には高い線形性が要求される。上述の回路技術を適用し高い線形性を得るのに最適な応用である。ただしこの場合は高周波で動作する回路である。100 nm 以下のゲート長を持つ MOS プロセスのトランジスタは、その出力インピーダンスが低く、したがって電圧-電流変換アンプの出力インピーダンスも低くなってフィルタの特性が得られない、という事が問題であった。

我々は、「電圧-電流変換した信号電流を帰還」するという考え方を電圧-電流変換アンプの出力部に適用し、出力インピーダンスを増大させる回路技術の開発を新たに加えた。具体的には電流源の出力インピーダンスを増大させる回路技術である。

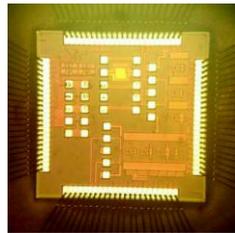
(3) 3- (2) 項で述べた検討する回路技術は 2 点である。いずれも「電圧-電流変換した信号電流を帰還」する、という考え方に基づいているが、一つは①信号電圧を高精度で信号電流に変換する回路技術、他は②電流源の出力インピーダンスを上げてアンプなどの性能を向上させる回路技術である。

このため、学会発表①、②で示すサイクリック型電流モード AD 変換器回路を設計し 0.18um CMOS プロセスを用いて IC を試作した。

また学会発表③および雑誌論文 (1) で示す 200 MHz, 7 次ローパスフィルタ回路を設計し 65nm CMOS プロセスを用いて IC の試作を行った。この試作は STARC が国プロでやってくれた。それぞれのチップ写真を示す。



ADC チップ



フィルタチップ

(4) 研究成果の所で述べる試作 IC 特性の評価を行う。

(5) 成果を著名な国際学会で発表し、100 nm 以下の微細 MOS プロセスを用いて「低電源電圧下においてアナログ性能を向上する回路技術」が開発された事を示し、皆が賛同するかどうか確認する。

(5) 試作 IC では検討できなかった、プロセス、電源、温度ばらつきに耐性を持つ、出力インピーダンス増大回路を開発する。

以上の手順で回路開発を行った。

4. 研究成果

電流モードの ADC を 0.18 μm CMOS プロセスで開発した。このチップには、初段のサンプル・ホールド回路部に入力信号電圧に完全に比例した入力電流が回路内部に伝達される方式の回路が搭載された。回路形式自体は前出の IEEE の論文、出願特許 P2008-218788 の回路が基本となっているが、ここでは効果を計るために ADC という機能ブロックを構成したものである。

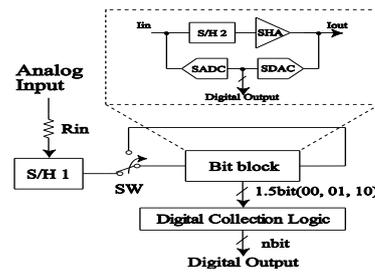


図 4.1 サイクリック型 ADC の構成図

ADC の構成は、図 4.1 に示すように入力信号電圧を抵抗 R_{in} と S/H1 ブロック内で施される電流帰還とで完全に線形な低歪みの信号電流に変換し、その電流信号をビットブロック回路で繰り返し扱いながらデジタル値を得るもので、ビットブロック回路がうまく動作すれば高い精度が期待される。

図 4.2 に試作した ADC IC チップのノイズと歪みの特性である SNR 特性を示す。結果は 7 ビット精度程度で、目標とした 10 ビット精度には届かなかった。これはビットブロック回路側に原因がある事がわかっている。科研費プロジェクトでは間に合わなかったが、この不具合を解消して提案回路の ADC 機能への適用が効果あることを引き続き検証する予定である。

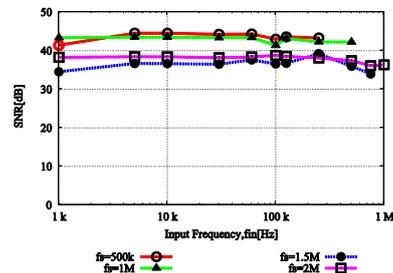


図 4.2 信号対雑音および歪特性

次に微細 CMOS プロセスから来る制約を乗り越えて、LSI 上に高度なアナログ機能を実現する回路技術を開発したのでこれについて述べる。図 4.3 は ITRS による LSI の電源電圧の変遷の将来予測であり、図 4.4 はシミュレーション結果である。

エレーション結果ではあるが、MOS トランジスタの出力抵抗が LSI プロセスの進展と共に低下する様子を示している。

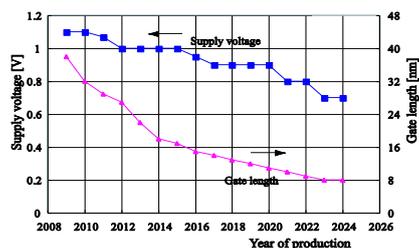


図 4.3 MOS ゲート長と電源電圧

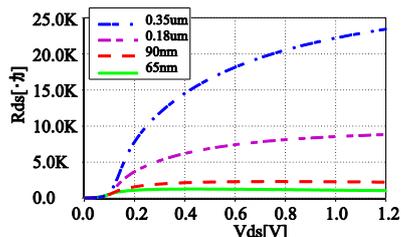


図 4.4 MOS トランジスタの出力抵抗

図 4.3 および図 4.4 は、アナログ機能を LSI 上に搭載するには、将来的に 1 V 以下の電源電圧で動作するように設計する事、素子の出力抵抗が低いのでアンプなどで大きな利得が取れない事を覚悟する必要がある、という事を示している。当然ながら求められるアナログ性能は現状以上のものである。

このような環境下で、将来的に継続して高度なアナログ機能を提供して行く、事は不可能ではないかという危惧が大きい。

しかし高度なアナログ機能は必要である。数百 MHz を扱うフィルタは、データの読み取り回路などには欠かせないが、デジタル技術を取り入れたサンプリングフィルタでは、折り返し雑音の影響でサンプリング周波数の 1/10 以下までしか使えず不十分である。デジタルオシロで波形を観測する場合と同じような現象に悩まされる。またサンプリングスイッチを 1 V 以下の電源電圧で高速に動作させるのが困難で、もともと低電圧化は難しいなどの問題がある。

そこで我々はこの低電圧で動作し高い線形性を持つアナログ回路技術を、7 次ローパスフィルタ (LPF) を実現することで確立する事とした。フィルタの仕様を次に示す。

7 次ローパスフィルタ, 65 nm CMOS プロセス, カットオフ周波数 200 MHz, $V_{cc}=1.2$ V
Group delay ripple < 5%, 歪 (50 MHz 信号入力) < 50 dB, 消費電力=60 mW.

65nm CMOS プロセスは、先に述べた低電源電圧動作および MOS トランジスタの出力抵抗が

低い、という制約事項を併せ持つので、このプロセスで上記仕様のフィルタが実現できれば、制約事項を克服したことになる。

なおフィルタには伝達コンダクタンスアンプ (高精度な電圧-電流変換器, OTA と呼ぶ) を使うが、この回路として図 4.5 の回路を新たに開発した。

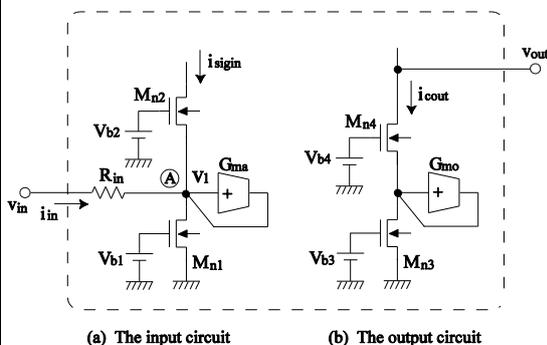


図 4.5 信号電流入力回路および出力抵抗増大回路

図 4.5 (a) の回路は、入力信号電圧を抵抗 R_{in} により電流に変換すると共に、電流の出入りにより非線形な電圧変化をする A 点においてその電圧を G_m 倍の電流に変換して帰還する事で、A 点の影響による変換された電流の非線形性を補正し、回路の出力の信号電流 i_{sigin} を完全に入力信号電圧に比例させたものとする回路である。図 4.5 (a) では、

$$i_{sigin} = -G_{in}v_{in} + (G_{in} + g_{ds1} - G_{ma})v_1 \quad (1)$$

が成り立つ。ただし $G_{in}=1/R_{in}$, g_{ds1} はトランジスタ Ma_1 の出力コンダクタンスである。式 (1) において、

$$G_{ma} = G_{in} + g_{ds1} \quad (2)$$

とおけば、 i_{sigin} は完全に v_{in} に比例する。したがって完全な線形化が可能である。

一方、図 4.5 (b) の回路はカスコード型の電流源である。OTA 出力において負荷抵抗の変わりに用いられる。この回路の出力抵抗 (インピーダンス) が大きければ大きいほど、OTA 出力の線形性は改善される。更に一般のアンプにおいては、大きな増幅度が得られるようになる。100 nm 以下の CMOS プロセスで作られたトランジスタではこの出力抵抗が小さい。増幅が十分行えない。そこで図のように「電圧から電流に変換した電流を帰還する」考えを適用して出力抵抗を増大させる。

図 4.5(b)においては、(3)式が成り立つので、

$$Z_{out} = \frac{v_{out}}{i_{out}} = \frac{1}{g_{ds3}} \left(1 + \frac{g_{m3} + g_{mbs3} + g_{ds3}}{g_{ds7} - G_{mo}} \right) \approx \frac{1}{g_{ds3}} \left(1 + \frac{g_{m3}}{g_{ds7} - G_{mo}} \right) \quad (3)$$

$G_{mo} = g_{ds7}$ と設定すれば、回路の出力インピーダンスは無限大となる。すなわち完全な OTA を実現出来る。

以上の新規提案回路を用いて 7 次ローパスフィルタを設計し、65 nm CMOS プロセスで STARC (半導体理工学研究センター) に依頼して試作して頂いた。チップの概要などの詳細は、雑誌論文(1)を参照されたい。

評価結果の一部として、図 4.6 に 7 次フィルタの周波数特性とグループディレイ特性を、図 4.7 には 100 MHz で最大振幅の信号を入力した時の歪特性を示した。-3dB 周波数は仕様通り 200 MHz であり、グループディレイは 2.2% 以下、100 MHz の信号に対する歪は -52 dB といずれも仕様値を大きく上回った。

以上より、提案する回路手法が非常に有効であることが証明された。

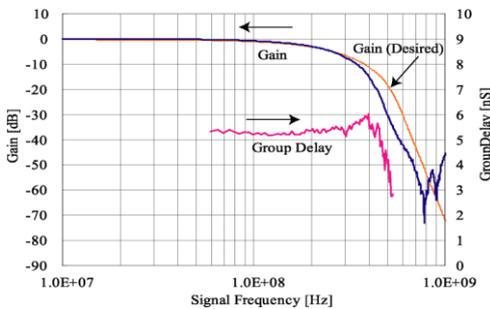


図 4.6 7 次フィルタの周波数特性

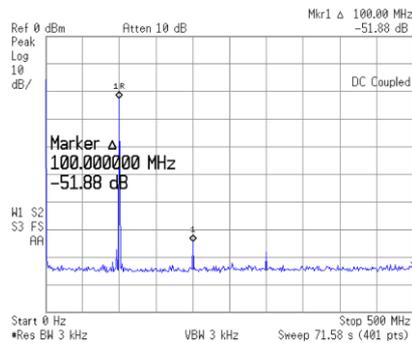


図 4.7 100 MHz 信号に対する歪特性

本開発技術を世界の他の技術と比較すれば表 1 となる。同様の回路構成という事でアナログ高周波フィルタを取り上げて比較し

Reference	[5]	[9]	[10]	[7]	This test chip
CMOS Technology	0.35um	65nm	0.18um	0.13um	65nm
Filter Order	7	5	4	2	7
-3dB Frequency	200MHz	275MHz	1GHz	200MHz	200MHz
Group Delay Ripple	<4% @fc	-	<4% @1.5fc	-	<2.2% @fc
HD3	<44dB @500mVp-p fin=30MHz	-	IM3 <43dB @350mVp-p fin=1GHz	IM3 <31dB @750mVp-p fin=150MHz	<55dB @400mVp-p differential fin=100MHz
IIP3	-	-12.5dBV (+0.5dBm)	-	+14dBm	+10.3dBm
DR	50 dB	44 dB	39 dB	54.5 dB	45 dB
Input Referred Noise	89 nV/√Hz	7.8 nV/√Hz	-	35.4 nV/√Hz	70 nV/√Hz
Supply Voltage	±1.5V	1.2V	1.5V	1.2V	1.2V
Power Consumption	60mW	36mW	175mW	20.8mW	60mW

表 1. 諸外国の他の技術との比較 (雑誌論文(1)を参照の事。)

た。本回路技術によるフィルタは、65 nm CMOS プロセス、1.2 V 動作、低歪 (線形性が良好と言う事)、が同時に成り立っていることがわかる。その性能も 7 次という高次の構成を考えると良好であることがわかる。

ただし図 4.5(b)の G_{mo} 回路としては、単純な差動増幅器を使用した。電流源回路の出力インピーダンスを増大させる条件として $G_{mo} = g_{ds7}$ が必要であることは先に述べた。しかしながら差動増幅器により作られる G_{mo} の値と、トランジスタの出力抵抗である g_{ds7} の値を、プロセス (主に V_{th}) ばらつき、電源電圧変動、温度変化などの全てに対して一致させなければ IC としての実現は難しい。そこで最終年には、プロセス (主に V_{th}) ばらつき、電源電圧変動、温度変化などがあっても常に $G_{mo} = g_{ds7}$ となる回路を検討し開発した。図 4.8 にこれを示す。特許および詳細については、今後出願、発表する予定であるが、ほぼ所望の特性が得られている。ただし図 4.8 の回路は差動回路となっており、2 個の図 4.5(b)の回路と同等である。

以上より、我々が本研究で開発した回路および回路手法に依れば、100 nm 以下の CMOS プロセスにおいて、1 V 程度の低電圧で動作する事が出来る、高度なアナログ機能を実現できる事が証明された。

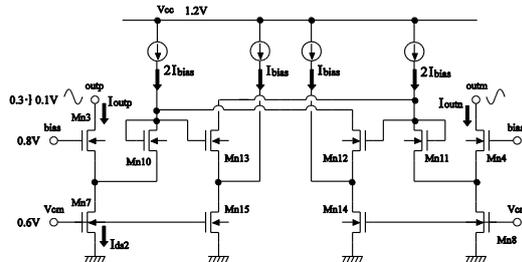


図 4.8 ばらつきに依存しない出力抵抗増大回路の構成

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 1 件)

(1) Y. Sugimoto,

“Linearity and Intrinsic Gain Enhancement Techniques using Positive Feedbacks to Realize a 1.2-V, 200-MHz, +10.3-dBm of IIP3 and 7th-order LPF in a 65-nm CMOS”,
The 37th European Solid-State Circuits Conference, pp.95-98, September 13, 2011, Helsinki. (査読有)

[学会発表] (計 3 件)

①太田昌伸, 家室雅季, 杉本泰博,

「1.5 V 動作、サイクリック型、電流モード AD 変換器の設計」

2012 年電子情報通信学会総合大会、査読有、エレクトロニクス講演論文集 2, C-12-37, 2012 年 3 月 21 日、p.109. 於岡山.

②家室雅季, 太田昌伸, 杉本泰博,

「パイプラインアーキテクチャを適用した 1.5V 動作、サイクリック型電流モード AD 変換器回路の研究」

電子情報通信学会技術研究報告、[集積回路]、査読有

ICD - 2011 - 115, Vol.111, No.352, 2011 年 12 月 15 日、pp.71-74. 於大阪

③下山佑介, 杉本泰博,

「正帰還補償を用いて線形性を向上した Gm アンプの設計手法とそのフィルタ設計への応用」、

電子情報通信学会技術研究報告、[集積回路]、査読有、ICD - 2010 - 33, Vol.110, No.140, 2010 年 7 月 23 日、pp.73-78. 於大阪.

[産業財産権]

○出願状況 (計 1 件)

名称：信号入力回路、および信号増幅回路

発明者：杉本泰博

権利者：学校法人 中央大学

種類：特許

番号：P2008-218788

出願年月日：平成 20 年 8 月 7 日

国内外の別：国内

○取得状況 (計 0 件)

[その他]

ホームページ等

<http://www.elect.chuo-u.ac.jp/sugimoto/>

6. 研究組織

(1) 研究代表者

杉本 泰博 (SUGIMOTO YASUHIRO)

中央大学・理工学部・教授

研究者番号：00245987