

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成24年5月12日現在

機関番号：32665

研究種目：基盤研究(C)

研究期間：2009～2011

課題番号：21560367

研究課題名（和文） 学習機能を有するニューロデバイスの開発

研究課題名（英文） Development of Neuron Device with Learning Function

研究代表者

佐伯 勝敏 (SAEKI KATSUTOSHI)

日本大学・理工学部・准教授

研究者番号：60256807

研究成果の概要（和文）：本研究は、脳型情報処理システムを構築することを目指し、学習機能を有するニューロデバイスの開発を目的に研究を行った。その結果、パルスタイミングに依存したシナプス可塑性を有するハードウェアモデルを提案し、海馬CA3の構成を参考に、仮想的な三次元構造を示す神経回路網モデルを提案した。さらに、記憶の保持・想起に着目し、デュアルネットワーク構造を提案し、別なパルスが入力された場合でも、保持したパルスを取り出せることを示した。

研究成果の概要（英文）：In this research, construction of brain-type information processing system is aiming at. I studied development of neuron device with learning function. As a result, I proposed new hardware neuron model which is synaptic plasticity depending on the pulse timing, and suggested an artificial neural network of the virtual three-dimensional construction to refer to CA3 of hippocampus. Furthermore, I focus on the hold and recall of the memory in the human brain, proposed a dual network model. It is shown that if the output stimulus is lacking, the proposed network model can recognize this by the reading of input patterns.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2009年度	1,300,000	390,000	1,690,000
2010年度	1,200,000	360,000	1,560,000
2011年度	1,000,000	300,000	1,300,000
年度			
年度			
総計	3,500,000	1,050,000	4,550,000

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子器機

キーワード：電子デバイス・集積回路

1. 研究開始当初の背景

現在、脳型情報処理システムの構築に対する研究が盛んに行われており、人間の脳のような柔軟な発想をもった脳型情報処理システムを構築するために、脳内で学習を司ると言われているシナプス部における可塑性、す

なわちシナプス可塑性を有するモデルの構築が必要であると言われている。これまでシナプス可塑性の法則として、様々な数理モデルが提案されている。古くは、ある一定以上の強い刺激があった場合のみシナプス可塑性が生じるヘブの法則が報告されている。

一方、最近では、生体の海馬や大脳皮質等でパルスタイミングに依存してシナプス荷重が変化する STDP (Spike Timing Dependent synaptic Plasticity) が発見され、パルスの発生順序、および時間差に依存してシナプスの結合の荷重値の増強や抑圧が生じる非対称型の特性が報告されている。また、このデータを基に、シナプス可塑性を決定する学習則が提案されている。この学習則を基に、数々のハードウェアモデルも提案されているが、デジタル回路や、複雑な回路構成であり、工学的に応用するには回路が大規模化し、困難であった。

2. 研究の目的

現在のノイマン型コンピュータにはない、学習機能を有した情報処理システム、すなわち脳型情報処理システムを構築することを目指している。そのためには、脳内の神経回路網のハードウェアモデルを提案し、急速な発展を遂げている集積回路技術を用い、新たなデバイスを構築する必要がある。具体的には次の3つの研究目的のもと、研究を行った。

- (1) パルスタイミングに依存したシナプス可塑性を有するハードウェアモデルの提案。
- (2) 海馬 CA3 の構成を参考にした神経回路網モデルの実装。
- (3) 学習機能の応用として、記憶の保持・想起に着目し、実装したモデルでの検証。

3. 研究の方法

本研究は、開発が急務である学習機能を持たせたロボットの開発にも繋がるような学習機能を有するニューロデバイスの開発を行うために、生体の脳内、特に海馬 CA3 における神経回路網のハードウェアモデルを提案し、パルスタイミングに依存してシナプス荷重が変化する学習則 (STDP) を取り込んだモデルを開発する。この学習則は、非対称型・メキシカンハット型の2つの特性が海馬 CA3 の深さ方向に依存して得られることが報告されており、2つの特性を結合荷重値として埋め込むことにより、仮想的な三次元構造の神経回路網モデルを提案し、VDEC を通じて実装する。この実装したモデルを用い、記憶の保持・想起について検証を行う。

具体的な方法を以下に示す。

- (1) メキシカンハット型の特性を示すモデルの開発。
- (2) 非対称型・メキシカンハット型の特性を示すモデルの提案。
- (3) 2つの特性を用いた仮想的な三次元構造の神経回路網モデルの提案。
- (4) 仮想的な三次元構造の神経回路網モデルの実装。
- (5) 記憶の保持・想起の検証手法の提案。
- (6) 記憶の保持・想起可能な神経回路網モ

デルの構築。

(7) 記憶の保持・想起可能な神経回路網モデルのハードウェア検証。

4. 研究成果

上記3の研究手法 (1) ~ (7) のそれぞれの成果として、以下が得られた。

(1) メキシカンハット型の特性を示すには、抑制性介在ニューロンが関与しているとの生理学的報告があることから、抑制性介在ニューロンのモデルを考慮した STDP モデルの開発を行った。図 1 にその概略図を示す。図中、 $cell_{pre}$ はシナプス前細胞体部、 $cell_{post}$ はシナプス後細胞体部、 $cell_{pre}$ と $cell_{post}$ 間に介在する $cell_i$ は抑制性細胞体部を表している。また、 $cell_{pre} \rightarrow cell_{post}$ を結合するシナプス部を STDP シナプス部 $\rightarrow \odot$ 、 $cell_{pre} \rightarrow cell_i$ を結合するシナプス部を興奮性シナプス部 $\rightarrow \circ$ 、 $cell_i \rightarrow cell_{post}$ を結合するシナプス部を抑制性シナプス部 $\rightarrow \bullet$ とした。さらに、シナプス結合荷重値 $W_{i,pre}$ は興奮性結合であり、 $W_{post,i}$ は抑制性結合を表している。さらに、 $W_{post,pre}$ は、 $cell_{pre}$ と $cell_{post}$ に入力される刺激電流 $I_{stim(t)pre}$ 、 $I_{stim(t+dt)post}$ により誘発される両パルスの時間差に依存して変化する、シナプス結合荷重制御部により制御される構成とした。このとき、 t は $cell_{pre}$ に入力される刺激電流の時刻、 dt は $cell_{pre}$ に入力される時刻に対する $cell_{post}$ に入力される刺激電流の遅れ時間を表している。このモデルを 3×3 のネットワークを構成し、時系列パターンの保持が可能であることを示した。

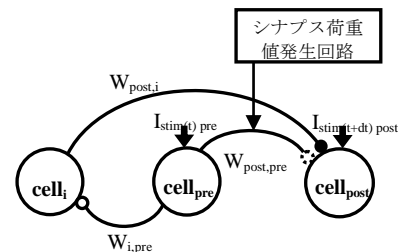


図 1 抑制性介在ニューロンを考慮した STDP モデル

(2) 非対称型・メキシカンハット型、二つの特性共に、シナプス結合荷重値の増強・抑圧の領域を有しており、回路の共有化が可能である。すなわち、抑制性介在ニューロンを必要とせず、メキシカンハット型の特性が得られ、仮想的な三次元構造の神経回路網モデルを構成した場合、回路面積も大幅に縮小可能である。また、回路素子の IP 化も出来る。今回、外部から与えるバイアス電圧により、二つの特性の切り替えを決定するモデルを提案し、一つの回路で二つの特性 (図 2) を示せるモデルを提案した。

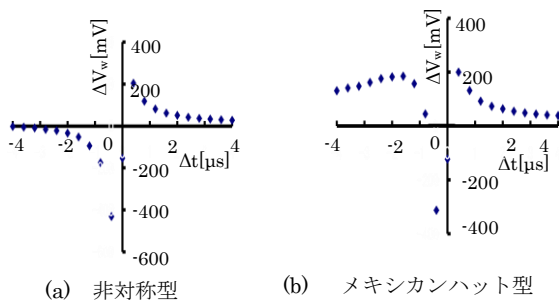


図2 STDPの時間窓特性

(3) 二つの特性を示す生理学実験のデータを元に、三次元構造を示している海馬 CA3 の非対称型・メキシカンハット型の2つの特性を結合荷重値として埋め込むことにより、仮想的な三次元的な特徴を備えた神経回路網モデルを提案した。

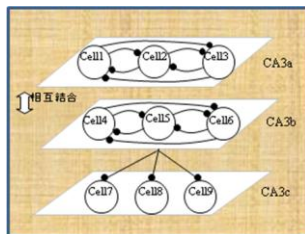


図3 仮想的な三次元的特徴を備えた神経回路網モデル

(4) 実装にあたり、可塑シナプスの荷重値を保存することも可能な低消費電流化 (nA オーダー) した多値SRAMを提案した(図4)。図中、バイアス回路は、入力された V_D の値に規定のバイアス電圧分を上乗せして保持ブロックに値を返す構成とした。同図は、独立したバイアス回路を構成し、定常電流や動作電流を低減した回路である。また、提案した2つの時間窓特性(非対称型およびメキシカンハット型)を示すモデルにおいて、記憶の保持が可能であることを示した。さらに、VDECを通して $1.2\mu\text{m}$, $0.18\mu\text{m}$ CMOS デザインルールを用いて、それぞれ集積回路の試作を行った。

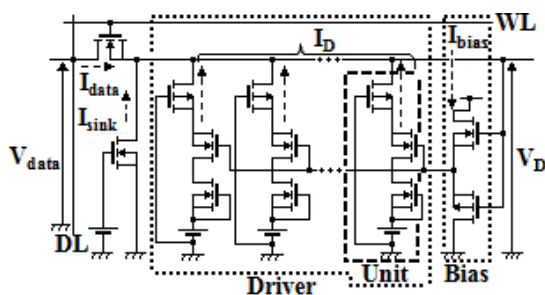


図4 低消費電流化した多値SRAM

(5) 私が提案しているモデルは、パルス形のモデルである。保持ではパルスタイミング

を結合荷重値として埋め込む手法を用いている。この特徴を活かして、想起でも、パルスのタイミングに着目し、別のパルスが入ったときでも、保持したパルスを出力できるようなネットワーク構造を提案し、回路シミュレーションにて確認した。

(6) 自己連想ネットワークと相互連想ネットワークを有するデュアルネットワーク構造を提案した(図5)。図中、三角は細胞体モデルを示し、各細胞体モデル間をSTDPシナプス回路で結合している。また、○は回帰抑制部を示し、他の細胞体モデルへ抑制性シナプス回路で結合する構成とした。このSTDPシナプス回路や抑制性シナプス回路によって、各ネットワーク内の細胞体モデル間の結合強度の変更や、干渉を打ち消すことができる。同図は、左側のネットワークを自己連想ネットワークとし、右側のネットワークを相互連想ネットワークとする。本モデルは、自己連想ネットワークに連続的に入力されたパターンを保持し、相互連想ネットワークへ学習を行わせる。これにより、相互連想ネットワーク内の細胞体モデル間のシナプス結合荷重制御回路の結合荷重制御値が変化し、STDPシナプス回路を流れる電流が変化する。その結果、入力されたパターンにしたがって結合荷重制御値が記憶され、連想記憶を形成するモデルである。

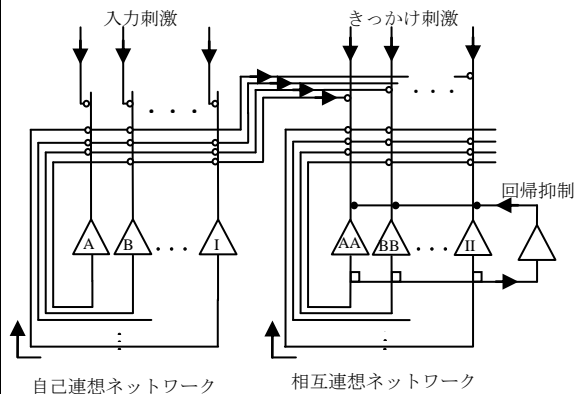


図5 デュアルネットワーク

(7) このモデルのハードウェア検証として、回路シミュレーションにより、入力パターン(図6)に応じて各細胞体モデル間の結合強度が変化し(図7)、外部刺激が欠落している場合でも読み出せる(図8, 9)ことを明らかにした。以下、それぞれの図について説明する。

図6に、自己連想ネットワークへの入力パターンの一例を示す。図中、横軸は時間を、縦軸は入力刺激を示す。同図において、周期 $T=10[\mu\text{s}]$ で $140[\mu\text{s}]$ まで繰り返し入力する。ネットワークに入力が加わると、細胞体モデル

がパルスを出力し、その出力がシナプス結合荷重制御回路に入力されることによって、その時間差に依存した V_w が生成される。

本検討では、自己連想ネットワークへの入力を繰り返し加え、 $V_w \doteq 0[V]$ 、または、 $3[V]$ に変化したところで入力刺激を加えることを止める。そして、相互連想ネットワークにきっかけ刺激を加えることで連想記憶について検討を行った。

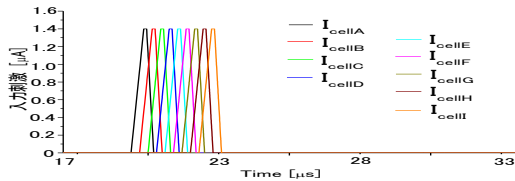


図6 入力パターンの一例

図7に、相互連想ネットワークの細胞体部モデル DD と他の細胞体モデル間の V_w を示す。図中、横軸は時間を、縦軸は V_w を示す。同図は、図6の入力パターンを自己連想ネットワークに加え、相互連想ネットワークへパターンが伝達された時の相互連想ネットワーク内における各細胞体モデル間に生じる V_w を示している。また、自己連想ネットワークで記憶されたパターンに応じて相互連想ネットワークの V_w が変化していることを示している。

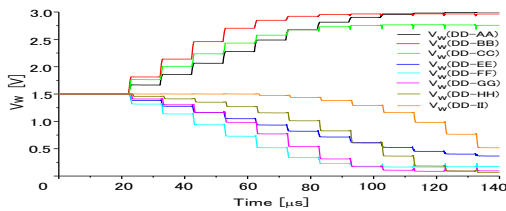


図7 シナプス結合荷重制御電圧

図8に、相互連想ネットワークの応答特性を示す。図中、横軸は時間、縦軸は相互連想ネットワーク内の細胞体モデルの出力電圧を示す。同図は、相互連想ネットワークのすべての細胞体モデルにきっかけ刺激を加えた時の応答特性を示している。同図より、図6の自己連想ネットワークに加えたパターンに対応したパターンが、相互連想ネットワークで生成されていることを示している。

図9に、想起結果の一例を示す。図中、黒四角は出力しており、白四角は出力していないことを示す。同図は、初めに FF 以外の細

胞体モデルが出力するようにパターンを記憶させ、想起させる時のきっかけ刺激をそれぞれ FF と DD から II まで1つ欠落したパターンを入力したシミュレーション結果を示している。その結果、図中のすべてのきっかけ刺激に対して、最初に記憶させたパターンが想起していることを示している。

以上より、自己連想ネットワークから相互連想ネットワークへ学習させたパターンを想起させるときに、きっかけ刺激が欠けていても、想起できることを示している。

次に、多値 SRAM を用いて結合荷重値を保持する回路構成についても検討を行い、同様に欠落パターンがある場合でも読み出しが可能であることを明らかにした。なお、これらのハードウェアは VDEC を通して $1.2\mu\text{m}$ 、 $0.18\mu\text{m}$ CMOS デザインルールを用いて、それぞれ集積回路の試作を行った。

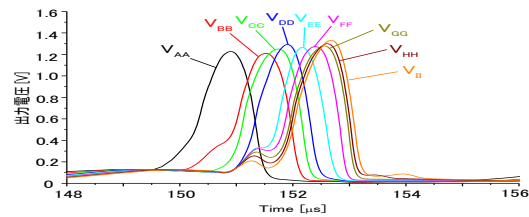


図8 連想記憶モデルの応答特性

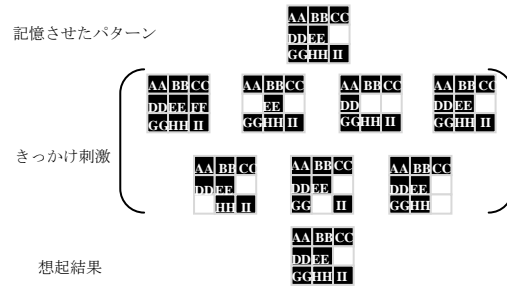


図9 想起結果の一例

上記研究成果は、国内はもとより、海外でも国際会議にて査読を経て、発表しており（ニュージーランド、イタリア、スペイン等）、聴講者より多くの質問を受け、その関心の高さが伺える。

今後、実装したチップでの動作検証を行う必要があり、動作確認後は、ヒューマノイドロボットへの搭載が期待できる。

5. 主な発表論文等

（研究代表者、研究分担者及び連携研究者には下線）

〔雑誌論文〕（計5件）

- ① 齊藤健, 岡崎一人, 荻原龍矢, 高藤美泉, 佐伯勝敏, 関根好文, 内木場文男, パルス形ハードウェアニューラルネットワークによる MEMS マイクロロボットの歩行動作制御, 電気学会論文誌 C, Vol. 133, No. 7, 2012.7 掲載決定, 査読有.
- ② 佐伯勝敏, 中里光志, 関根好文, Λ 形負性抵抗素子を用いたカオス発振器を有する $\Delta \Sigma A-D$ 変換器, 電子情報通信学会論文誌 C, Vol. J94-C, No.10, pp.334-335, Oct. 2011, 査読有.
- ③ 佐伯勝敏, 佐々木芳樹, 関根好文, Λ 形負性抵抗素子を用いた多値 SRAM の低消費電流化, 電気学会論文誌 C, Vol. 131, No. 3, pp.528-534, 2011.3, 査読有.
- ④ 清水 亮, 佐伯勝敏, 関根好文, 時系列パターンを保持可能な STDP を有するパルス形ハードウェアニューラルネットワーク, 電気学会論文誌 C, Vol. 129, No. 7, pp. 1198-1204, 2009.7, 査読有.

[学会発表] (計 26 件)

- ① Katsutoshi Saeki, Tatsuya Tatebe, Yoshifumi Sekine, A Study on CPG Model Transition Swing and Stance Pattern with Interstitial Cells, International Joint Conference on Neural Networks, June 11, 2012 (Accepted), Brisbane, Australia.
- ② 眞下祐一, 佐々木芳樹, 佐伯勝敏, 関根好文, 多値 SRAM を用いた ANN に対する一検討, 電気学会電子回路研究会, 2012.3.30, 横須賀.
- ③ Katsutoshi Saeki, Toshiharu Morita, Yoshifumi Sekine, Associative Memory Using Pulse-type Neural Network with STDP Synapses, International Conference on Intelligent Systems Design and Applications, Nov. 23, 2011, Cordoba, Spain.
- ④ 佐々木芳樹, 佐伯勝敏, 関根好文, パルス形ハードウェアニューロンモデルの低容量化, 電気学会電子回路研究会, 2011.11.10, 宮古島.
- ⑤ 守田敏春, 佐伯勝敏, 関根好文, STDP を有するパルス形ハードウェアニューロンモデルを用いた連想記憶に対する一検討, 2011 年電気学会全国大会, 2011.3.17, 大阪大学.
- ⑥ 建部達弥, 佐伯勝敏, 関根好文, 四足歩行運動の遊脚・接地パターンを生成・移行する ANN に対する検討, 計測自動制御学会第 38 回知能システムシンポジウム, 2011.3.17, 神戸大学.
- ⑦ Katsutoshi Saeki, Shingo Watanabe, Toshiharu Morita, Yoshifumi Sekine, Pulse-Type Neuro Devices with Two

Time Windows in STDP and Its Application to the Memory of Temporal Sequences Patterns, International Conference on Biomedical Electronics and Devices, Jan. 28, 2011, Rome, Italy.

- ⑧ 和田慶介, 佐伯勝敏, 関根好文, “空間加算を考慮した歯状回—CA3 電子回路モデルに対する一検討”, 電気学会電子回路研究会, 2009.11.12, 屋久島.

[図書] (計 2 件)

- ① Ken Saito, Akihiro Matsuda, Katsutoshi Saeki, Fumio Uchikoba and Yoshifumi Sekine, Synchronization of Coupled Pulse-Type Hardware Neuron Models for CPG Model, The Relevance of the Time Domain to Neural Network Models Springer Series in Cognitive and Neural Systems, 2012, Volume 3, pp.117-133, DOI: 10.1007/978-1-4614-0724-9_7, Oct. 2011.
- ② Katsutoshi Saeki, Ryo Shimizu, Yoshifumi Sekine, Pulse-Type Hardware Neural Network with Two Time Windows in STDP, M. Köppen et al. (Eds.): ICONIP 2008, Part II, LNCS 5507, pp. 877-884, Springer-Verlag Berlin Heidelberg, 2009.

[産業財産権]

○取得状況 (計 1 件)

名称: 基準電圧発生回路
 発明者: 関根好文, 佐伯勝敏
 権利者: 学校法人日本大学
 種類: 特許
 番号: 特許第 4830088 号
 取得年月日: 23 年 9 月 30 日
 国内外の別: 国内

[その他]

ホームページ等

<http://chip.ecs.cst.nihon-u.ac.jp/>

6. 研究組織

(1) 研究代表者

佐伯 勝敏 (SAEKI KATSUTOSHI)

日本大学・理工学部・准教授

研究者番号: 60256807