

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成24年 6月18日現在

機関番号：32678

研究種目：基盤研究（C）

研究期間：2009～2011

課題番号：21560369

研究課題名（和文） 自己校正技術を用いたアナログ - デジタル / デジタル - アナログ変換技術の研究

研究課題名（英文） Study on high-precision Analog-to-digital, Digital-to-analog converters using self-correction technique

研究代表者

堀田 正生 (HOTTA, MASAO)

東京都市大学・知識工学部・教授

研究者番号：40409371

研究成果の概要（和文）：

逐次比較形アナログ・デジタル変換器（AD変換器）の高精度化のために、変換誤差補正方法として、3個および2個の比較器を用いる誤差補正アルゴリズムと非2進探索アルゴリズムの3種類の冗長アルゴリズムを提案し、それらの有効性を比較検討した。また、内部に用いるデジタル・アナログ変換器（DA変換器）の高精度化に関して、チョップ形増幅器と同期検波回路を用いた荷重電流源の相対誤差の高精度検出方法について検討し、回路シミュレーションにより18ビット精度まで検出できる見通しを得た。

研究成果の概要（英文）：

In order to achieve high-precision Successive Approximation Register AD converter (SAR-ADC), we proposed three conversion methods with conversion redundancy: the non-binary search algorithm using one comparator and the binary search algorithm using three or two reference voltages and three or two comparators. Effectiveness of these methods was shown from the results of simulations and measurements. Furthermore, possibility of realization of high-precision DA converter (DAC) with 18-bit accuracy was addressed by using error correction method with a chopper-type amplifier and a synchronous detection for binary-weighted current DAC.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2009年度	900,000	270,000	1,170,000
2010年度	1,700,000	510,000	2,210,000
2011年度	900,000	270,000	1,170,000
年度			
年度			
総計	3,500,000	1,050,000	4,550,000

研究分野：電子工学

科研費の分科・細目：電気電子工学、電子デバイス・電子機器

キーワード：電子デバイス・集積回路、AD変換器、DA変換器

1. 研究開始当初の背景

半導体集積回路は急速に微細化が進み、既にナノCMOS時代となり、65nm技術は実用

化され、次世代の45nm技術も開発が進んでいる。一方で、各種センサからの信号を取り込んでマイコンで制御するシステムが広く

使用されるが、デジタル処理への変換のために AD 変換器が必要になる。このようなシステム LSI の機能の高集積化と低コスト化へ対応するためにはナノ CMOS 微細プロセスの採用が必須であるが、AD 変換器のようなアナログ回路を含むものには、微細化によるしきい電圧のばらつき増大や出力抵抗の低下などのトランジスタ性能の劣化など多くの問題が生じてくる。このような性能が劣化したトランジスタをいかに使いこなすか、あるいは劣化した性能のトランジスタでいかに精度を確保するかが今後のナノ CMOS 時代のシステム LSI を発展させる鍵となる。

2. 研究の目的

ナノ CMOS 時代をスコープにデジタルアシスト技術を用いた高精度アナログ・デジタル変換回路技術とデジタル・アナログ変換回路技術の開発を目的としている。具体的には、デジタル・アナログ変換器 (DA 変換器) の高精度化と高精度 DA 変換器を用いた逐次比較形をはじめとしてアナログ・デジタル変換器 (AD 変換器) の高精度化に関してデジタルアシスト技術を用いて変換誤差を補正する自己校正技術を開発するものである。

3. 研究の方法

マイコンを用いた自動制御の応用分野が拡大する中、センサからのアナログ信号をデジタル信号に変換する AD 変換器 (ADC) の高精度化の要求が強まっている。14 ビット以上の高精度 ADC としては、 $\Delta\Sigma$ 形や積分形などがあるがいずれも入力信号周波数が高く取れず変換速度も相対的に遅い。これに対して逐次比較形は図 1 に示すように比較器と DA 変換器 (DAC) と逐次比較論理回路から成り、変換周波数も数 MHz 程度と比較的早いものであり、DAC の精度さえ確保できれば 14 ビット以上の高精度化も可能な方式であると共に汎用性も高いという特徴があり、広く用いられている。半導体の微細化に伴うアナログ素子の性能劣化により、さらなる高精度化を図ろうとすると次の技術課題の克服が必須となる。それは以下の 2 点であり、それらについて集中的に検討することにする。

① 従来の逐次比較形 AD 変換方式では変換途中で入力と DAC 出力の電圧の比較を 1 回でも誤ると正しい AD 変換結果が得られない。この問題の解決のために、変換に冗長性をもたせ、変換誤差を補正する方式を検討し、DA 変換器出力が不完全整定であっても正しい変換結果が得られる誤差補正方式を確立する。

② 一般的に ADC では、最も実現が困難な精度として線形性精度が上げられる。オフセットや利得などは比較的容易に校正できるが、線形性は基準となるものの精度確保が必要

となる。逐次比較形 ADC ではその線形性を決めているのが内部に用いる DAC であり、線形性の良い DAC をいかに実現するかが鍵となる。そこで、比較的広く用いられる 2 進化荷重電流源を用いた DAC を対象に、その線形性精度を確保するための補正手法として IC 内で容易に実現できる技術の確立を目指す。

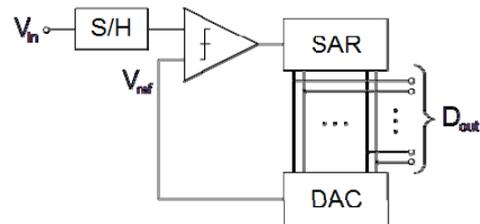


図 1. 従来の SAR-ADC

4. 研究成果

(1) 逐次比較形 ADC の変換誤差補正技術

変換誤差補正方法として、3 つの比較器を用いる誤差補正アルゴリズムと非 2 進探索アルゴリズムによる冗長アルゴリズムを提案し、冗長性の大きさ、および冗長性を利用することで DAC の不完全整定でも変換が可能となり、変換速度の向上が図れることを示した。また、冗長性をもつ変換方式として、上記の 2 種の方式に、2 個の比較器と 2 レベルの参照電圧を用いた方式を加えて、これらの 3 種の変換方式について、冗長性・変換時間・消費電力・面積の項目についての比較を行った。その結果を下記に示す。

① 比較器 3 個による 2 進探索アルゴリズム

3 個の比較器と 3 レベルの参照電圧を用いる場合の構成と変換のタイムチャートを図 2 に示す。この方式では DAC からの参照電圧を 3 種類発生させる。参照電圧をマルチレベルにした場合、入力電圧と複数の参照電圧をそれぞれ比較し、それらの結果から逐次比較論理 SAR を用いて入力電圧が参照電圧に対してどの範囲に入っているかを判定するものであり、前のステップで変換を間違えても次のステップでの修正が可能となるために冗長性のある変換が可能となる。この場合、1 ステップ目の参照電圧が決定すれば 2 進探索を用いるためその後のステップの参照電圧は一意的に決まる。 k ステップ目で有する冗長範囲 $q(k)$ は次式で与えられる。

$$q(k) = -p(k+1) + 2 + 3 \sum_{i=k+2}^M p(i) \quad (1-1)$$

$$q(2) = \frac{1}{8} V_{FS} - 1LSB \quad (1-2)$$

1 ステップ目の基準電圧を $1/4 V_{FS}$ 、 $1/2 V_{FS}$ 、 $3/4 V_{FS}$ と設定すると比較器 3 個

の場合、 k ステップ目の冗長性は式(1-1)で表され、2 ステップ目では式(1-2)となり、およそ $1/8 V_{FS}$ である。ここで、 $p(k)$ は k ステップ目に移るときに参照電圧に足し引きする値を表す。

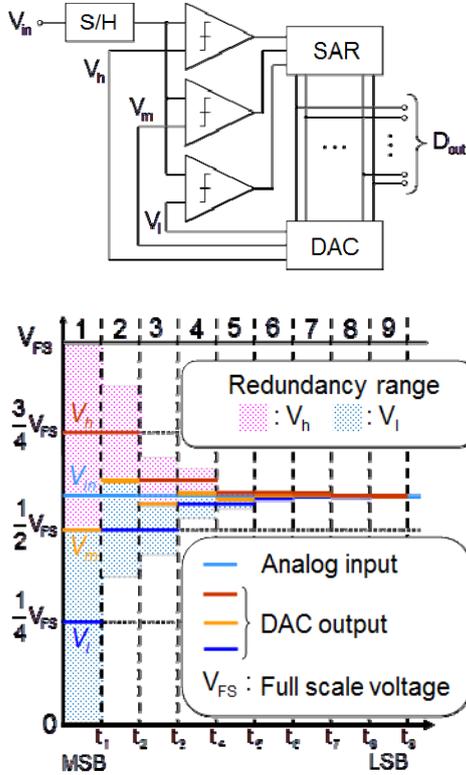


図 2. 比較器 3 個による ADC 構成と変換過程

②比較器 2 個による 2 進探索アルゴリズム

2 個の比較器と 2 レベルの参照電圧を用いる場合の構成と変換のタイムチャートを図 3 に示す。この方式では DAC から参照電圧を 2 種類発生させる。比較器 2 個の場合も 1 ステップ目の参照電圧が決定すれば 2 進探索を用いるためその後のステップの参照電圧は一意的に決まる。 k ステップ目で有する冗長範囲 $q(k)$ は次式で与えられる。

$$q(k) = -\frac{1}{2} p(k+1) + 1.5 + \sum_{i=k+2}^M p(i) \quad (1-3)$$

$$q(2) = \frac{1}{16} V_{FS} - \frac{1}{2} LSB \quad (1-4)$$

ここで $p(k)$ は k ステップ目に移るときに参照電圧に足し引きする値を表す。これから、2 ステップ目での冗長範囲は式(1-4)から、およそ $V_{FS}/16$ となり、 $V_{FS}/16$ の変換誤差も補正可能であることが分かる。

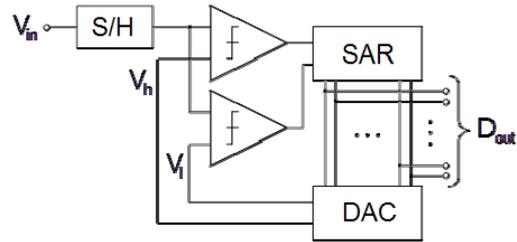


図 3. 比較器 2 個による ADC 構成と変換過程

③比較器 1 個による非 2 進探索アルゴリズム

1 個の比較器と非 2 進探索アルゴリズムを用いる場合の構成と変換のタイムチャートを図 4 に示す。比較器が 1 個の場合、各ステップで入力電圧の参照電圧に対する大小関係しか判定できないため、冗長性を得るためには非 2 進探索アルゴリズムを用いる。非 2 進探索アルゴリズムでは参照電圧の変化分を 2 進探索アルゴリズムの場合よりも小さな値に設定し、そのかわりにステップ数を増やすことで冗長性を得ている。 k ステップ目で有する冗長範囲 $q(k)$ は次式で与えられる。

$$q(k) = -\frac{1}{2^k} V_{FS} - 2p(k+1) \quad (1-5)$$

$$q(2) = \frac{1}{4} V_{FS} - 2p(3) \quad (1-6)$$

非 2 進探索アルゴリズムにおいて、 k ステップ目の冗長性は式(1-5)で表され、1 ステップ目では式(1-6)となる。ここで、 $p(k)$ は k ステップ目に移るときに参照電圧に足し引きする値を表す。このように、冗長性はステップ数に依存するため、比較のために他方式と同程度の冗長性を得られるステップ数を、10 ビットを例として求めると次式となる。

比較器 2 個相当の冗長性が得られるステップ

数 M_2 : $M_2 = \log_2(3^M - 1) \approx 16$

比較器 3 個相当の冗長性が得られるステップ

数 M_3 : $M_2 = 2M = 18$

以上により、比較器 2 個による 2 進探索アルゴリズムと同程度の冗長性を得るためには 16 ステップ、比較器 3 個による 2 進探索アルゴリズムと同程度の冗長性を得るためには 18 ステップ必要であることが分かる。

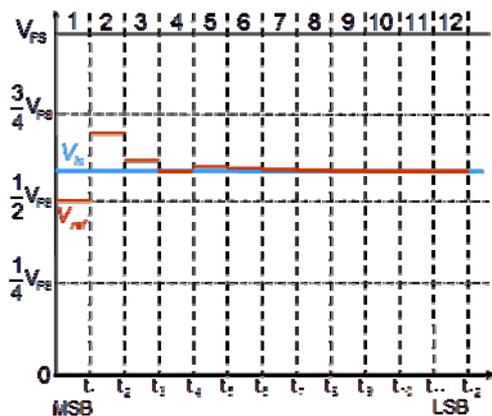
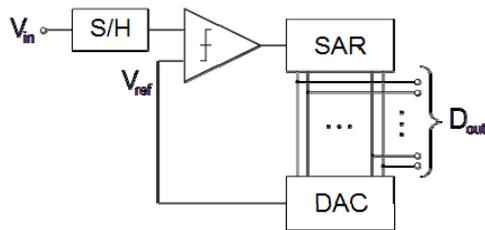


図 4. 比較器 1 個による非 2 進探索アルゴリズム ADC 構成と変換過程

④変換時間と消費電力の比較

AD 変換にかかる時間 T_T は最長ステップでの時間 T_L と総ステップ数 M から求められる。すなわち、

$$(AD \text{ 変換時間 } T_T) = (\text{最長ステップ時間 } T_L) \times (\text{総ステップ数 } M) \quad (1-7)$$

電流セル型の DAC で、その時定数を τ とすると、DAC の出力値は図 5 のように整定するが、その時間は冗長範囲までに整定すればよいので、式(1-8)で表すことができる。ただし、 A は振幅、 B は冗長範囲、 T_s は整定時間、 τ は時定数である。

$$A \left(1 - e^{-\frac{T_s}{\tau}} \right) = A - B \quad (1-8)$$

ここで、 $T_s = \tau \ln \frac{A}{B}$ から

$$T_L = 2T_s = 2\tau \ln \frac{A}{B} \quad (1-9)$$

となり、これから各変換方式について変換時間を比較することができる。

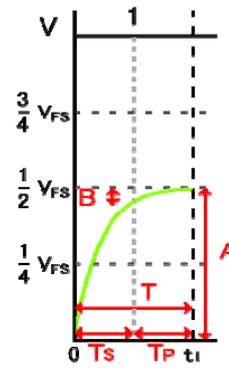


図 5. DAC の整定時間

⑤冗長性をもった変換方式間の比較

上で求めた変換時間の結果を用いて、変換全体にかかる時間 T が全ての変換方式で一定となるように、時定数 τ やサンプリング周波数 T_s を決定して各方式の消費電力を概算した。ここでは、比較器、SAR、DAC の各電力を設計値からそれぞれ 1mW、4mW、9mW 程度として比較器 3 個の場合を 1 とした消費電力の比を求めた。その結果、比較器 1 個：比較器 2 個：比較器 3 個 = 1.52 : 1.04 : 1 となった。

一方、内部 DAC に電流セル型を用いた比較器 3 個の SAR-ADC のチップ制作を行った結果から比較器、SAR、DAC のチップ内でのおよその面積割合を求め、各方式の面積の比較を行った。比較器 2 個と 3 個の場合は比較器が複数個ある分の面積に加え、参照電圧を複数発生させるための sub DAC が必要となるためその分面積が大きくなってしまふ。それに対し、比較器 1 個の場合は比較器の個数も少なく、また sub DAC も不要であるため、最も面積が小さくなる。

電流セル型 DAC を用いた 10bit 逐次比較形 AD 変換方式の比較結果を表 1 にまとめた。この結果、冗長性、変換時間、消費電力の面で比較器 3 個による 2 進探索アルゴリズムが最も優れているといえる。しかし、さらなる低消費電力化を図るためには内部 DAC として容量アレイ形を用いた場合には、比較器 3 個による方式は容量アレイの面積を増大させるので、比較器 2 個による 2 進探索アルゴリズムが適していると結論付けられる。

表 1. 10bit の逐次比較形 AD 変換方式の比較

	比較器1個 (非2進)	比較器2個	比較器3個
1ステップ目の冗長性	$\approx \frac{1}{4} \cdot \frac{1}{F_2}$	$\approx \frac{1}{3} \cdot \frac{1}{F_2}$	$\approx \frac{1}{4} \cdot \frac{1}{F_2}$
ステップ数	18	10	9
変換時間	55.4 τ	35.8 τ	27.7 τ
消費電力比	1.52	1.04	1

(2) DA 変換器の線形誤差校正方法の提案

①提案する DA 変換器高精度化技術の概念

図 6 のように 2 進化荷重電流形 DA 変換器の最下位ビットと同じ値を持った基準電流源 I_r を追加した構成を考える ($I_r = I_0$) このとき k ビット目に流れる電流は

$$2^k I_0 = \sum_{j=0}^{k-1} 2^j I_0 + I_0 \quad (2-1)$$

で示されるように、それ以下のビットの電流の総和に最下位ビットの電流を加えたものに等しい。したがって最下位ビットから順に式(2-1)の関係が成り立つかを比較していき、その誤差を測定する事ができれば各ビットに対する電流誤差値を知ることができる。

図 7 に図 6 の回路に補正用の電流源 I_E を加えた構成を示す。2 進化荷重電流形 DAC の各電流源が持つ誤差を δI_n とする。基準となる電流源 I_r と最下位ビット $I_0 + \delta I_0$ が等しくなるように補正電流値 ΔI_E を決定できるとすると、 $I_0 + \delta I_0 = I_r + \Delta I_E$

となりその誤差は、 $\delta I_0 = \Delta I_E$ と求めることができる。

同様に、各ビットの電流誤差は以下のように求まる。

$$\begin{aligned} \delta I_0 &= \Delta I_{E0} \\ \delta I_1 &= \Delta I_{E1} + \Delta I_{E0} \\ \delta I_2 &= \Delta I_{E2} + 2\Delta I_{E0} + \Delta I_{E1} \\ \delta I_3 &= \Delta I_{E3} + 4\Delta I_{E0} + 2\Delta I_{E1} + \Delta I_{E2} \end{aligned}$$

これより、各ビットの電流誤差値 ΔI_E を算出することが可能である。

② 誤差検出回路の提案

差動回路による誤差検出回路では差動増幅器のオフセットなどにより高性能な誤差検出は困難である。そこで、同期検波を用いた誤差検出回路を提案する。図 8 に示すようにチョップ回路、交流増幅器、同期検波回路による誤差増幅回路を用いて誤差を検出し、誤差量を帰還することで、誤差がゼロになるように補正電流 I_E を制御すれば I_E がその誤差量となる。この回路方式によれば電流検出用の抵抗のバラツキや増幅器のオフセットの

影響を無視することができる。

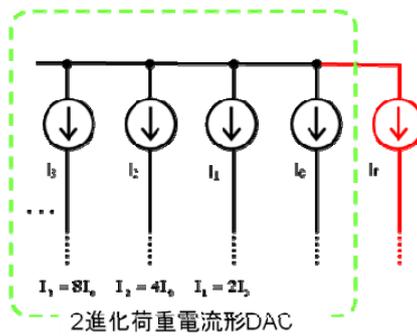


図 6. 最下位ビットを追加した DAC の構成

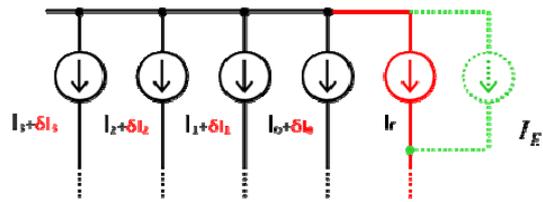


図 7. 補正電流源を追加した DAC の構成

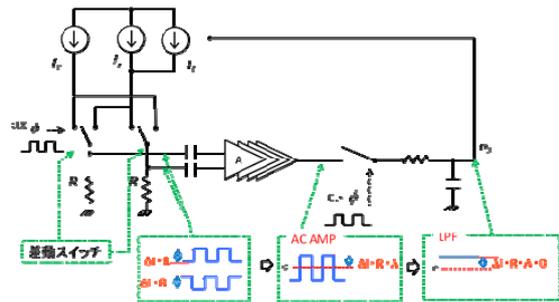


図 8. 誤差検出回路の原理図

③ カレントミラー定電流源を用いた誤差検出回路の検出限界

2 つのカレントミラー定電流源の誤差検出限界を回路シミュレーションにより求めた。電流誤差はトランジスタサイズを変えて発生させた。すなわち、 $W/L=40\mu\text{m}/0.5\mu\text{m}$ を中心に、ゲート幅 W を $40\mu\text{m}$ に対し $\pm 10\% \sim 0.0001\%$ 変化させて発生させた。この時の W のサイズ変化に対する誤差電流の変化と誤差検出回路の出力を確認した。その結果、 5ppm 精度まで誤差検出できることを確認した。

④電流補正回路を用いた負帰還による電流誤差補正

誤差補正を行うためには電流誤差に応じてその誤差値を加算させるだけでなく減算させることができるかが重要である。図 9 に示すように誤差検出回路の出力値が補正電流

値となるように電圧制御電流源を用いて電圧・電流変換を行い、そこにもう1つ電流源を置き、電流誤差に応じて電流の加算減算が可能な構成を提案し、電流誤差の変化に対して補正電流 I_E が正しく動作するかをシミュレーションにより確認した。定電流源 I_r を $500\mu\text{A}$ で一定とし、もう一方の定電流源 I_0 を $500\mu\text{A} \pm 0.5\mu\text{A}$ (誤差 0.2%) で変化させた場合、提案する補正回路方式でどの精度まで補正できるかの確認をシミュレーションにより行った。その結果を図10に示す。これより、 $\pm 0.5\mu\text{A}$ の電流差に対して誤差補正された後の2つの電流差は約 2.5nA になったことが確認できた。このとき、誤差検出回路のループ利得を 52dB (400倍) で設計しているため、 $2 \times 10^{-3} / 400 = 5 \times 10^{-6} = 5\text{ppm}$ 程度で誤差検出が可能となるはずである。シミュレーション結果より $(I_r - I_0) / I_r$ の平均値は約 $2.5\text{nA} / 500\mu\text{A} = 5\text{ppm}$ となった。この結果から、理論通りに誤差補正が行われていることを確認できた。また、性能目標とする18ビット精度(誤差約 4ppm)に対しても十分に実現可能であることを確認した。

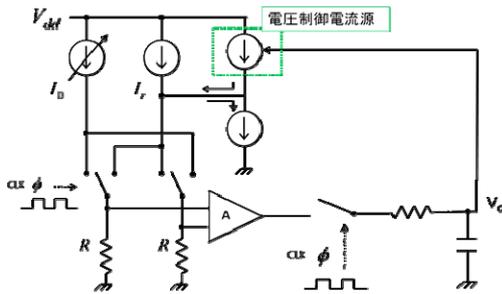


図9. カレントミラー定電流源を用いた誤差検出回路

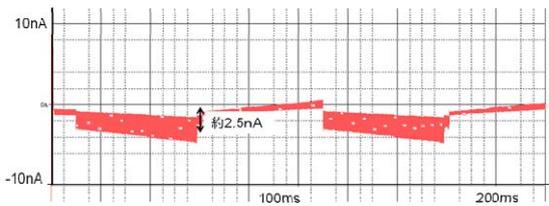


図10. 補正後の電流誤差

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計4件)

- ① 小川智彦, 松浦達治, 小林春夫, 高井伸和, 堀田正生, 他, "逐次比較近似 ADC コンパレータ・オフセット影響の冗長アルゴリズムによるデジタル補正技術" 電子情報

通信学会論文誌C, 査読有, vol.J94-C, 2011, pp.68-78

DOI: ISSN: 1881-0217

- ② Masao Hotta, Masayuki Kawakami, etal, "SAR ADC Architecture with Digital Error Correction," IEEJ Trans. on Electrical and Electronic Engineering, 査読有 vol.5, no.6, 2010, pp.651-659

DOI: 10.1002/tec.20588

- ③ T. Ogawa, M. Hotta, etal, "SAR ADC Algorithm with Redundancy and Digital Error Correction," IEICE Trans. Fundamentals, 査読有, vol.E93-A, 2010, pp.415 - 423

[学会発表] (計5件)

- ① 田中美緒, 堀田正生, "冗長性をもった逐次比較形 AD 変換方式の比較," 電子情報通信学会総合大会, 2011年3月15日, 東京都市大学(東京)
- ② T. Ogawa, T. Matsuura, H. Kobayashi, M. Hotta, etal, "Non-Binary SAR ADC with Digital Error Correction for Low Power Applications," IEEE Asia Pacific Conference on Circuits and Systems, Dec. 7, 2010, Kuala Lumpur, Malaysia
- ③ M. Kawakami, M. Hotta, etal, "Design of SAR ADC with Digital Error Correction using Three Comparators," IEEJ International Analog VLSI Workshop, Nov.18, 2009, Chaing Mai, Thailand

6. 研究組織

(1) 研究代表者

堀田 正生 (HOTTA MASAO)

東京都市大学・知識工学部・教授

研究者番号: 40409371