

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 24 年 6 月 5 日現在

機関番号：32702

研究種目：基盤研究（C）

研究期間：2009-2011

課題番号：21560371

研究課題名（和文） 歪制御による同一半導体を用いたヘテロ素子構造の研究

研究課題名（英文） Study on relaxed/strained semiconductor layer heterostructures fabricated by ion implantation induced relaxation technique of strained semiconductors

研究代表者

水野 智久 (Mizuno Tomohisa)

神奈川大学・理学部・教授

研究者番号：60386810

研究成果の概要（和文）：将来の高速 CMOS 素子を目指したソースヘテロ構造（ソース／チャンネル間のエネルギー差を利用してキャリア速度の増大を実現）として，同一半導体上に緩和／歪み層による急峻なヘテロ構造を簡易な方法で初めて実現した． n 及び p チャンネル用のソースヘテロ構造は，それぞれ歪み SOI 及び SGOI 基板上にそれぞれ部分的に O⁺または H⁺イオン注入を行い，その反跳エネルギーによって，注入部分の歪み層の埋め込み酸化膜界面滑りに伴い，歪みを緩和させることにより作製できた．

研究成果の概要（英文）： We have experimentally demonstrated an abrupt source heterostructure (SHOT) with relaxed/strained layers for a future high speed CMOS, using ion implantation technique. n- and p-SHOTs can be easily fabricated by the slip between the strained layer and the buried oxide on strained Si and SiGe layers, respectively, using the recoil energy of O⁺ or H⁺ ions.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2009 年度	1,700,000	510,000	2,210,000
2010 年度	900,000	270,000	1,170,000
2011 年度	1,000,000	300,000	1,300,000
年度			
年度			
総計	3,600,000	1,080,000	4,680,000

研究分野：半導体工学

科研費の分科・細目：電子デバイス・電子機器

キーワード：電子デバイス・集積回路

1. 研究開始当初の背景

現在のナノ領域での CMOS 素子性能が飽和しているのは，キャリア速度がソース端での熱速度やフェルミ速度によって決定されているからである．従って，CMOS 素子の高速化のためには，新たなソース素子構造，所謂ソースエンジニアリングが必要となっている．

我々は，図 1 に示すようなソース／チャンネルヘテロ構造において，その伝導帯エネルギー

差 ΔE_c を利用したソースからチャンネルへの高速電子注入素子（SHOT）を研究し，高速動作を実証した．この SHOT 構造では，ソース SiGe 層とチャンネル歪 Si の電子親和力 χ の差を利用するため，n-MOSFET では高速電子注入が実現できた．しかし，次のような問題点が生じている．

1) p-MOSFET では，図 1 のように，荷電子帯にエネルギー障壁が生じるため，正孔のソースからチャンネルへの高速注入が阻害され

る. 2) 図 2 の SHOT 製造プロセスで示すように, ソース SiGe 層形成時の高ドーズ Ge イオン注入による半導体基板の欠陥が形成される. 3) Ge のチャンネル領域への拡散に伴って, SiGe/歪 Si ヘテロ構造の傾斜化によりキャリア速度の高速化が阻害される. 4) 材料の違った半導体を用いたヘテロ構造では, 素子加工時のプロセス/加工条件の調整が困難である. 5) エネルギー輸送モデルを取り入れたシミュレータを使って, 傾斜ヘテロソース構造による SHOT 素子の最適化もある程度, 明確になった. しかし, ソースヘテロ界面でのキャリアの量子効果的偏在, ヘテロ界面でのエネルギースパイクでのトンネル効果などを考慮されていないこともあり, キャリアのチャンネルへの注入効率を正確に見積もることが困難であり, SHOT 素子設計に当たっては従来のシミュレータには限界がある.

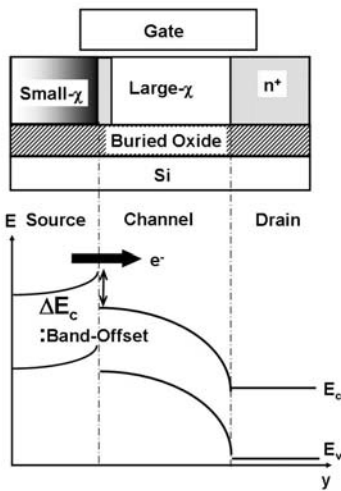


図 1 SHOT 断面図及びバンド図

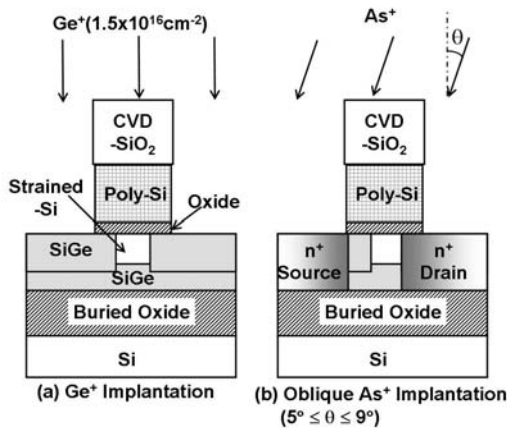


図 2 SHOT 製造プロセス

2. 研究の目的

本研究の第一の目的は, n 及び p 両チャンネル素子に適用できるソースヘテロ素子構造 (以下 SHOT と記述) として, 歪の制御によって, 同一半導体内においてもヘテロ構造が形成できることを実証することである. また, 第二の目的は, そのソース/チャンネルヘテロ界面でのエネルギーバンドオフセットによる高速キャリア注入現象を利用した高速 CMOS 素子の実現にある. そのためには, 本研究の第一段階として, n 及び p チャンネル素子においては, それぞれ, 埋め込み酸化膜 (BOX) 上の引っ張り歪 Si (SSOI 基板) 及び圧縮 SiGe 層 (圧縮 SGOI 基板) を用い, ソース領域のみ半導体基板の歪を緩和させることにより, 同一半導体を用いたヘテロ構造が実現できる. 更に, この SHOT 構造をバリスティック素子に応用するには, ソースヘテロ面のエネルギー差などのデバイスパラメータの最適化が必要である. そのために, 本研究の第二段階として, キャリアのチャンネル方向の量子効果的偏在効果などを取り入れたデバイスシミュレータを用いた研究も提案する.

3. 研究の方法

(1) 横方向ソースヘテロ構造の研究手法

図 3 及び 4 に, SSOI 基板

(Strained-Si-on-insulator: 引っ張り歪み Si 層) 及び SGOI 基板 (SiGe-on-insulator: 圧縮歪み SiGe 層) 上に作製された n 及び p チャンネル素子用ソースヘテロ素子構造 (以下 SHOT と記述) の断面模式図を示す. ゲート電極 (本研究ではゲート下の歪み観測を行うため SiO₂ をマスクとする) をマスクとして歪み基板への部分 O⁺ イオン注入を行い, 歪層/埋め込み酸化膜界面に臨界以上の反跳エネルギー E_R を与えられると, その界面での歪み層に滑りが発生する. 従って, O⁺ イオン注入された領域とされない領域の境界で, 緩和層/歪み層のヘテロ構造が実現でき, 図(b)のように伝導帯, 及び価電子帯のバンドオフセット ΔE_C 及び ΔE_V を形成できる. その結果, ソースヘテロ端で, キャリア速度の増大 Δv ($\Delta v = (2\Delta E/m^*)^{1/2}$; m^* はチャンネルのキャリアの有効質量) が実現できる.

今回用いた歪み Si 及び SiGe 層は, それぞれ引っ張り歪み 0.7%, 及び圧縮歪み 1.1% を有している. モンテカルロ計算により, イオンの反跳エネルギーのピーク位置が歪み層/BOX 界面になるようにイオン注入加速エネルギー条件を決定した. また, 歪み層に O⁺ イオン注入後, 高温のポストアニールを 30 分行った. 歪み層の歪み量は, Raman 分光 (レーザー波長は 532nm 及び 325nm, ビーム径 1 μ m) で計測した.

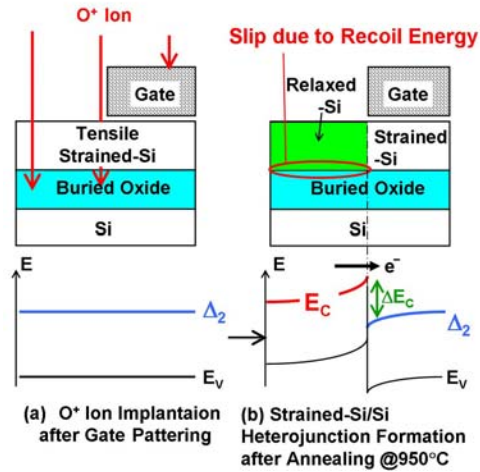


図3 SSOIを用いたnチャネルヘテロ素子

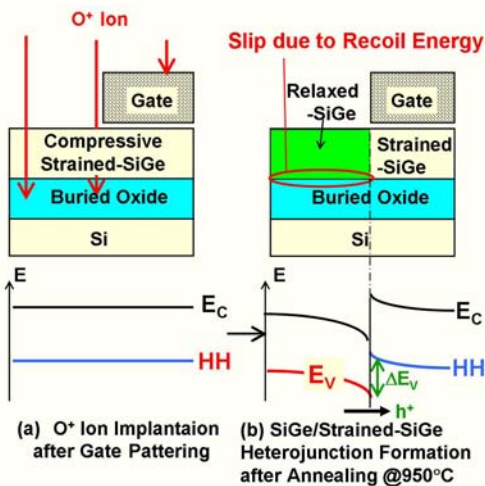


図4 SGOIを用いたpチャネルヘテロ素子

(2) 歪み緩和層の結晶性向上の研究手法

歪み層を緩和し、且つ、結晶性劣化を防止するには、注入イオンによる反跳エネルギーが歪み層/BOX界面にピークを持つ急峻な分布を持ち、歪み層中での反跳エネルギーは可能な限り低いこと必要である。図5は、モンテカルロ計算による各種イオンの反跳エネルギー分布の違いを示す。重いイオンほどその分布は広がり、上記条件を満たすには、最も軽いイオン、即ち、 H^+ が最適なイオンであることがわかる。

今回、従来の O^+ に代わり、 H^+ を用いた歪み層の緩和を行った。

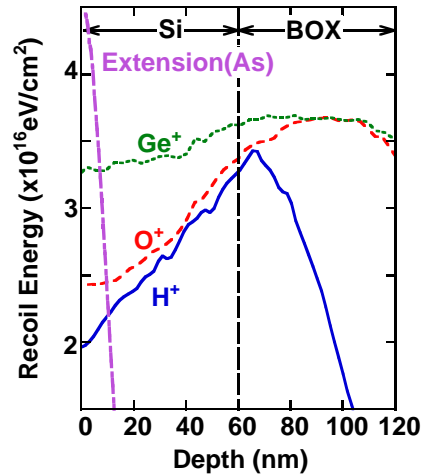


図5 各種イオンによるSi層中の反跳エネルギー分布のモンテカルロ計算結果。

4. 研究成果

(1) 歪み緩和の物理機構の解明

O^+ ドーズを変化させその反跳エネルギーを変化させ、歪み層の緩和率の依存性をRaman分光により計測した。図6にSSOI及びSGOIの緩和率の歪み層/BOX界面での反跳エネルギー依存性を示す。なお、反跳エネルギー値はモンテカルロ計算により求めた。歪みSi、及びSiGe層もある臨界反跳エネルギーで急激に緩和することが判明した。特に、歪みSi層では、その膜厚を変動させても、その臨界反跳エネルギーは同じである。即ち、緩和率は、普遍的な反跳エネルギー依存性を持っている。

また、図7に歪みSiの緩和率のポストアニール温度依存性を示す。緩和率は、図6同様ある臨界アニール温度で急激に増大し、その後は飽和状態になる。即ち、歪み層の緩和には、イオン反跳エネルギーだけでなく、ポストアニール工程も必須であることが判明した。

以上の結果より、歪み半導体層の緩和は、次の2段階機構モデルによって説明できる。

- 1) O^+ イオン反跳エネルギーによって歪み層/埋め込み酸化膜層間の結合が切断され、
- 2) その後のアニール工程において、半導体とBOX層の熱応力の差によって歪み層が界面に沿って滑ることにより、緩和が進行すると思われる。

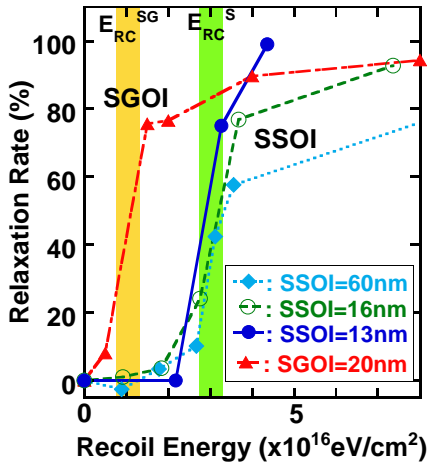


図6 歪み層 (SSOI, SGOI) の緩和率の反跳エネルギー依存性.

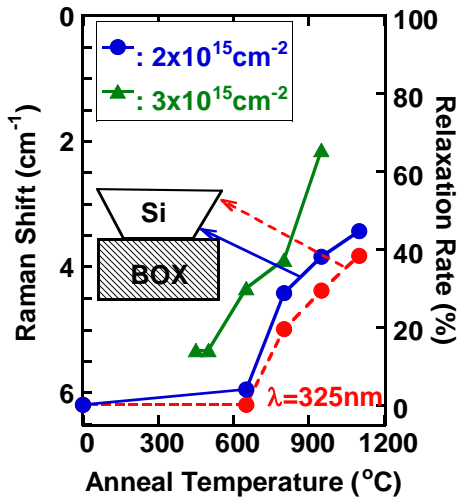


図7 歪み Si 層の緩和率のポストアニール温度依存性.

(2) 横方向ソースヘテロ構造の研究

SSOI 基板に SiO_2 マスクをパターンニングし、 O^+ イオン注入後 950°C のポストアニールを行った。図 8 に、 SiO_2 マスク端での緩和率分布の実測を示す。イオン注入領域の歪み Si は緩和し、マスク下では歪みが保持されている。しかも、マスク端において、急峻な歪み分布が実現されている。その結果、当初の目的である急峻なヘテロ構造が、今回の緩和/歪み層で実現できたことが実証された。このヘテロ端でのバンドオフセット値は 89meV と見積もられ、電子はソースからチャネルへの高速注入が可能であることが判明した。

もう 1 つ重要な関心事は、ゲート長がナノ領域においても、ソース/ドレインがイオン注入により緩和しても、チャネルの歪みの保持が可能かどうかである。図 9 は、ストライプ状のマスク幅中での歪み量の変化の実測である。マスク長が数 10nm においても歪みが保持されており、ナノ領域での緩和/歪みヘテロ構造が可能であることが実証された。

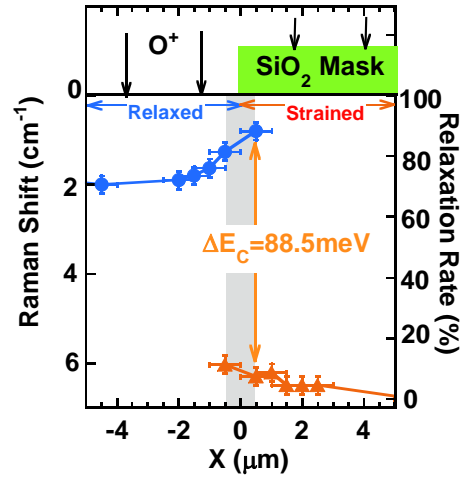


図8 マスク端における歪み Si 層の緩和率分布.

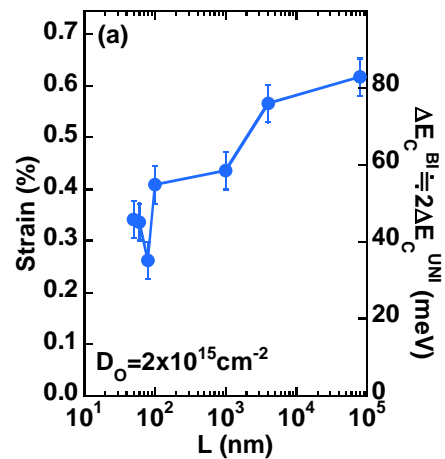


図9 ストライプ形状歪み Si 層の歪みのマスク幅依存性. 右縦軸は、歪みから求めた緩和/歪みヘテロ端でのバンドオフセット値 ΔE_C .

(3) 歪み緩和層の結晶性向上の研究

旧来の O^+ イオン法と比較して、新たな H^+ イオン法における注入領域の良好な結晶性が実現できたことを述べる。

図 10 は、 H^+ イオンと O^+ イオンによる歪み SiGe 層の緩和率のイオン反跳エネルギー依存性の比較である。 H^+ イオンにおいても、歪み緩和が実現できた。しかも、その臨界反跳エネルギーはイオン種に依存せず、緩和率は普遍的な反跳エネルギー依存性を持つことが判明した。

ここで、イオン注入後の歪み層の結晶化率 R_C は、 W_{HI}/W_H で定義した。なお、 W_{HI} 及び W_H は初期基板の Raman ピークの半値幅、及びイオン注後の半値幅である。

図 11 は、 R_C と緩和率の相関のイオン種依存性を示す。緩和率が 80% 以下では両イオンに差はない。しかし、ほぼ完全緩和領域では、 O^+ イオンでは急激な R_C 劣化が起きるが、 H^+ イオンではその劣化が抑制されているのが明白である。これは、当初の目論見通り、 H^+

イオンによる急峻な反跳エネルギー分布により (図 5), イオン注入による半導体層へのダメージが抑制されたことによる.

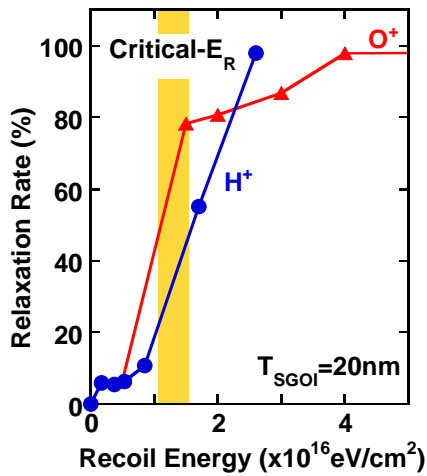


図 10 H⁺及びO⁺による歪み SiGe 層の緩和率の各イオン反跳エネルギー依存性.

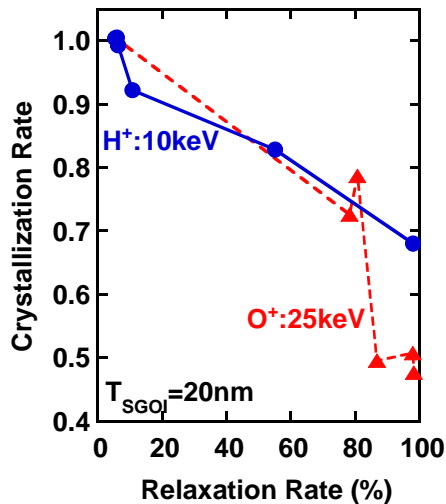


図 11 H⁺及びO⁺による歪み SiGe 層の結晶化率と緩和率との相関関係.

(4) 最適素子構造の提案

以上の研究成果を基に, 将来の高速微細素子構造の提案を行った.

図 12 に, 将来の高速素子 SHOT の最適構造を示した. ドレイン端でのヘテロエネルギースパイク形成防止のため, ソース歪み層の緩和用のイオン注入はソース斜めから行う (図 12 (a)). その後, ソースヘテロ端とソース拡散層 pn 接合位置の最適化のため, ソース/ドレイン拡散層イオン注入は垂直に近い角度で行う. その結果, 単一の半導体上に, 簡易な方法でソース領域のみ緩和/歪み層ヘテロを形成でき, 高速注入キャリアを持つデバイスが実現可能である.

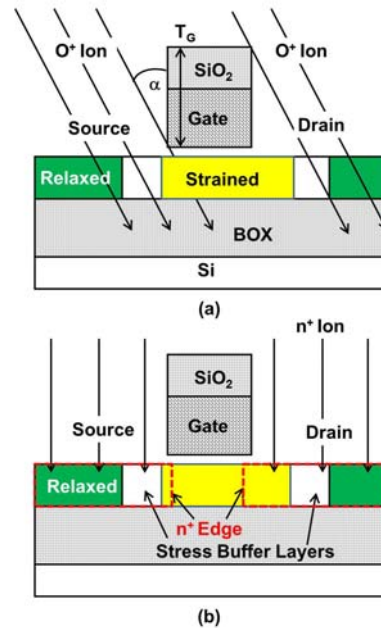


図 12 最適 SHOT 構造とその製法. (a) ソースからの斜めイオン注入法, (b) ソース/ドレイン拡散層の形成.

以上の成果は, 国際学会発表 4 件, 国内学会発表 6 件, 論文掲載 9 件と, 広く国内外で認められる結果となった.

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕 (計 9 件)

1. T. Mizuno, N. Mizoguchi, K. Tanimoto, T. Yamauchi, T. Tezuka, and T. Sameshima, "Novel Source Heterojunction Structures with Relaxed-/Strained-Layers for Quasi-Ballistic CMOS Transistors using Ion Implantation Induced Relaxation Technique of Strained-Substrates", Extended Abst. of SSDM, Sendai, p.769 (2009). 査読有
2. T. Mizuno, N. Mizoguchi, K. Tanimoto, T. Yamauchi, M. Hasegawa, T. Sameshima, and T. Tezuka, "New Source Heterojunction Structures with Relaxed-/Strained-Semiconductors for Quasi-Ballistic Complementary-Metal-Oxide-Semiconductor (CMOS) Transistors: Relaxation Technique of Strained-Substrates and Design of Sub-10nm Devices", Jpn. J. Appl. Phys., **49**, 04DC13 (2010). 査読有
3. T. Mizuno, M. Hasegawa, and T. Sameshima, "Source Heterojunction with Relaxed/Strained-Layers for Quasi-Ballistic CMOS Transistors", Extend. Abst. ISTESNE, Tokyo, p.66 (2010). 査読有
4. T. Mizuno, M. Hasegawa, K. Ikeda, M. Nojiri,

- and T. Horikawa, "Abrupt Source Heterostructures with Lateral-Relaxed/Strained Layers for Quasi-Ballistic CMOS Transistors using Lateral Strain Control Technique of Strained Substrates", Extended Abst. of SSDM, Tokyo, p.45 (2010). 査読有
5. T. Mizuno, Y. Moriyama, T. Tezuka, N. Sugiyama, and S. Takagi, "Experimental Study of Single Source Heterojunction MOS Transistors (SHOTS) for Quasi-Ballistic Regime: Optimization of Source-Hetero Structures and Electron Velocity Characteristics at Low Temperature", Jpn. J. Appl. Phys., **50**, 010107 (2011). 査読有
 6. T. Mizuno, M. Hasegawa, K. Ikeda, M. Nojiri, and T. Horikawa, "Abrupt Lateral-Source Heterostructures with Lateral-Relaxed/Strained Layers for Ballistic CMOS Transistors Fabricated by Local O⁺ Ion Induced Relaxation Technique of Strained Substrates", Jpn. J. Appl. Phys., **50**, 04DC02 (2011). 査読有
 7. T. Mizuno, M. Hasegawa, and T. Sameshima, "Novel Source Heterojunction Structures with Relaxed-/Strained-Layers for Quasi-Ballistic CMOS Transistors", Key Engineering Materials, **470**, pp.72-78 (2011). 査読有
 8. T. Mizuno, J. Takehi, and S. Tanabe, "Lateral Source Relaxed/Strained Layer Heterostructures for Ballistic CMOS: Physical Relaxation Mechanism for Strained Layers by O⁺ Ion Implantation", Extended Abst. of SSDM, Nagoya, p.839 (2011). 査読有
 9. T. Mizuno, J. Takehi, and S. Tanabe, "Postannealing Effects on Strain/Crystal Quality of Lateral Source Relaxed/Strained Layer Heterostructures Fabricated by O⁺ Ion Implantation", Jpn. J. Appl. Phys., **51**, 04DC01 (2012). 査読有

[学会発表] (計 10 件)

1. 水野智久, "単一半導体を用いた新ソースヘテロ構造の検討: (I) 緩和 Si/歪 Si ヘテロ構造", 応用物理学会, 2009 年 9 月 10 日, 富山大学.
2. T. Mizuno, "Novel Source Heterojunction Structures with Relaxed-/Strained-Layers for Quasi-Ballistic CMOS Transistors using Ion Implantation Induced Relaxation Technique of Strained-Substrates", International Conference on Solid State Devices and Materials, 2009 年 10 月 8 日, 仙台
3. 水野智久, "単一半導体を用いた新ソースヘテロ構造の検討: (II) : CMOS 用緩和/歪半導体構造", 応用物理学会, 2010 年 3 月 17 日, 東海大学
4. T. Mizuno, "Source Heterojunction with Relaxed/Strained-Layers for Quasi-Ballistic CMOS Transistors", International Symposium on Technology Evolution for Silicon Nano-Electronics, 2010 年 6 月 4 日, 東京工業大学.
5. 水野智久, "単一半導体を用いた新ソースヘテロ構造の検討 (III) : 急峻な横方向歪み分布の実現", 応用物理学会, 2010 年 9 月 16 日, 長崎大学.
6. T. Mizuno, "Abrupt Source Heterostructures with Lateral-Relaxed/Strained Layers for Quasi-Ballistic CMOS Transistors using Lateral Strain Control Technique of Strained Substrates", International Conference on Solid State Devices and Materials, 2010 年 9 月 22 日, 東京大学.
7. 武樋樹里亜, 田邊 奨, 有馬広記, 星野靖, 中田穰治, 水野智久, "単一半導体を用いた新ソースヘテロ構造の検討 (IV) : 歪み Si 層の緩和メカニズム", 応用物理学会, 2011 年 3 月 26 日, 神奈川工科大学.
8. 水野智久, "単一半導体を用いた新ソースヘテロ構造の検討 (V) : 緩和/歪み Si ヘテロ構造の結晶性", 応用物理学会, 2011 年 9 月 2 日, 山形大学.
9. T. Mizuno, "Lateral Source Relaxed/Strained Layer Heterostructures for Ballistic CMOS: Physical Relaxation Mechanism for Strained Layers by O⁺ Ion Implantation", International Conference on Solid State Devices and Materials, 2011 年 9 月 28 日, 名古屋.
10. 武樋樹里亜, 赤松大夢, 阿部勇貴, 水野智久, "単一半導体を用いた新ソースヘテロ構造の検討 (VI) : H⁺イオン注入による良好な結晶性の実現", 応用物理学会, 2012 年 3 月 17 日, 早稲田大学.

[その他]

ホームページ等

<http://www.info.kanagawa-u.ac.jp/~mizuno/index.html>

6. 研究組織

(1)研究代表者

水野 智久 (MIZUNO TOMOHISA)

神奈川大学・理学部・教授

研究者番号: 60386810

(2)研究分担者

鮫島 俊之 (SAMESHIMA TOSHIYUKI)

東京農工大学・共生科学技術研究院・教授

研究者番号: 30271597