

機関番号： 11301
 研究種目： 若手研究 (B)
 研究期間： 2009～2010
 課題番号： 21700003
 研究課題名 (和文) 生体情報処理の視点に基づいたエネルギー効率の高いしきい値回路の設計とその限界
 研究課題名 (英文) Design of Energy-Efficient Threshold Circuits Based on Biological Information Processing, and its limitation
 研究代表者
 内沢 啓 (KEI UCHIZAWA)
 東北大学・大学院情報科学研究科・助教
 研究者番号： 90510248

研究成果の概要 (和文) : 本研究では, 神経回路網のモデルとして「しきい値回路」に着目し, しきい値回路のパルス発生量の制限が, 回路の計算能力にどのような影響を与えるかについて理論的解析を行った. その結果, 主に以下に示す2つの成果を得た. 1) 剰余関数を計算するしきい値回路の素子数とパルス発生量の間, トレードオフの関係があることを数学的に厳密に証明した; 2) パルス発生量の小さいしきい値回路で計算できる関数は, 必ず並列計算時間の小さいしきい値回路でも計算できることを明らかにした.

研究成果の概要 (英文) : We consider a threshold circuit as a theoretical model of a neural network, and study a relationship among its energy, size and depth. We obtain the following two results: 1) we prove that there exists a tight tradeoff between energy complexity and size of threshold circuits computing MOD functions; 2) we prove that if a function can be computed by a threshold circuit of small energy complexity, then the function can be computed by a threshold circuit of small depth, too.

交付決定額

(金額単位: 円)

	直接経費	間接経費	合計
2009年度	1,200,000	360,000	1,560,000
2010年度	900,000	270,000	1,170,000
年度			
年度			
年度			
総計	2,100,000	630,000	2,730,000

研究分野：情報学基礎

科研費の分科・細目：情報学・情報学基礎

キーワード：情報基礎, エネルギー効率化, 回路計算量, トレードオフ

1. 研究開始当初の背景

脳の神経回路網によって実現される情報処理は, 回路網を構成する神経細胞間のパルス (電気信号) のやりとりによってなされている. 近年の生理学分野の研究において, この

生体で行われる情報処理が, 計算過程で発生するパルスの発生量を少なく抑えて実現されている, とする報告がなされた. その主張の有力な根拠の1つとして, パルスの発生に必要なエネルギーが非常に大きい

という点が挙げられている。理論計算機科学の視点からこの主張を言い換えれば、脳にとってパルスの発生はエネルギーの面でコストが高く、限られた計算資源のひとつとなっていると言える。

一方でしきい値回路は、神経回路網のモデルとして古くから理論計算機科学の分野で研究がなされ、その計算能力に関する結果が数多く得られている。しかし過去の研究では、しきい値回路の規模（即ち、素子数や段数）が計算資源として捉えられて研究の対象となっており、素子数や段数をどこまで最小化できるのか、という問題が主な主題として考えられていた。上に示した生理学的背景に基づいて、情報処理の際に発生するパルスの発生量を計算資源として捉える計算モデルは、我々が 2006 年に提案するまで全く検討されてこなかった。

2. 研究の目的

本研究は、理論計算機科学の分野で提案された神経回路網のモデルであるしきい値回路を、実際の脳のエネルギー消費システムに即した視点で捉えなおし、新しく得られた理論的な成果をもって、脳の神経回路網固有の計算原理の発見を目指すものである。

我々は過去の研究において、パリティ関数や比較関数を含む多くの特定の関数に対して、パルスの発生量がほぼ最小と言える回路を設計することに成功している。従来の回路設計と比べると、この設計による回路のパルス発生量は格段に少ない。また回路の構造も従来までの回路とは異なり、非常に大きな段数を持つ構造となっており、従来のしきい値回路の設計の常識にあてはまらない回路構造が、パルスの発生量を減らすために有効に

働くことを明らかにした。さらに、ある特定の関数を計算する回路のパルス発生量、素子数、段数を全て小さくすることはできないという、いわゆるトレードオフの存在の証明にも成功した。

しかし、過去に開発された手法に沿って作られるしきい値回路は、パルスの発生量をほぼ最小にできる一方、素子数、特に段数が非常に大きくなる。これは、脳内の神経回路網を構成している神経細胞の個数が限られていること、また脳の大きさに制限があること、生体では非常に高速な情報処理が行われていること、を考慮すると不自然である。この事実より我々は、パルス発生量のみを最小化するのではなく、素子数と段数も偏りなく小さい回路の設計を行うことで、より実際の神経回路網に近い回路構造を発見できる可能性があるのではないか、という着想を得た。そこで本研究では、具体的には、パルスの発生量、素子数、段数を偏りなく小さくできる回路設計を与えることを目指す。

3. 研究の方法

そのために我々はまず、これまでも研究の対象としてきた「パリティ関数」及びパリティ関数を拡張した「剰余関数」及び「対称関数」を処理すべきタスクとして捉え、これらのタスクを処理するしきい値回路の設計を行った。特定の関数に着目して設計に取り組むことで、パルスの発生量、素子数、段数を小さくする一般的な回路構造の手がかりを掴むことができる。さらに可能であれば、成果として得られたパリティ関数あるいは剰余関数を計算する回路が、パルスの発生量、素子数、段数それぞれの点で最適なものであることを、理論的に証明することを目指した。

4. 研究成果

主に、「剰余関数」と「対称関数」の処理に着目し、パルス発生量の制限が、回路の構造やその計算能力にどのような影響を与えるかについて理論的に調査した。その結果、主に以下に示す3つの成果を得た。

(1) 剰余関数を計算するしきい値回路の素子数とパルス発生量の間には、トレードオフの関係があることを数学的に厳密に証明した。このトレードオフは、素子数とパルス発生量が共に極端に小さいしきい値回路が、剰余関数を原理的に計算できないことを示している。即ち、パルス発生量の小さいしきい値回路を用いて剰余関数を計算するためには、回路は相当数の素子数を必要とする。また逆に、素子数の少ない回路で剰余関数を計算するためには、相当数のパルス発生量が必要となる。この成果は、後述する剰余関数を計算するパルス発生量の少ないしきい値回路の設計において基本的な指針となっただけでなく、そのしきい回路の最適性を判断するためにも利用された。また特筆すべき点として、このトレードオフは、しきい値回路という限られた神経回路網の理論モデルに対してだけでなく、「ユネイト回路」と呼ばれる、さらに複雑な回路網の理論モデルに対しても成立すること、加えて、剰余関数の定義をさらに拡張して得られる「対称関数」に対しても成立すること、が上げられる。

(2) 上記のトレードオフによって示唆されるしきい値回路の設計の基本的な指針に基づき、我々は、素子数を多く用いることによりパルス発生量を小さく抑えることができ、逆にパルス発生量を大きくすることにより素子数を小さく抑えることのできる、新しい回路の設計手法を与えることに成功した。こ

の設計手法において、パルス発生量と素子数の内、どちらか一方の値は回路設計者が自由に決定することができる。剰余関数を計算するしきい値回路のパルス発生量と素子数の間にはトレードオフの関係があることは、上記(1)のように我々が理論的に厳密に証明しているが、この設計手法によって得られるしきい値回路のパルス発生量と素子数はこのトレードオフにほぼ一致する。よって、我々の設計手法はパルス発生量と素子数の両面で、理論的にほぼ最適な回路を与えることができると言える。さらに、我々の導出したパルス発生量と素子数の間のトレードオフが、剰余関数を計算するしきい値回路に関してはほぼ厳密に成立することも示している。設計手法の中で回路を構成する素子の個数や素子間の接続関係など、その回路構造の詳細が明示的に記述されたことにより、剰余関数を計算するしきい値回路について、パルス発生量と素子数を小さく抑えるためにならざるを得ないような回路構造が有効であることが明らかになったと言える。

(3) さらに我々は、しきい値回路のパルス発生量と並列計算時間という異なる2つのパラメータの間に、強い関係があることも理論的に証明した。具体的には、パルス発生量の小さいしきい値回路で計算できるタスクは、必ず並列計算時間の小さいしきい値回路でも計算できることを明らかにした。しきい値回路の並列計算時間は、理論計算機科学の分野で古くから研究がなされており、その性質についても多くのことが明らかになっている。しかし、パルスの発生量との結びつきは、これまで知られていなかった。この成果により、これまで知られているしきい値回路の並列計算時間に係る多くの研究成果を、しきい値回路のパルス発生量と結びつけて考

えることができるようになった。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 5 件)

- [1] K. Uchizawa, T Nishizeki and E. Takimoto, “Energy and depth of threshold circuits,” *Theoretical Computer Science*, to appear, 査読有
- [2] A. Suzuki, K. Uchizawa and X. Zhou, “Energy-Efficient Threshold Circuits Computing Mod Functions,” *Proceedings of the 17th Computing: the Australasian Theory Symposium (CATS)*, CRIPT, 119, 105-110, 2011, 査読有
- [3] K. Uchizawa, E. Takimoto and T. Nishizeki, “Size-energy Tradeoffs of threshold circuits computing Mod functions,” *Theoretical Computer Science*, Volume 412, issues 8-10, 773-782, 2011, 査読有
- [4] K. Uchizawa, E. Takimoto and T. Nishizeki, “Size and energy of threshold circuits computing Mod functions,” *Proceedings of the 34th International Symposium on Mathematical Foundations of Computer Science (MFCS)*, Springer LNCS 5734, pp. 724-735, 2009, 査読有
- [5] K. Uchizawa and E. Takimoto, “Energy complexity and depth of threshold circuits,” *Proceedings of the 17th International Symposium on Fundamentals of Computation Theory (FCT)*, Springer LNCS 5699, pp. 335-345, 2009, 査読有.

[学会発表] (計 7 件)

- [1] 北原 綾香, 内沢 啓, 周 暁, 多人数通信ゲームとしきい値回路の複雑度, 第10回先端的ネットワーク&コンピューティングテクノロジーワークショップ/ITRC 情報流通基盤分科会ワークショップ, 2011年3月18日, 東北大学.
- [2] 鈴木 顕, 内沢 啓, 周 暁, Energy and Fan-in of Threshold Circuits Computing Mod Functions, 第10回先端的ネットワーク&コンピューティングテクノロジーワークショップ/ITRC 情報流通基盤分科会ワークショップ, 2011年3月18日, 東北大学.
- [3] 鈴木 顕, 内沢 啓, 周 暁, 剰余関数を計算するエネルギー複雑度の小さいしきい値回路, 電子情報通信学会コンピュータセッション研究会, 2010年12月3日, 九州工業大学 Kyutech プラザ.
- [4] K. Uchizawa, E. Takimoto and T. Nishizeki, “Size and energy of unate circuits computing symmetric Boolean functions,” *Proceedings of the 13th Japan-Korea Joint Workshop on Algorithms and Computation (WAAC)*, 2010年6月23日, 金沢文化ホール.
- [5] 内沢 啓, 生体情報処理の視点に基づいたエネルギー効率の高いしきい値回路の設計, 情報数物研究会, 2010年6月4日, 東北大学.
- [6] 内沢 啓, 瀧本 英二, 西関 隆夫, 対称関数を計算するユネイト回路のサイズとエネルギーのトレードオフ, 電子情報通信学会コンピュータセッション研究

会, 2010年1月25日, 九州大学西新プラザ.

- [7] 内沢 啓, 西関 隆夫, 瀧本 英二, しきい値論理回路のエネルギー複雑度と段数について, 電子情報通信学会コンピュータセッション研究会, 2009年4月17日, 京都大学.

6. 研究組織

(1) 研究代表者

内沢 啓 (KEI UCHIZAWA)
東北大学・大学院情報科学研究科・助教

研究者番号 : 90510248

(2) 研究分担者

()

研究者番号 :

(3) 連携研究者

()

研究者番号 :