

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成24年 5月17日現在

機関番号：11301

研究種目：若手研究（B）

研究期間：2009～2011

課題番号：21700051

研究課題名（和文） 製造ばらつきフリー高信頼多値VLSIの系統的設計法の構築

研究課題名（英文） Systematic Design Scheme for Process-Variation-Free Highly Dependable Multiple-Valued VLSI

研究代表者

夏井 雅典（NATSUI MASANORI）

東北大学・電気通信研究所・助教

研究者番号：10402661

研究成果の概要（和文）：

本研究では、製造ばらつきフリー高信頼多値 VLSI の系統的設計論の確立を目的とした基礎実験を行った。多値回路向け高水準設計・検証システムの構築と回路シミュレーションによる性能実証、不揮発性新デバイスを用いた多値回路ブロックとその適応的ばらつき補正技術の提案、ならびに本手法に基づいた高信頼 VLSI の設計と動作検証を通し、本技術に基づく高性能・高信頼次世代 VLSI の実現が可能であることを示した。

研究成果の概要（英文）：

This research aimed to develop a systematic design scheme for process-variation-free multiple-valued VLSI. Through establishment of a high-level synthesis/verification tool for multiple-valued logic circuit, and design and performance verification of a variation-aware multiple-valued logic LSI based on nonvolatile memory device, it is confirmed to be able to realize high-performance and highly-dependable VLSIs by using the proposed method.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2009年度	1,100,000	330,000	1,430,000
2010年度	1,300,000	390,000	1,690,000
2011年度	900,000	270,000	1,170,000
年度			
年度			
総計	3,300,000	990,000	4,290,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：VLSI 設計技術

1. 研究開始当初の背景

近年における集積回路の性能向上は、主に“More Moore”の思想に基づいた回路のスケーリングによって推進されてきた。しかし、数十億もの素子を集積する現在の VLSI においては、素子間の配線が占める面積および消費電力の増大、設計プロセスの極限的微小化にともなう物理的限界が問題となり、従来の

スケーリング側に則った回路の高性能化には限界が見えつつある。これらの問題を解決し、高性能な次世代 VLSI を実現するためのブレークスルーを見出すには、従来の微小化技術の進展による高性能化だけではなく、いわゆる“Beyond CMOS”あるいは“More than Moore”と呼ばれるような、新デバイスの採用および回路機能の多様化によるパフ

パフォーマンスの向上が必須である。

こういったアプローチの一つとして、多値集積回路技術に関する研究がかねてより進められている。しかし、多値集積回路設計においては、従来のデジタル回路設計において行われているような系統的設計・検証技術の確立がまだまだ不完全であり、実用化における大きなボトルネックとなっている。これを実現するための試みの一つとしてハードウェア記述言語 (HDL) を用いた 2 値・多値融合論理 LSI の高水準設計手法が提案されているが、設計した回路の動作検証については HSPICE や NanoSim などを用いた回路シミュレーションベースの方法に依存せざるをえない状況である。したがって、大規模な回路を対象とする際には、膨大な演算コストにともなう処理時間が問題となり、実用という観点において十分な実装がなされているとはいえない。

一方、近年におけるプロセスの極限的微小化にともなって顕在化しつつある電源電圧の低下やリーク電流の増加、およびそれらに起因するノイズ耐性およびプロセスばらつき耐性の低下といった様々な問題も、多値集積回路の実装において大きな障害になりつつある。通常、回路設計においては、デバイスが潜在的に有するばらつきにともなう回路性能のゆらぎを考慮し、十分な動作マージンを取った上で設計を行う。しかし、複数のしきい値を用いて多レベルの情報量を表現する多値回路においては、通常の 2 値論理と比較してマージンが取りづらいため、動作可能範囲を十分に確保するためには回路性能を大幅に引き下げる必要がある。ディープサブミクロンプロセス世代における MOS のしきい値電圧やプロセス定数のばらつきが、ロット間のみならず単一チップのデバイス間においてさえも非常に大きくなるという現状を考慮すると、従来の設計アプローチによる高性能な VLSI の実現はますます困難になっていくことが予想される。

2. 研究の目的

以上に示したような現在の動向において、高性能性と高信頼性が両立した次世代 VLSI を実現するためには、今まで主に検討されてきた多値論理・多値演算を実現するための回路構成に関する研究のみならず、それらを効率的に設計・検証するための設計支援技術、ならびに歩留まりおよび性能向上を実現するためのデバイスレベルにおけるばらつき補正技術といった、様々な設計レベルにおける総合的なアプローチに基づいた設計パラダイムを提唱していくことが必須である。これをふまえて、本研究では、多値集積回路のための系統的設計論の確立を目的とした基礎実験を行い、本技術に基づく高性能・高信頼

次世代 VLSI を実現することを目的とする。主な研究目的は以下の 2 項目である：

(1)多値回路向け高水準設計・検証システムを構築する。回路シミュレーションを通じた基礎実験ならびに LSI 試作を通し、現在実装が不十分とされている動作検証手法について検討を行う。

(2)不揮発性新デバイスを用いた多値回路ブロックとその適応的ばらつき補正技術の提案、ならびに本手法に基づいた高信頼回路設計技術について検討を行う。

集積回路の高性能化を実現するアプローチの一つとして多値集積回路の研究は進められてきた。本技術は、複数の論理値による多値符号化を基本としたアルゴリズムによってハードウェアを構成する方式である。一配線上に多レベルの情報を重畳することで配線リソースおよび演算ステージの削減による回路の高密度化、高速化が可能であり、本技術に基づく回路の設計・試作を通し、その有効性が示されている。

しかし、現在までの多値集積回路に関する研究は主に多値論理・多値演算を実現するための回路構成に関するものがほとんどであり、その実装も回路の遅延と規模という 2 値デジタル回路の延長上としての評価のみが行われている場合が多く、回路動作の保証という観点では深い検討が行われていなかった。本研究における高水準設計・検証手法を確立することができれば、高い精度で回路動作を保証した多値集積回路設計が実現できるとともに、主にアナログ回路設計において多く用いられているフィードフォワード的なばらつき補正技術と組み合わせることで、その設計時において考慮すべき動作マージンをリラックスさせ、総合的にチップの高性能化・高歩留まり化を実現することが可能となる。

一方、ASIC (Application Specific IC) の設計で重要となる各種の設計支援ツールは、ソフトウェアの分野で支配的になっている米国製のものがほとんどであり、国産の技術は国外に対して大きく遅れを取っているというのが現状である。本研究を通してトップダウン・ボトムアップ両面からの総合的なアプローチに基づく設計パラダイムを提唱していくことは、わが国において研究開発の不足が深刻となっている回路設計支援技術の進展に対するブレークスルーを与える可能性を有しているだけでなく、わが国の産業振興においても重要な意義を含むものと考えられる。

3. 研究の方法

まず第 1 段階として、2 値・多値融合集積回路のための自動配置配線・タイミング検証フローの実装を行う。動作解析を通し、従来

手法に対する優位点・問題を明らかにする。同時に、不揮発性新デバイスの特性を利用した適応的ばらつき補正技術の提案、ならびに本手法に基づいた多値集積回路の高信頼化について検討を行う。

第2段階では、第1段階で得られた知見をもとにシミュレーション手法の再検討を行い、提案フローの更なる高精度化を図る。また、本技術に基づく多値集積回路の設計・試作を通し、提案技術の有効性を示すとともに、ばらつき補正技術と組み合わせることで高性能・高信頼多値集積回路の実現が可能であることを示す。計画の詳細について以下に記述する。

(1)多値回路向け自動配置配線・タイミング検証フローの実装：2値・多値融合集積回路のための自動配置配線・動作検証フローの実装を行う。自動配置配線は、従来のCMOS回路の自動設計フローをベースに実現する。多値回路セルのレイアウトから作成した配置配線用ライブラリと、それらの接続関係を表すHDL記述をそれぞれ定義することにより、従来の自動配置配線ツールを活用することが可能である。また、動作検証は、アナログ回路の動作記述が可能なHDLであるVerilog-AMSに基づく動作シミュレーションを用いて行うとともに、各セルに定義されたルックアップテーブルによって遅延時間を見積もる。これにより、従来のHSPICEなどによる回路シミュレーションをベースとした手法に比べ、検証時間を大幅に削減することが可能になると予想される。

(2)不揮発性デバイスを用いた多値回路ブロックの提案：MTJ (Magnetoresistive Tunneling Junction: トンネル磁気抵抗) 素子と呼ばれるデバイスを組み込んだ多値回路ブロック、およびデバイスのパラメータ制御によるばらつき制御手法について検討する。MTJ素子はCMOSプロセスとの高い親和性を有する不揮発性新デバイスであり、一定値以上の電流を流すことで、磁化の状態に対応した R_{max} 、 R_{min} の2種類の抵抗値を取る。本素子を回路に組み込むことで、CMOSプロセスが有するばらつきを補正する機能を付加し、設計段階における動作マージンの制約を緩めると同時に、ばらつきによる性能劣化を抑え、結果として高い性能の実現が可能となると考えられる。現在までに、差動対回路におけるしきい値電圧ばらつきを対象とした基礎実験により、その有効性が示されているが、本年度研究ではこの知見を元に本方式の一般化および実際に回路を構成した際の具体的な制御方法について検討を進める。

(3)提案フローの高精度化：上記(1)、(2)によって得られた知見をもとに、シミュレーション手法の再検討を行い、提案フローの更なる高精度化を図る。特にタイミング検証部に

ついて、より精度の高い検証が可能な配線モデルおよびこれを用いた遅延の算出方法について検討を進め、従来の検証手法と同水準のシミュレーション精度の達成を目指す。

(4)多値集積回路の設計・試作：以上の方式に基づき多値集積回路の設計・試作を行い、その性能・信頼性に関する検証結果から、提案方式の有効性に関する総合的な評価を行う。

4. 研究成果

(1)多値回路向け自動配置配線・タイミング検証フローの実装：2値・多値融合集積回路のための自動配置配線・動作検証フローの検討を行った。従来のCMOS回路の自動設計フローをベースに自動配置配線を実現するとともに、多値回路セルのレイアウトから作成した配置配線用ライブラリと、それらの接続関係を表すHDL記述をそれぞれ定義することにより、従来の自動配置配線ツールを活用することを可能にした。また、動作検証は、アナログ回路の動作記述が可能なHDLであるVerilog-AMSに基づく動作シミュレーションを用いて行うとともに、各セルに定義された2次元ルックアップテーブルを用いることで、従来のHSPICEなどによる回路シミュレーションをベースとした手法に比べ、検証時間を大幅に削減しつつ、遅延時間および遷移時間を高い精度で見積もることが可能であることを示した。

(2)不揮発性デバイスを用いた多値回路ブロックの提案：MTJ素子を組み込んだ多値回路ブロック、およびデバイスのパラメータ制御によるばらつき制御手法について検討を行った。これまで、差動対回路におけるしきい値電圧ばらつきを対象とした基礎実験により、その有効性が示されていたが、この知見を元に本方式の一般化および実際に回路を構成した際の具体的な制御方法について検討を行った。

(3)高性能・高信頼多値集積回路設計技術の検討：デバイスのばらつきや動作環境の変化に応じて適応的なパラメータ調整を施し、性能劣化を補償することが可能な多値集積回路アーキテクチャの構成について検討を行った。

(4)不揮発性デバイスを用いた多値回路ブロックの原理検証：MTJ素子を組み込んだ多値回路ブロック、およびデバイスのパラメータ制御によるばらつき制御手法について検討した。本方式が有する原理的な性能限界とその最適性能を与える具体的な条件・調整方法について、数式的な評価および回路シミュレーションを通じた検討を行い、その有効性を示した。

(5)不揮発性デバイスを用いた高信頼VLSIの検討：MTJ素子を組み込んだ回路ブロック、

およびデバイスのパラメータ制御によるバラつき補正技術を組み込んだ高信頼 VLSI について検討を行なった。本素子を回路に組み込み、CMOS プロセスが有するばらつきを補正する機能を付加することで、設計段階における動作マージンの制約を緩めると同時に、ばらつきによる性能劣化を抑え、結果として高い性能の実現が可能となることを確認した。

(6)パラメータ最適化技術の検討：大規模回路に対して本技術を適用する際に必須となる、パラメータ最適化技術について検討を行なった。上記に基づくバラつき補正機能を組み込むことで、環境に応じて動作点の変更が可能となる VLSI が実現可能となるが、回路が大規模化し、調整する必要のあるパラメータ数が増加すると、その広い探索空間から最適なパラメータの集合を見つけ出すことは次第に困難になる。この問題に対し、回路の入出力特性を元に、メタヒューリスティックな最適化アルゴリズムを適用することで準最適なパラメータ集合を探索する手法について検討を行った。提案したアルゴリズムを複数の MTJ を内包する大規模回路モデルに適用し、提案手法を用いることでパラメータの最適化が可能であることを確認した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 5 件)

- ① M. Natsui and T. Hanyu, Scalable Serial-Configuration Scheme for MTJ/MOS-Hybrid Variation-Resilient VLSI System, 10th IEEE International NEWCAS Conference, 査読有, 2012, 掲載確定
- ② Y. Kim, M. Natsui and T. Hanyu, Variation-Resilient Current-Mode Logic Circuit Design Using MTJ Devices, Proceedings of 2012 IEEE International Symposium on Circuits & Systems, 査読有, 2012, 掲載確定
- ③ M. Natsui, Y. Kim and T. Hanyu, MTJ-Based Optimal Vth-Tuning Technique for a Process-Variation-Aware VLSI processor, Proceedings of the 56th Magnetism and Magnetic Materials Conference, 査読有, 2011, pp.480-481
- ④ M. Natsui, T. Arimitsu and T. Hanyu, Low-Energy Pipelined Multiple-Valued Current-Mode Circuit with 8-Level Static Current-Source Control, 査読有, 2010, pp.235-240
- ⑤ M. Natsui and T. Hanyu, Process

-Variation-Aware VLSI Design Using Emerging Functional Devices and Its Impact, Booklet of the 19th International Workshop on Post-Binary ULSI Systems, 査読無, 2010, pp.20-25

[学会発表] (計 8 件)

- ① キム ヨンクン, 夏井 雅典, 羽生 貴弘, Vth 補償機能を有する MOS/MTJ ハイブリッド電流モードロジックとその最適化, 第 25 回多値論理とその応用研究会, 2012 年 1 月 8 日, 宮崎観光ホテル
- ② キム ヨンクン, 夏井 雅典, 羽生 貴弘, 不揮発性可変抵抗素子を用いた LSI パラメータばらつき最小化アルゴリズムの検討, 平成 23 年度電気関係学会東北支部連合大会, 2011 年 8 月 26 日, 東北学院大学
- ③ 夏井 雅典, 羽生 貴弘, 不揮発性ロジックインメモリアーキテクチャに基づく高信頼 VLSI 設計技術, 第 73 回ニューパラダイムコンピューティング研究会, 2011 年 7 月 30 日, 会津大学
- ④ 夏井 雅典, 羽生 貴弘, 不揮発性ロジックインメモリアーキテクチャが拓く新概念 VLSI 設計パラダイム, LSI とシステムのワークショップ 2011, 2011 年 5 月 16 日, 北九州国際会議場
- ⑤ M. Natsui and T. Hanyu, MOS/MTJ-Hybrid Circuit with Nonvolatile Logic-in-Memory Architecture, 2009 International Conference on Solid State Devices and Materials (SSDM2009), 2009 年 10 月 6 日, 東北大学
- ⑥ 有光 貴志, 夏井 雅典, 羽生 貴弘, 適応的電流制御に基づく低電力パイプライン形多値電流モード回路の構成, 第 23 回多値論理とその応用研究会, 2010 年 1 月 9 日, 明治大学
- ⑦ 夏井 雅典, 羽生 貴弘, ポストプロセスばらつき補償回路アーキテクチャの一検討, 第 23 回多値論理とその応用研究会, 2010 年 1 月 9 日, 明治大学
- ⑧ 有光 貴志, 夏井 雅典, 羽生 貴弘, 二次元 LUT を用いた電流モード多値回路向け高速・高精度動作検証手法の一考察, 平成 21 年度電気関係学会東北支部連合大会, 2009 年 8 月 20 日, 東北文化学園大学

[その他]

ホームページ等

<http://www.ngc.riec.tohoku.ac.jp/>

6. 研究組織

(1) 研究代表者

夏井 雅典 (NATSUI MASANORI)
東北大学・電気通信研究所・助教
研究者番号：10402661