

科学研究費助成事業（科学研究費補助金）研究成果報告書

平成 24 年 5 月 4 日現在

機関番号：12301

研究種目：若手研究（B）

研究期間：2009～2011

課題番号：21710135

研究課題名（和文）ナノワイヤ相変化メモリにおける縮小化に関する研究

研究課題名（英文） Research on nanowire phase-change memory

研究代表者

イン ユウ (YIN YOU)

群馬大学・大学院工学研究科・助教

研究者番号：10520124

研究成果の概要（和文）：本研究では、エッチングとリフトオフを用いてナノワイヤ相変化メモリを作製し、評価した。また、超高密度低消費電力相変化メモリセルを開発するため、ブロックコポリマー自己組織化と2ステップエッチングにより相変化TiN/Ge₂Sb₂Te₅ (GST)/TiNナノ素子列 (207Gbit/in²) を加工し、メモリの電気特性を評価した。1.8V, 100nsのパルスで100μAという低リセット電流でアモルファス化させることに成功した。

研究成果の概要（英文）：In this work, we fabricated the nanowire phase-change memories with two methods: (1) EBL using the positive resist ZEP-520A followed by phase-change material deposition and lift-off processes, (2) EBL using the negative resist hydrogen silsesquioxane (HSQ) followed by reactive ion etching (RIE) after phase-change material deposition. We also demonstrated the fabrication and phase change memory performance of a conical TiN/Ge₂Sb₂Te₅ (GST)/TiN nanoarray (aerial array density: 207 Gbit inch²) prepared via block copolymer lithography and straightforward two-step etching. This work provides a significant step for low power consumption and ultra-high density storage based on phase change materials.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2009年度	1,500,000	450,000	1,950,000
2010年度	1,400,000	420,000	1,820,000
2011年度	600,000	180,000	780,000
年度			
年度			
総計	3,500,000	1,050,000	4,550,000

研究分野：電子デバイス

科研費の分科・細目：ナノ・マイクロ科学・マイクロ・ナノデバイス

キーワード：相変化メモリ、微細化、低消費電力

1. 研究開始当初の背景

近年の不揮発メモリの主役としてのFlashメモリには、書き込み速度が遅い、書き換え回数が少ない、スケールアップがしにくいなど

多くの欠点がある。これらの問題点を解決するため、強誘電体分極を動作原理とするFeRAM、トンネル磁気抵抗を動作原理とするMRAM、相変化による抵抗変化を動作原理とす

るPRAMなど新型不揮発メモリを提案され、盛んに研究されている。このうち、ナノセクオーダという高速度、10年以上の情報保持力の不揮発性、 10^{12} 回と多い書き込み回数、スクレーピングがし易いなどという特徴を持つ相変化メモリPRAMは次世代メモリとして有望視され、最も注目を浴びている。

2001年から我々のグループがラテラル構造を作製と評価したがサイズが大きくて消費電力が高かった。今までも我々のグループを除いて国内の企業や大学はラテラル構造を利用していない。2005年頃からPhilipsやIntelなどという大手国際企業もラテラル構造の研究に取り組んできた。今までラテラル構造において低消費電力化という特徴を持つことを実証したが、相変化メモリには縮小化に関する重要な結晶核の均一性、原子の拡散などがほとんど検討されてこなかった。これらの問題は相変化メモリを縮小化するとともに深刻となってきた。

今まで、我々がリソグラフィによる作製した0.4 μ mの最小線幅のラテラル構造において、多値記録及び低消費電力についての研究に取り組んできた。しかし、半導体技術の急速的な発展に伴い、相変化プログラミング領域も小さくなる一方である。また、我々は電子線描画により微細加工もでき、直径が10nm程度のSiナノドット列の加工に成功した。これまでの電子線描画技術を生かして、10nm程度の最小線幅の相変化ナノワイヤの作製が可能である。さらに、相変化ナノワイヤから構成された相変化メモリを作製、評価する。ナノワイヤ相変化メモリにおける低消費電力化を目指す。さらに、異なった構造や材料を模索して、縮小化したデバイスの安定動作を目指す方法を求める。

2. 研究の目的

高度情報化社会の発展に応じて、メモリの不揮発性、高速度化、低消費電力化、高密度化、大容量化などの要求が高まっている。本研究では、超微細加工における次世代メモリとして有望視されている相変化メモリの低消費電力化、縮小化を目的とする。

3. 研究の方法

ナノワイヤ相変化メモリにおいて研究目的を達成するため、以下の研究を実行した。

- I. 電子線描画による幅が10nm程度までの相変化ナノワイヤを作製する。

- II. ナノワイヤから構成された相変化メモリ (PRAM) を試作し、基礎特性を評価する

- III. 微細相変化メモリ素子列を作製し、評価する。

4. 研究成果

4.1 リフトオフによるナノサイズ相変化素子の試作

の試作

まず、基板上にレジストを塗布し、描画を行った。基板はSi上にSiO₂が形成されているものを用いた。レジストは、リフトオフによる作成を行うため、ポジレジストであるZEP-520Aを用いた。

次に、作成されたパターン上に相変化材料GSTをスパッタし、アセトン洗浄によりリフトオフした。これにより微小部のGSTパターンを作成することができる。

パターン両端にマジックを塗ってマスクとし、SiO₂をスパッタした。これをエタノール超音波洗浄によりリフトオフした。これはアモルファス化時の融解によるGSTの飛び出しを防ぐためである。

これをアニールにより結晶化し、両端のGSTを電極の代わりとした。これに電流を流すことで、中央のナノパターン部だけを局所的にジュール加熱させ、アモルファス化が可能となる。

設計データ30nmラインにおいて最も細いラインが作成できた。それ以下の設計ライン幅ではラインが現れなかった。従って30nmラインが適切であると考えた。

中央のくびれている部分がライン部である。両端から電流を流すことで、ここが局所的にジュール加熱されるはずである。

試作した素子について、20~40nsのパルスを印加した結果、パルス幅30nsにおいては14Vにおいて50k Ω 程度の抵抗値変化を確認した。パルス幅40nsにおいて、14Vにおいて200k Ω 程度の抵抗値変化を確認した。

また、250°Cまでアニール特性を調べた結果、作製直後ではアズデポ状態であり、アニール温度130°Cまでは高抵抗であるが、160°Cから抵抗値が下がり始め、250°Cまでで5桁程度の抵抗値変化を確認した。この抵抗値変化は相変化膜そのものでの結晶化による変化と完全に一致している。そこで、高品質な相変化ナノワイヤの作製に成功した。

4.2 エッチングによるナノ相変化素子の試作方法

まず基板上にGST膜を蒸着する。基板はSi上にSiO₂が塗布されているものを用いる。次にレジストを塗布し、ラインを描画する。レジストはポジ型レジストであるHSQを用いる。これを450°Cで一時間アニールしてからRIEによるエッチングを行い、基板上にGSTラインを作成する。

残留しているHSQをフッ酸により取り除いてからTi膜を蒸着し、リフトオフにより電極を作成する。

描画条件の検討を行った。GSTを蒸着した基板上にHSQレジストを50nm塗布し、ラインの描画を行った。線幅30nm以下ではラインが倒壊してしまうことが分かった。

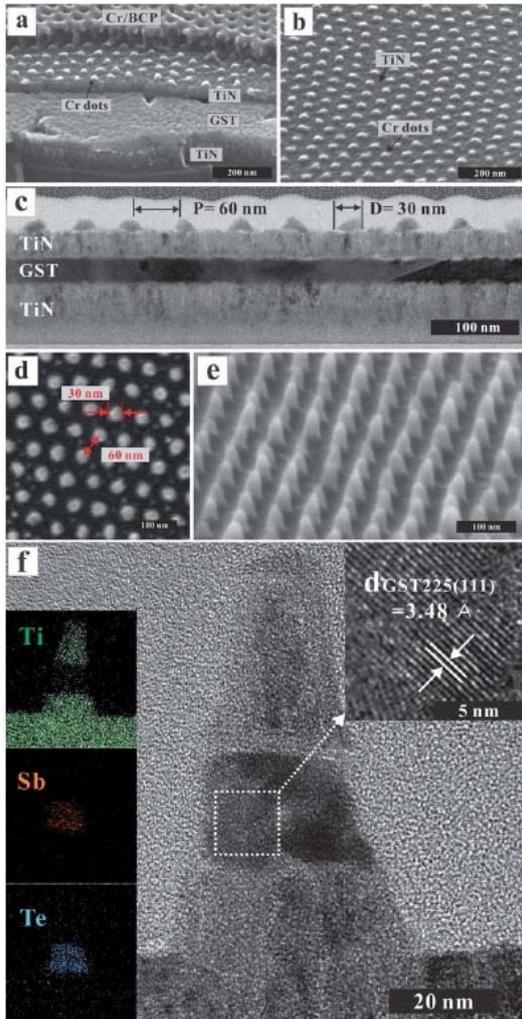


図1 (a)Cr ナノドット列のSEM像 (b) Cr ナノドット列の傾斜SEM像 (c) Cr ナノドット列の断面TEM像 (d) TiN/ GST/TiN ナノ素子列のSEM像 (e) TiN/ GST/TiN ナノ素子列の傾斜SEM像 (f) TiN/ GST/TiN ナノ素子列のHR-TEM像

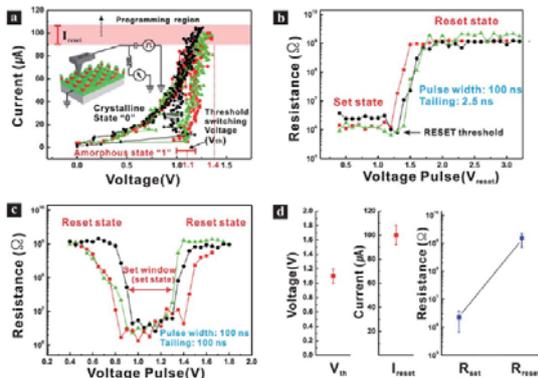


図2 (a)C-AFMにより評価したTiN/ GST/TiN ナノ素子のI-V特性 (b) TiN/ GST/TiN ナノ素子のReset動作特性 (c) TiN/ GST/TiN ナノ素子のR-V特性 (d) 閾値電圧、Reset動作電流、SetとReset抵抗値などの分布特性

GSTラインが作成されたら、ネガレジストであるZEP-520Aを塗布し、電極用パターンを描画する。100nmごとに倒壊防止用ガイドパターンを配し、描画を行ったところ、露光量 $2\text{mC}/\text{cm}^2$ のとき、最小線幅15nmの作成に成功したことを確認した。

この結果より、露光量が $2\text{mC}/\text{cm}^2$ のとき設計線幅に最も近く、また最少ライン幅も得られたことがわかった。したがって、露光量 $2\text{mC}/\text{cm}^2$ で描画を行うのが適切であると考えられる。

4.3 微細相変化メモリ素子列の作製と評価

超高密度低消費電力相変化メモリセルを開発するため、ブロックコポリマー自己組織化と2ステップエッチングにより相変化TiN/Ge₂Sb₂Te₅ (GST)/TiN ナノ素子列(207Gbit/in²)を加工し、メモリの電気特性を評価した。作製したナノ素子を図1、評価した電気特性を図2に示す。これらの微細相変化メモリナノセルは1.1Vという低い閾値電圧でも結晶化させた。さらに、1.8V、100nsのパルスで100 μ Aという低リセット電流でアモルファス化させることに成功した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計16件)

- ① Y. Yin, and S. Hosaka, Controllable crystallization in phase-change memory for low-power multilevel storage, *Jpn. J. Appl. Phys.*, 査読有, (2012). 印刷中
- ② Y. Yin, R. I. Alip, Y. Zhang, and S. Hosaka, Material engineering for low power consumption and multi-level storage in lateral phase-change memory, *Advanced Materials Research*, 査読有, **490-495**, 3286-3290 (2012).
- ③ R. Kobayashi, T. Noguchi, Y. Yin, and S. Hosaka, Random-access multilevel storage in phase-change memory by staircase-like pulse programming, *Key Engineering Materials*, 査読有, **497**, 111-115 (2012).
- ④ Y. Yin, and S. Hosaka, Influence of phase-change materials and additional layer on performance of lateral phase-change memories, *Key Engineering Materials*, 査読有, **497**, 106-110 (2012).
- ⑤ Y. Yin, and S. Hosaka, Crystal growth suppression by N-doping into chalcogenide for application to next-generation phase-change memory,

- Key Engineering Materials*, **497**, 査読有, 101-105 (2012).
- ⑥ J. Yoon, H. Jeong, S. Hong, Y. Yin, H. Moon, S. Jeong, J. Han, Y. Kim, Y. Kim, Heon Lee, S Kim, and J. Lee, Large-Area, Scalable Fabrication of Conical TiN/GST/TiN Nanoarray for Low-Power Phase Change Memory *Journal of Materials Chemistry*, 査読有, **22**, 1347-1351 (2012).
- ⑦ Y. Yin, T. Noguchi, H. Ohno, and S. Hosaka, Large resistance ratio for high reliability of multi-Level storage in phase-change memory, *Key Engineering Materials*, 査読有, **459**, 140-144 (2011).
- ⑧ Y. Yin, and S. Hosaka, "Proposed phase-change memory with a step-like channel for high-performance multi-state storage", *Key Engineering Materials*, 査読有, **459**, 145-150 (2011).
- ⑨ Y. Yin, and S. Hosaka, Multilevel storage in lateral phase-change memory by promotion of nanocrystallization, *Microelectron. Eng.*, 査読有, **88**, 2794-2796 (2011).
- ⑩ Possibility of freely achievable multilevel storage of phase-change memory by staircase-shaped pulse programming
Y. Yin, T. Noguchi, and S. Hosaka, *Jpn. J. Appl. Phys.*, 査読有, **50**, 105201 1-3 (2011).
- ⑪ S. Hosaka, Y. Tanaka, M. Shirai, Z. Mohamad, and Y. Yin, Possibility of forming 18-nm-pitch ultrahigh density fine dot arrays for 2 Tbit/in.² patterned media using 30-keV electron beam lithography, *Jpn. J. Appl. Phys.*, 査読有, **49**, 046503 1-3 (2010).
- ⑫ Y. Yin, K. Ota, T. Noguchi, H. Ohno, H. Sone, and S. Hosaka, Multi-level-storage in N-doped Sb₂Te₃ based lateral phase-change memory with an additional top TiN layer, *Jpn. J. Appl. Phys.*, 査読有, **48**, 04C063 1-4 (2009).
- ⑬ Y. Yin, T. Noguchi, K. Ota, N. Higano, H. Sone, and S. Hosaka, Reactively sputtered Ti-Si-N films for application as heating layers for low-current phase-change memory, *Journal of Physics: Conference Series*, 査読有, **152**, 012026 1-6 (2009).
- ⑭ Y. Yin, T. Noguchi, H. Ohno, and S. Hosaka, Programming margin enlargement by material engineering for multi-level storage in phase-change memory, *Appl. Phys. Lett.*, 査読有, **95**, 133503 1-3 (2009).
- [学会発表] (計 12 件)
- ① Y. Yin, R. I. Alip, Y. Zhang, R. Kobayashi, and S. Hosaka, Multi-Level Storage in Lateral Phase-Change Memory: from 3 to 16 Resistance Levels, 3rd International Conference on Advanced Micro-Device Engineering (AMDE), 2011.12.8, Gunma, Japan.
- ② Y. Yin, T. Itagawa, and S. Hosaka, 10-nm-Order-Wide Nanowire Phase-Change Memory, the International Conference on Nanoscience and Technology, China 2011 (ChinaNANO 2011), 2011.9.8, Beijing, China.
- ③ Y. Yin, M. Huda, T. Akahane, and S. Hosaka, Diblock Copolymer Self-Assembled Nanodots for Next-Generation Magnetic Recording, the International Conference on Nanoscience and Technology, China 2011 (ChinaNANO 2011), 2011.9.8, Beijing, China.
- ④ Y. Yin, T. Itagawa, and S. Hosaka, Electron Beam Lithography for 10-nm-Wide Nanowire Phase-Change Memory, 2011 MRS Spring Meeting, 2011.4.26, San Francisco, California, USA.
- ⑤ Y. Yin, and S. Hosaka, Multi-level Storage in Lateral Multi-layer and Single Layer Phase-change Memory, 2011 MRS Spring Meeting, 2011.4.27, San Francisco, California, USA.
- ⑥ S. Hosaka, T. Noguchi, and Y. Yin, Multi-levels phase change memory using pulse modulation, Int. symposium EPCOS 2010, 2010.9.7, Milano, Italy.
- ⑦ Y. Yin, T. Noguchi, H. Ohno, and S. Hosaka, Material engineering in phase-change memory for low power consumption and multi-level storage, the 5th International Conference on Electron Devices and Solid State Circuits, 2009.11.26, Xian, China.
- ⑧ Y. Yin, T. Noguchi, H. Ohno, K. Ota, and S. Hosaka, Multi-Level Storage in Lateral Phase-Change Memory, the International Conference on Nanoscience and Technology, China 2009 (ChinaNANO 2009), 2009.9.4,

Beijing, China.

〔その他〕
ホームページ等
<http://www.ps.eng.gunma-u.ac.jp/~yinyou/>

6. 研究組織

(1) 研究代表者

イン ユウ (YIN YOU)

群馬大学・大学院工学研究科・助教

研究者番号：10520124