

機関番号：12701
研究種目：若手研究(B)
研究期間：2009 ～ 2010
課題番号：21760255
研究課題名（和文） 超伝導回路を用いた超高速組み合わせ論理回路の実現
研究課題名（英文） Development of High-speed Combinational Circuits Using Superconductive Circuit
研究代表者
山梨 裕希（ YAMANASHI YUKI ）
横浜国立大学・学際プロジェクト研究センター・特任教員（助教）
研究者番号：70467059

研究成果の概要（和文）：本研究は汲み浅瀬論理回路となる新しい超伝導回路を提案の提案と開発を行った。超伝導ジョセフソン接合を1個含む dc-squid 素子を2個組み合わせた構造を用いて、出力がその時点の入力のみによって決まる組み合わせ回路が実現できることを回路シミュレーション結果により示した。回路パラメータ、構造を最適化することにより、基本論理ゲートが広い動作余裕度を持って実現できることを示した。

研究成果の概要（英文）：

Novel superconductive combinational logic circuits were proposed and implemented. The proposed superconductive combinational logic circuits comprise a magnetically coupled SQUID array. By adjusting the circuit parameters and coupling strengths between neighboring SQUIDS, fundamental combinational logic gates can be built. We have verified the accuracy of the operations of the fundamental logic gates by analog circuit simulations.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2009 年度	2,300,000	690,000	2,990,000
2010 年度	800,000	240,000	1,040,000
年度			
年度			
年度			
総計	3,100,000	930,000	4,030,000

研究分野：電子デバイス・電子機器

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：ジョセフソン接合、単一磁束量子回路、磁束量子パラメトロン、SQUID、組み合わせ論理回路

1. 研究開始当初の背景

超伝導単一磁束量子（Single Flux Quantum: SFQ）回路は、超伝導体中の磁束の最小単位である磁束量子を情報の担体とする回路で、極めて小さい消費電力において高速動作が可能である。これまでに SFQ 回路によるネットワークスイッチ回路の 50 GHz 動作、マイクロプロセッサの 25 GHz 動作など

が実証されていた。

高速動作が可能な大規模 SFQ 論理回路の設計は現状では非常に難しい。その最大の原因は、論理ゲートがすべて状態を持つ順序回路であるという SFQ 回路の特徴による。

SFQ 回路のこのような特徴から、回路を高速動作させるには全ての論理ゲートへの信号入力やクロック分配をピコ秒以下の精度

で行う必要がある。これまでに SFQ 回路独自のクロック分配法が確立され、超高スループットの回路が実現されてきた。しかし SFQ 論理回路の設計はこれらの設計法や特徴を熟知していないと困難であり、高速動作回路を実現できる設計者は限られてしまっていた。また、これらの特異な回路の特徴から、SFQ 回路の設計の自動化が難しくなっていた。

2. 研究の目的

本研究は新しい超伝導回路を提案し、半導体集積回路と同様な組み合わせ論理回路を実現することにより、半導体回路の設計法、設計ツールを用いた超伝導回路設計を可能にし、超伝導回路の詳細を知らない設計者でも超高速回路を容易に設計できるようになる。

半導体回路における論理ゲートは組み合わせ論理回路であるため、超伝導組み合わせ

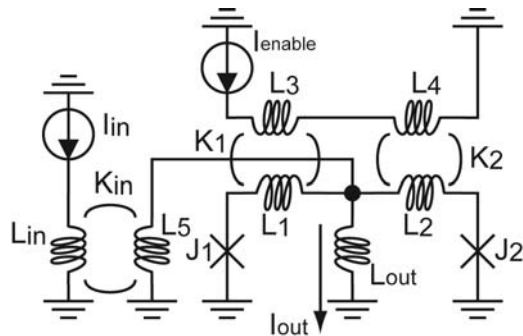


図1 超伝導組み合わせ論理回路の基本構造。図中の×印はジョセフソン接合を表わす。 $L_{in} = 5 \text{ pH}$, $L_1 = L_2 = 0.7 \text{ pH}$, $L_3 = L_4 = 10 \text{ pH}$, $L_5 = 9.64 \text{ pH}$, $L_{out} = 7.5 \text{ pH}$, $J_1 = J_2 = 100 \text{ }\mu\text{A}$, $K_{in} = 0.4$, and $K_1 = K_2 = 0.2$.

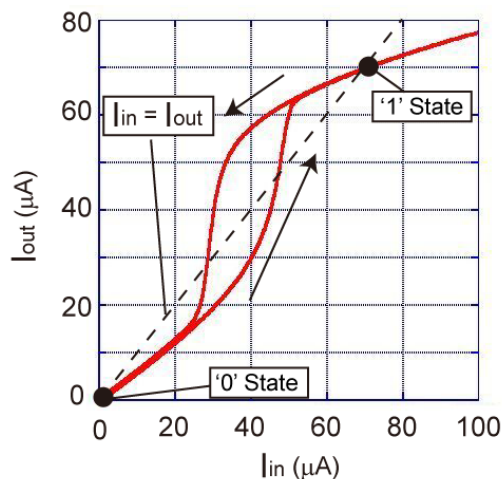


図2 超伝導組み合わせ論理回路の基本構造の入出力特性。

論理回路が実現されれば、超伝導回路の設計に半導体回路設計ツールをそのまま利用することができる。これはこれまでの超伝導回路設計において必要不可欠だったピコ秒の精度でのタイミング調整を不要にし、超伝導回路設計の設計時間の短縮、設計の自動化につながる。

さらに提案する超伝導組み合わせ論理回路は、回路動作に定電流バイアスを必要とする超伝導単一磁束量子 (SFQ) 回路に比べて消費電力が小さくなり、回路面積も小さく実現できる。提案する超伝導組み合わせ論理回路回路を用いた回路設計法を確立し、基本回路の設計および高速動作実証を通じて、提案する超伝導組み合わせ論理回路の有効性を示すことを目的とした。

さらに超伝導組み合わせ論理回路と SFQ 回路のインターフェースの研究を合わせて行い、両回路を組み合わせた演算システムを実現する。一般の論理演算回路においては、高いスループットが求められる部分は限られている。設計が容易な超伝導組み合わせ論理回路を用いて回路の大部分を構成し、高スループットが求められる回路の一部のみを SFQ 回路で実現するという高速論理回路の設計手法を確立する。

3. 研究の方法

本研究では超伝導回路による組み合わせ論理回路を実現することを目的とする。提案回路は超伝導ジョセフソン接合を1個含む SQUID を2個組み合わせた構造で実現した。この回路中の超伝導ループに磁束量子の半分の磁束を印加すると、ループに磁束量子が一つ取り込まれ、出力電流が得られる。

図1に超伝導ジョセフソン接合を1個含む SQUID を2個組み合わせた超伝導組み合わせ論理回路の基本構造の等価回路図を示す。図2は図1で示した基本構造の入出力電流特性である。この特性は、回路に印加するバイアス電流 I_{enable} を変化させることにより、変化させることができる。全ての回路パラメータは所望の入出力関係が得られるように最適化されてある。

超伝導組み合わせ論理回路の基本構造において、入力電流がないとき ('0' 状態と定義する) には、出力電流が0であるが、入力電流を増していくと、回路中の超伝導ループに磁束量子が取り込まれるときに大きな出力電流が発生する。この状態を '1' 状態と定義する。'0' 状態と '1' 状態の境界は、入力電流の大きさのみで決まるため、入力を複数にし、それぞれの入力電流と回路の結合係数を調節することによって複数入力の基本論理ゲートが実現できる。この回路は出力がその時点の入力のみによって決まる組み合わせ回路である。

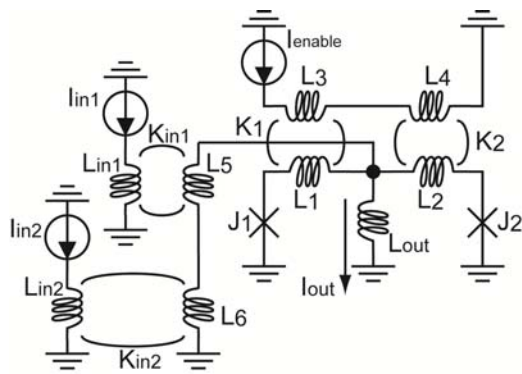


図5 超伝導組み合わせ論理 AND ゲート

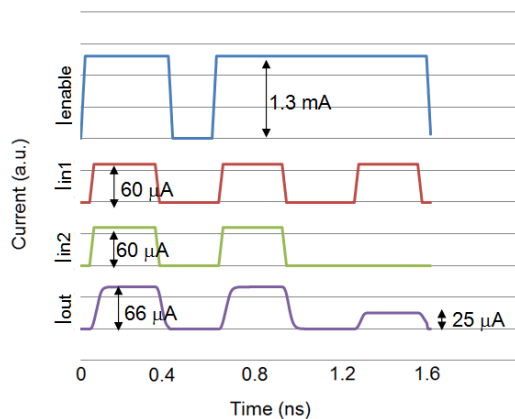


図4 超伝導組み合わせ論理 AND ゲートのシミュレーション結果。

デジタル回路の設計に必要な基本論理ゲートを、提案する回路構造で実現するための回路構造および回路パラメータの検討を行った。

4. 研究成果

提案した構造を持つ超伝導組み合わせ論理回路により、基本論理ゲートである AND、OR、NOT 回路を実現可能であることを示した。回路の正しい動作が得られる範囲、特に入出力特性のヒステリシスの大きさの条件をそれぞれの論理ゲートに対して求め、最適化を行った。図3は2入力ANDゲートの等価回路図である。図4に2入力ANDゲートの入出力の過渡解析結果を示す。2つの入力電流がある時だけ、出力に大きい電流が表れ、AND論理が実現できていることがわかる。

これらの基本論理ゲートは構造は基本的に同じで、入力と回路本体の結合係数を変化させることによって実現できるため、一度設計したゲートを他のゲートに使いまわすことができ、回路設計時間の短縮が可能である。

それぞれの回路に電流が入力されてから、出力電流が得られるまでの遅延時間は、設計バイアス電流値において、ANDゲートが42 ps、ORゲートが26 ps、NOTゲートが25 psであ

った。これらの遅延時間は、ジョセフソン接合の臨界電流の値を小さくすることにより、短縮することができることもわかった。

実現した基本論理ゲートを接続することによって、任意の機能を持った論理回路を設計、作成できることを実証した。それらの回路パラメータのずれに対する耐性、入力電流および電源電圧に対する動作マージンを測定したところ、実用に耐えうる十分広いマージンを得られることがわかった。本回路はバイアス電流供給のためにチップ上に作成されるバイアス抵抗が必要なく、他の超伝導回路に比べて消費電力もはるかに低くなることもわかった。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計4件)

- ① Y. Yamanashi, I. Okawa, N. Yoshikawa, "Design Approach of Dynamically Reconfigurable Single Flux Quantum Logic Gate," IEEE Trans. Appl. Supercond., to be published. 査読あり
- ② Y. Yamanashi, K. Umeda, K. Sai, "Superconductive Combinational Logic Circuit Using Magnetically Coupled SQUID Array," Physica C, Vol. 470, pp. 1546-1549, Nov. 2010. 査読あり

[学会発表] (計9件)

- ① T. Imaizumi, Y. Yamanashi, N. Yoshikawa, "Investigation of a Dependence of a Gray Zone of a Single Flux Quantum Comparator on the Circuit Parameters," T. Imaizumi, Y. Yamanashi, N. Yoshikawa, 2010年11月3日, Tsukuba, Japan.
- ② 山梨裕希, 河邊貴之, 吉川信行, "動的に再構成可能な超伝導単一磁束量子論理回路による可変ビット長シフトレジスタ," 応用物理学学会学術講演会, 2010年9月17日, 長崎.
- ③ T. Sugiura, Y. Yamanashi, N. Yoshikawa, "Demonstration of 30 Gbit/s generation of superconductive true random number generator," Applied Superconductivity Conference (ASC) 2010, Aug. 2010年8月3日, Washington, USA.
- ④ Y. Yamanashi, K. Umeda, K. Sai, "Superconductive Combinational Logic Circuit Using Magnetically Coupled SQUID Array," 22nd International Symposium on Superconductivity (ISS), 2009年11月4日, Tsukuba, Japan.
- ⑤ 梅田麗雅, 山梨裕希, 崔聖東, "磁気結

合した SQUID アレイによる組み合わせ論
理回路” 電子情報通信学会ソサイエティ
大会, 2009 年 9 月 17 日, 新潟.

[その他]

ホームページ等

<http://www.nashilab.dnj.ynu.ac.jp/index.html>

6. 研究組織

(1) 研究代表者

山梨 裕希 (YAMANASHI YUKI)

横浜国立大学・学際プロジェクト研究セン
ター・特任教員 (助教)

研究者番号 : 70467059