

機関番号：82645  
 研究種目：若手研究(B)  
 研究期間：2009～2010  
 課題番号：21760321  
 研究課題名(和文) 完全空乏型 SOI 技術を用いたテラヘルツ帯高感度センサー用極低温 LSI の開発  
 研究課題名(英文) Development of cryogenic LSI based on an FD-SOI-CMOS technology for Terahertz high sensitive sensors  
 研究代表者  
 永田 洋久 (NAGATA HIROHISA)  
 独立行政法人 宇宙航空研究開発機構・宇宙科学研究所・研究員  
 研究者番号：20399299

## 研究成果の概要(和文)：

高感度遠赤外線半導体センサーの大フォーマット化技術である絶対温度 2K 前後で駆動するアナログ集積回路の研究に取り組んだ。本課題では極低温用途のプロセスとして完全空乏型 SOI-CMOS プロセスに着目し、FET 単体での評価において、2K 冷却時も特性劣化が少なく雑音特性も許容範囲内であることを実験的に確認した。続いて同プロセスで OP アンプ、フリップフロップ等の基本回路を試作・評価し、期待通りの性能を有することを示した。即ち、完全空乏型 SOI-CMOS プロセスを使うことで極低温で駆動可能な基本回路レベルの開発ができることが実証された。

## 研究成果の概要(英文)：

I addressed development of analog integrated circuits which can operate around 2 Kelvin (K) to realize a large formatted high-sensitive image sensor in far-infrared wavelength region. In this study, I focused on a fully-depleted (FD) -SOI-CMOS process for this application and experimentally confirmed that the FD-SOI-CMOSs kept good static performance even at 2 K and that the noise performance was within an acceptable range for the application. Subsequently, I designed and fabricated basic circuits like operational amplifiers or flip-flops with the same process. These circuits worked as expected. These result mean that the technology to develop fundamental circuits has been established with the FD-SOI-CMOSs.

## 交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2009 年度	2,900,000	870,000	3,770,000
2010 年度	500,000	150,000	650,000
年度			
年度			
年度			
総計	3,400,000	1,020,000	4,420,000

研究分野：工学

科研費の分科・細目：電気電子工学・計測工学

キーワード：(1)赤外線天文学 (2)極低温読み出し回路 (3)光伝導型検出器 (4)完全空乏型 SOI-CMOS (5)テラヘルツ (6) 高感度計測 (7)科学衛星

## 1. 研究開始当初の背景

近年、工学、生物学、医学、環境学、天文学の様々な分野で、これまで未開拓の波長域であったテラヘルツ (50-1000 ミクロン) 波長帯の応用研究が精力的に進められている。中でもセンシングしたデータの空間情報及びスペクトル情報を飛躍的に増加させる大フォーマットの高感度カメラの開発が急務となっている。大フォーマットカメラにはセンサーからの信号をセンサー直近で増幅・処理するインテリジェントな機能を持つ LSI が必要であるが、テラヘルツ帯の高感度検出器は低エネルギーフォトンを検出するため、通常は 4K 以下の極低温に冷却される。それゆえ、市販品では対応できず、極低温環境で動作可能な専用の LSI を独自に開発する必要がある。極低温 LSI は高感度センサーが必要な天文学分野において主に発展してきた。現在まで、赤外線天文衛星プロジェクトに向けた Ge:Ga 遠赤外線センサー用の極低温 LSI の開発がそれぞれ独自になされてきた。極低温での性能自身では化合物半導体が優れているものの、ここでもやはり高度な LSI 技術を利用できるシリコン MOSFET を用いた研究が主流となっている。

一般に MOSFET を 30K 以下に冷却すると、キャリアの凍結により FET の基板が絶縁化する。そこに駆動時に発生した衝突電離キャリアが蓄積すると、FET の基板電位が不安定化し正常な動作をしなくなる。それゆえ、極低温電子回路の開発にはこの異常現象の対策が重要である。改善策として、基板濃度などのプロセスパラメータを調整し冷却時の基板抵抗を下げ基板電位を安定化させる手法が採られている (Young et al. 1992, Proc. SPIE, 1684)。また、ESA/IMEC のグループは標準の CMOS の極低温での動作異常を巧みなスイッチオペレーションで回避する方法でプリアンプを開発している (Merken et al. Proc. SPIE Vol. 6275, 627516)。しかし、これらは専用プロセス及び技術が必要なため、極低温 LSI 開発の敷居が高く、汎用性という点で課題が残る。一方日本では、赤外線天文衛星「あかり」の遠赤外線センサー用に 60 ピクセルのプリアンプアレイを開発した。ピクセル数は 60 と小規模だが、標準の BiCMOS プロセスにわずかな変更を加えることで pMOS の極低温特性の改善に成功し、遠赤外線のセンサーとしては世界で初めてダイレクトハイブリット型のセンサーを実現した (Nagata et al. IEEE Trans. Electron. Dev. Vol. 51 No. 2, pp. 270-278, 2004)。しかし、読み出し回路は P 型 MOSFET のみで構成されているため、CMOS 回路に比べ消費電力量が大きく、回路が複雑になりがちで

張性に欠けるという問題があった。

## 2. 研究の目的

これらの問題を打開するため、我々は国内半導体メーカーの生産する完全空乏型 SOI (FD-SOI) プロセスに着目した。FD-SOI-CMOS は放射線に起因するソフトエラーへの耐性があるデバイスであるが、ソフトエラーの発生メカニズムが極低温下の衝突電離により発生する異常現象と類似しており、同様の耐性を持つものと期待されている。本課題では FD-SOI-CMOS プロセスを用いた遠赤外線検出器用の極低温読み出し回路の研究を行う。すなわち、基本回路の試作・評価を通し、本プロセスを用いることで、遠赤外線イメージセンサーを構成する要素回路の開発ができる見通しを立てることが目的である。

## 3. 研究の方法

極低温で駆動する集積回路の開発において、製造元が保障する動作範囲外で FET を駆動させる必要がある点に加え、冷却時のシリコンの電気伝導度の大幅な低下に起因するトランジスタ特性が劣化のために、商用デバイスの開発で通常行われる、「信頼性の高い FET モデルに基づいた高度な回路設計をする」という開発プロセスを採用することができない。それゆえ、本研究では CMOS 単体の実用性の検証、基本回路レベルでの実用性検証、基本回路を応用した小規模な読み出し回路の性能検証と段階的に実験的検証を行い、目的とするデバイスの開発を行う方針を採用した。

具体的には次のように研究開発を進めた。

- (1) FD-SOI-CMOS プロセスの 4K~2K での静特性、雑音特性を明らかにする
- (2) FET 特性から Ge:Ga 検出器用読み出し回路として期待される性能を明らかにする。
- (3) 極低温での FET 特性に基づき、OP アンプ等の基本回路を試作・評価する。
- (4) 基本回路を応用し、遠赤外線イメージセンサーを構成する、プリアンプ、シフトレジスターや低温ステージから常温部へ信号を送る際の信号劣化を抑えるための極低温 AD 変換器を開発する。

## 4. 研究成果

- (1) トランジスタの極低温評価と期待され

る読み出し性能

FD-SOI-CMOS を絶対温度 4.2 K に冷却し動作試験を行った。評価を行った FD-SOI-CMOS には、通常のレイアウトデザインの他に、ボディ端子を独立に取り出したボディタイプと、ボディ電位をソース端子に落としたソースタイプレイアウトデザインの存在する。4.2 K での評価では通常のデザインの CMOS はドレイン-ソース間電圧 (VDS) の低い領域でドレイン電流 (IDS) が急増し飽和特性を示さなかったが、ソースタイプ、ボディタイプでは常温の静特性に近い静特性を示すことがわかった。図 1 はソースタイプ N 型 MOSFET の 4.2 K での静特性である。

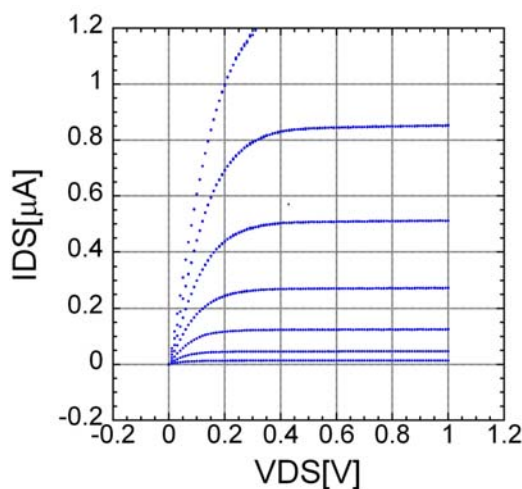


図 1 完全空乏型 SOI-CMOS (ソースタイプ) の 4.2 K での静特性カーブ ( $W/L=0.63 \mu\text{m}/5 \mu\text{m}$ )。

測定したサンプルはどれも  $|V_{DS}| \leq 1.0 \text{ V}$  の条件では、弱いヒステリシス特性 ( $V_{DS}$  のスイープ方向によるドレイン電流  $I_{DS}$  の差) 以外では異常特性の観測はみられなかったが、この電圧条件を超えると、サンプルの幾つかでドレイン電流の急な増加が観測された。この現象の物理メカニズムの理解については今後の課題であるが、回路設計上の制限事項の一つを確認することができた。

続いて、自作した雑音評価用の回路で FET の雑音計測を行った。回路駆動時に想定している、 $|I_{DS}|=0.1 \mu\text{A}$ 、測定周波数 1 Hz での雑音レベルは、PMOS, NMOS とも差違はみられず、 $7\text{--}10 \mu\text{V}/\sqrt{\text{Hz}}$  であることがわかった。この測定結果を元に、積分型読み出し回路を組んだ場合の入力換算雑音特性を計算した。Ge:Ga 光伝導型センサーを遠赤外線センサーとし、ここで検討する積分型回路をその読み出し回路として用いた場合、衛星軌道上で想定される背景光レベルの赤外線強度に対し、

背景放射雑音のみで観測性能が決まることを明らかにした。

更に、遠赤外線 Ge:Ga センサーの動作温度である絶対温度 2.0 K まで素子を冷却し、静特性、雑音特性に変化が見られるか確認したが、4.2 K–2.0 K の間で目立った特性の変化はみられないことを明らかにした。

## (2) 極低温集積回路の試作と評価

次に、評価した FET 特性からパラメータを抽出し設計・試作した電子回路の評価を 4.2 K にて行った。図 2 は 2009 年度に試作した集積回路である。本来は Ge:Ga センサーの動作温度である絶対温度 2 K 前後で評価を行うべきであるが、既に述べたように、4.2 K と 2.0 K 間で FET 特性に差違が見られなかったことから、測定の効率化のため回路の評価は 4.2 K で行った。下記①②が評価した基本回路である。

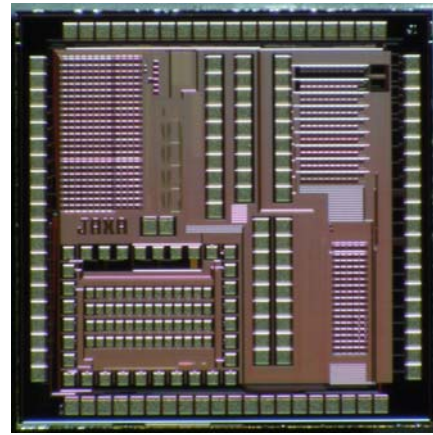


図 2. 試作した完全空乏型 SOI-CMOS プロセスによる極低温電子回路 (チップサイズ 2.5mm 角)。

### ① OP アンプ回路の 4.2K での評価

図 3 に示す標準的な OP アンプ回路の評価を行った。動作特性を評価するために、OP アンプ回路の特性を評価するために、本 OP アンプ回路による 100 倍の非反転増幅回路を組み、動作特性を評価した。その結果、消費電力  $1.3 \mu\text{W}$  の条件で、OP アンプの増幅率は 7000 倍、1 Hz の入力換算雑音電圧は  $19 \mu\text{V}/\sqrt{\text{Hz}}$  出力の電圧スイングは 1 V であった。目立った異常特性等も観測されず、ほぼ期待通りの性能を示すことが明らかになった。これにより、この OP アンプを用いて、高精度の電圧増幅器である CTIA 回路をはじめとする、様々な応用回路を開発できる目処が立ったと言える。また、同程度の回路規模の極低温アナログ回路の設計が可能であるとの見通しを得ることができた。

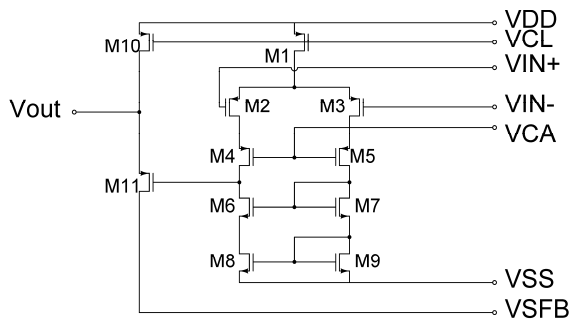


図 3. 極低温 OP アンプの回路図。

②基本デジタル回路の 4.2K での評価 NAND, NOR, 等の論理回路素子と、順序回路素子である、Enable スイッチ付きの D フリップフロップの評価を行った。動作確認のために、電源電圧 2 V に対し全ての論理回路、順序回路が期待される動作特性を示した。これらの回路素子はイメージセンサーを構成する基本となるデジタル回路素子であり、これらを組み合わせたシフトレジスタ等の回路を開発する見通しが立ったと言える。

これら基本回路に加え、シフトレジスタ、逐次比較型 AD 変換器、DA 変換器、プリアンプ等の遠赤外線イメージセンサーを構成する回路の試作を行った。これらの回路の評価までが当初の予定であったが、実験器具の故障等のため研究が予定より遅れたため、計画を変更し、予定期間内での成果目標を①②の基本回路の検証までとした。

(3) 本研究成果の意義と将来展望

本研究によって完全空乏型 SOI-CMOS を用いた要素回路レベルの集積回路技術が絶対温度 4.2K の極低温環境で利用できることが示された。この成果は低温用の専用プロセスに依存する従来技術とは異なり、適切なレイアウトデザインの選択のみで達成されており、従来よりも容易に極低温で利用できる高精度なプリアンプの回路技術を実証できた点に意義がある。

完全空乏型 SOI-CMOS プロセスを用い、目標とする 1000 素子レベル遠赤外線センサーのイメージセンサー技術確立を確立するには次に述べる課題が残っている。

①イメージセンサー用応用回路の開発

プリアンプ、シフトレジスタ、AD 変換器等の応用回路の開発が必要である。特に、プリアンプについては遠赤外線センサーを組み合わせての技術検証を行う必要がある。

②大規模アレイ化に向けての技術開発

要素技術を組み合わせ、1000 ピクセルレベルのイメージセンサーに利用できる極低温アナログ集積回路を開発する。特にトランジスタのばらつき等による特性ばらつきの補償技術の開発、読み出し回路の動作時の発熱の影響についての研究は重要な課題となる。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 2 件)

(1) H. Nagata, T. Wada, H. Ikeda, Y. Arai, M. Ohno, "Cryogenic Readout Electronics for Space Borne Far-Infrared Image Sensors" 査読無し、信学技報 IEICE Technical Report, ANE2010-108, 2010, pp. 229-234

(2) H. Nagata, T. Wada, H. Ikeda, Y. Arai, M. Ohno, "Development of cryogenic readout electronics using Fully depleted silicon-on-insulator CMOS process for future space borne far-infrared image sensors" AIP Conference Proceedings, 査読あり、1185, 2009 pp. 286-289

[学会発表] (計 11 件)

(1) 永田洋久、和田武彦、池田博一、新井康夫、大野守史「高感度遠赤外線カメラへの応用を目指した極低温 CMOS 回路の開発」、日本赤外線学会、平成 22 年年 11 月 4 日、立命館大学 びわこ・くさつキャンパス 【奨励賞受賞】

(2) H. Nagata, T. Wada, H. Ikeda, Y. Arai, M. Ohno, "Cryogenic Readout Electronics for Space Borne Far-Infrared Image Sensors", International Conference on Space, Aeronautical and Navigational Electronics 2010, 平成 22 年 10 月 28 日, Ramada Plaza Jeju Hotel, Jeju, Korea 【招待講演】

(3) H. Nagata, T. Wada, H. Ikeda, Y. Arai, M. Ohno, "Development of cryogenic readout electronics for astronomical far-infrared cameras" 第 9 回日本-台湾マイクロエレクトロニクス国際シンポジウム, 平成 21 年 10 月 28 日, 東大 VDEC 【招待講演】

[図書] (計 0 件)

[産業財産権]

○出願状況 (計 0 件)

名称：  
発明者：  
権利者：  
種類：  
番号：  
出願年月日：  
国内外の別：

○取得状況（計0件）

名称：  
発明者：  
権利者：  
種類：  
番号：  
取得年月日：  
国内外の別：

〔その他〕  
ホームページ等

## 6. 研究組織

### (1) 研究代表者

永田洋久 (NAGATA HIROHISA)  
独立行政法人 宇宙航空研究開発機構・  
宇宙科学研究所・研究員  
研究者番号：20399299

### (2) 研究分担者

( )

研究者番号：

### (3) 連携研究者

( )

研究者番号：