

令和 6 年 6 月 25 日現在

機関番号：17104

研究種目：基盤研究(C) (一般)

研究期間：2021～2023

課題番号：21K04005

研究課題名(和文)ダイヤモンドパワーデバイスのノンドーブ層耐圧低下要因パラメータの分離抽出

研究課題名(英文) Extraction of withstand voltage reduction factor in non-dope layer of diamond power device

研究代表者

渡邊 晃彦 (Watanabe, Akihiko)

九州工業大学・大学院生命体工学研究科・准教授

研究者番号：80363406

交付決定額(研究期間全体)：(直接経費) 3,100,000円

研究成果の概要(和文)：ダイヤモンドパワーデバイスの耐圧層における耐圧低下要因を、独自に提案したテスト用構造を用いて評価することで実験的に検証した。その結果、通常の元素分析では確認できない極微量の不純物に起因すると考えられるスナップバック(\*)が発生することが分かり、その発生する印加電圧は不純物の種類や濃度のみならず、デバイスの温度に依存することを明らかにした。

(\*)印加電圧を徐々に上昇させる際に、ある電圧で電流が急に流れ始めるとともに電圧が低下する現象

研究成果の学術的意義や社会的意義

ダイヤモンドは電気自動車や電力設備、航空宇宙産業に用いられる超高耐圧パワーデバイスを実現する次世代材料として注目されている。本研究では、ダイヤモンド・パワーデバイスの耐圧低下要因を、独自に提案したテスト用構造を用いて抽出することを目的とし研究を行った。通常、耐圧層には不純物を添加しないダイヤモンド層を用いるが、その場合、構造によっては耐圧低下要因となり得るスナップバックが発生することを明らかにし、そのメカニズムについて知見を得た。ダイヤモンド・パワーデバイス作製工程でこれまで見逃されていた耐圧低下要因を新たに見出した本研究の成果は、究極の性能を期待されている次世代パワーデバイスの実現に寄与する。

研究成果の概要(英文)：We experimentally verified the causes of the breakdown voltage drop in the breakdown voltage layer of diamond power devices by evaluating them using a uniquely proposed test structure. As a result, we found that snapback(\*) occurs, which is thought to be caused by extremely small amounts of impurities that cannot be detected by normal elemental analysis, and clarified that the applied voltage at which it occurs depends not only on the type and concentration of impurities but also on the device temperature.

(\*) A phenomenon in which, when the applied voltage is gradually increased, at a certain voltage, the current suddenly begins to flow, and the voltage drops.

研究分野：電気電子工学

キーワード：ダイヤモンド パワーデバイス TEG スナップバック

## 1. 研究開始当初の背景

パワーエレクトロニクス機器を構成するパワーデバイスの高性能化が低炭素化・省エネルギー化社会に実現には不可欠である。パワーデバイスではシリコンデバイスの性能限界を超えるパフォーマンスを実現する次世代デバイスとして、SiC や GaN などのワイドギャップ半導体が実用化されつつある。ワイドギャップ半導体の一つで高い臨界電界が特徴であるダイヤモンドは、高電圧を扱う直流送電などのパワーエレクトロニクスでの新しい半導体材料として期待されている。川原田等は世界最高耐圧 1600V をダイヤモンドトランジスタで実現し、ダイヤモンドの高耐圧デバイス応用の可能性を示した[1]。また、松本・徳田等のグループは、世界で初めてダイヤモンド半導体注を用いてパワーデバイスにおいて重要なノーマリーオフ特性を有するダイヤモンド MOSFET を実現した[2]。次々とダイヤモンド・パワーデバイスの可能性が示されるなかで、ダイヤモンド本来の性能を引き出すための要素を一つ一つ精査し、改善すべき要素を明らかにする明らかにする段階にある。

パワー半導体材料の物性値を比較すると、ダイヤモンドは直流送電などを想定した 25kV クラスの縦型超高耐圧デバイスでその特性を最大限に発揮できる[3]。p - i - n 構造の縦型ダイヤモンド・パワーデバイスが研究されているが、ダイヤモンドの物性値から予測される耐圧は示されていない。ダイヤモンドを用いた縦型 p - i - n ダイオードのリーク電流として、耐圧層であるノンドープ層のアバランシェ降伏に関係したものの、n 層に関与したものの、表面伝導に関与したものなどが上げられる[4]。これら複数の要因を切り分けそれぞれについて精査し、耐圧低下につながる基本原理を実験的に抽出し設計に必要な基本パラメータを取得することが、縦型デバイスの高耐圧化への課題である。

## 2. 研究の目的

本研究の目的は、ダイヤモンド・パワーデバイスの耐圧層であるノンドープ層の耐圧低下を引き起こす要因を実験的に検証し、設計に必要な基本パラメータを取得することにある。例えば、p - i - n 縦型デバイスのプロセスでは p+層の上にノンドープ層をホモエピタキシャル成長させる方法が一般的であるが、ノンドープ層成長中に意図せず混入するボロンや窒素といったドーパントが、高電圧印加時や高温動作時にどのような振る舞い、耐圧に影響を与えるかは明らかになっていない。また、パワーデバイスではノンドープ層の耐圧をコントロールするために低濃度の n 型ドーピング層を形成するがこの濃度と均一性が素子の耐圧に影響及ぼす。

一般的にデバイス評価は試作デバイスで評価を行うが、前述のようにダイヤモンド・デバイスでは耐圧低下の要因の切り分けが困難である。本研究で提案する TEG は、安定な電気特性が得られる p+層でノンドープ層を挟んだ構造であり、ノンドープ層の耐圧低下の要因のみを分離して捉えることができると考える。また、実際の縦型 p - i - n 構造デバイス作製プロセスを踏まえた形で作製できるため、デバイスプロセスで不可避な耐圧低下要素も検証が可能である。このような TEG を用いた評価方法が確立できれば、ノンドープ層を n 層に置き換えた p+ - n - p+ 構造の TEG を用いて n 層の特性を評価することも可能である。提案手法は縦型ダイヤモンド・パワーデバイスの耐圧に関するパラメータを分離して評価することを可能にし、ダイヤモンド・デバイスの設計に必要な基本パラメータの抽出につながる事が期待できる。

## 3. 研究の方法

評価用ダイヤモンド TEG を作製しノンドープ層の不純物混入による耐圧への影響を明らかにする。TEG はノンドープ・ダイヤモンド基板にホモエピタキシャル成長で p+層、i 層、p+層を選択成長して作製する。i 層にはノンドープ層専用の合成装置で堆積した不純物の混入がほとんど無い薄膜と、p 層専用合成装置でボロン添加を行わずに堆積した自然混入による不純物を含む薄膜、意図的にコントロールした少量の不純物を含んだ薄膜を用いる。

## 4. 研究成果

### (1) ダイヤモンド TEG (Test Element Group)

本研究で作製したダイヤモンド TEG (Test Element Group) の構造を図 1 に示す。i 層および接合界面の特性をデバイス特性に依存するパラメータを排除して評価するために、デバイス構造ではなくシンプルな pip 構造にした。n 型薄膜は再現性の良い高濃度薄膜の合成が難しく、電気的性質も安定しないが、p 型は性質的にも結晶的にも安定しており、ドーピング濃度もコントロールしやすいため評価用として適している。各層は側面のリーク電流の影響を排除するため、素子分離が容易なように下から上に向けて直径が小さくなるように選択成長させる。選択成長のマスクには、ダイヤモンド薄膜合成時のプラズマに耐性があること、堆積したダイヤモンド薄膜にダメージを与えずにウェットプロセスで除去できることから SiO<sub>2</sub> を用いた。この TEG では異なる直径の電極を設けることで、ダイヤモンドの結晶性に起因するパラメータを評価できる。i 層のドーピング濃度を変えることで p+/p- 界面でのアバランシェ注入などの振る舞いの評価も可能である。

i 基板/p+層/i 層構造の SIMS による不純物分布の評価結果を図 2 に示す。p+層のボロン濃度は深さ方向に一定で約  $2.5 \times 10^{19}$  atoms/cm<sup>3</sup> であった。p 型薄膜を合成した装置とは別の i 層専用装置で合成した i 層では、ボロン濃度が検出限界程度まで下がっており p+層と i 層を作り分けができていないことが確認できる。層内の窒素濃度は p+層では  $4.0 \times 10^{17}$  atoms/cm<sup>3</sup>、i 層では検出限界以下であった。薄膜のホール効果測定の結果、i 層は絶縁性を示した。また、ボロンをドーピングした層は p 型の導電性を示し、370 K でキャリア濃度は  $2.63 \times 10^{16}$  cm<sup>-3</sup>、キャリア移動度は  $82.5$  cm<sup>2</sup>/Vs であった。

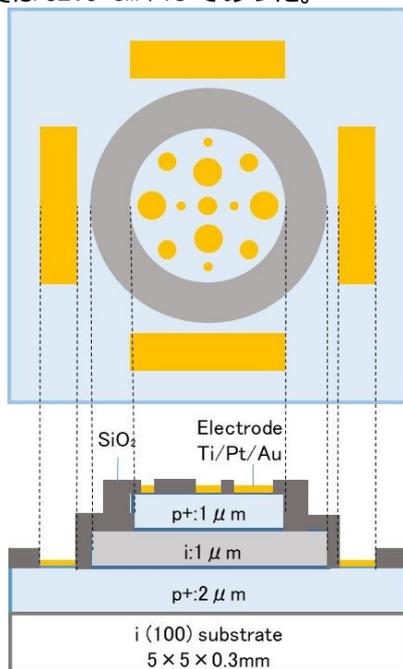


図 1 TEG 構造 (pip 構造)

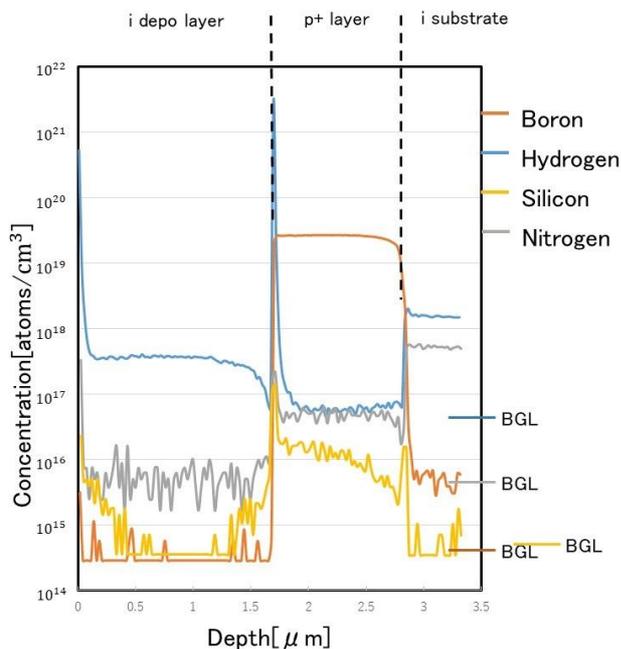


図 2 i 基板/p+層/i 層構造の不純物分布

### (2) ダイヤモンド pip 構造の耐压評価

ダイヤモンド TEG の I-V 特性を測定したところ、ある電圧を超えたところで電圧が急激に降下するとともに電流が上昇するスナップバックが発生した(図 3)。この現象は上部 p 層のすべての電極で確認できた。この急激な電流の増加が i 層のブレイクダウンや欠陥に起因する導通によるものだとすると、ある電圧で急激に電流が増加するはずである。しかし本結果では電流が増加するとともに電圧は降下しており、これらの現象とは一致しない。スナップバックが電子デバイスで観察される例として MOSFET があり、この場合、ゲートとソースをグラウンドに接続し、ドレイン電圧を上昇させたときに、寄生バイポーラ・トランジスタがオンすることでスナップバックが発生することが知られている[5]。本研究で観察されたスナップバックは、同じ形状の nin 構造試料では発生しなかったことから pip 構造の寄生バイポーラ・トランジスタに起因すると考えられる。図 4 に示すようにスナップバックが発生した時点の基板温度は約 50 °C で、基板温度はスナップバックが発生してから、すなわち電流が増加してから急激に上昇しており、スナップバックの原因として熱的に活性化した p 型不純物が寄与していることは考え難い。以上のことより、観察されたスナップバックは、i 層に混入する通常的手法では検出されない極微量の元素が原因で起きたと考えられる。

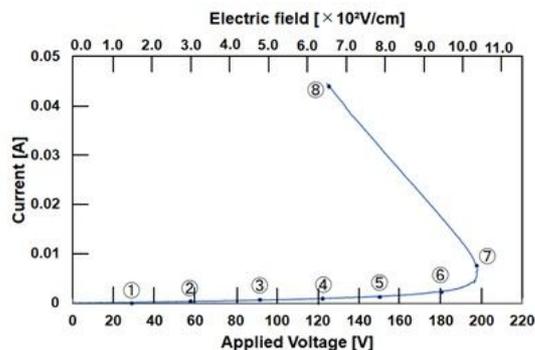


図 3 I-V 特性測定結果

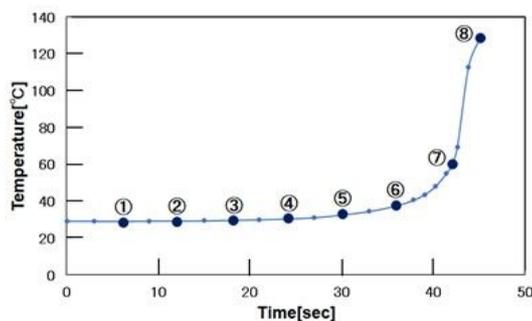


図 4 I-V 特性測定時の試料温度

### (3) スナップバックの i 層不純物の影響

スナップバック発生の原因として、i 層中の n 型不純物が影響していることが示唆されたため、i 層に意図的に極微量の n 型不純物を混入させた TEG を作製し測定を行った。結果を図 5 に

示す。この測定では、電圧をパルスで印加しており、パルス幅を変えた場合、1 s と 2 s でスナップバックが観測された。スナップバックの発生する閾値電圧は、印加電圧パルス幅が広いほど、すなわち、電圧を掛けている時間が長くなるほど下がることが分かった。図 6 に測定中の TEG 温度変化を示す。スナップバックが確認されなかった 50  $\mu$ s では基板温度は 50  $^{\circ}$ C に満たず、1 s と 2 s ではどちらもスナップバック発生時の基板温度は約 60  $^{\circ}$ C だった。これは pip 構造 TEG のスナップバック発生時とほぼ同じであった。基板温度とスナップバック発生電圧の関係を調べた結果、図 7 に示すように両者には強い相関があることが明らかになった。

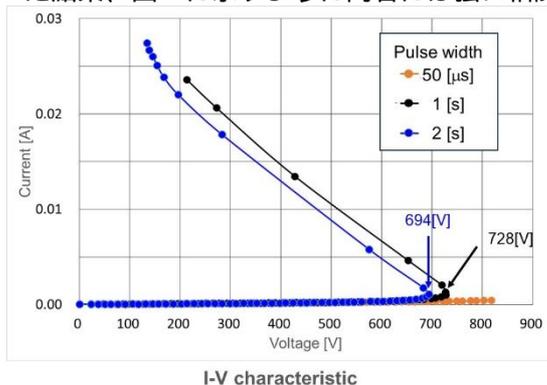


図 5 ダイヤモンド pi(n-)p 構造の I-V 特性

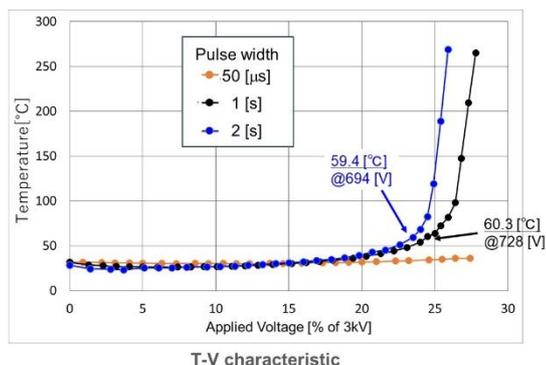


図 6 I-V 測定中の温度変化

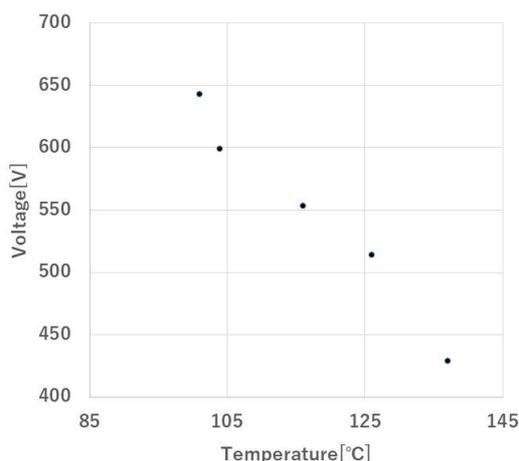


図 7 基板温度とスナップバック発生電圧

< 引用文献 >

- [1] "Wide Temperature (10K- 700K) and High Voltage (~1000V) Operation of C-H Diamond MOSFETs for Power Electronics Application" H. Kawarada et al., IEEE IEDM 2014.
- [2] "Inversion channel diamond metal-oxide-semiconductor field-effect transistor with normally off characteristics", T. Matsumoto et al., Scientific Reports.
- [3] "Smart Power Devices and ICs Using GaAs and Wide and Extreme Bandgap Semiconductors", T.P.Chow et al., IEEE Trans. Electron Devices, 64(3), pp. 856-873, 2017.
- [4] "高耐圧ダイヤモンド pin ダイオード", 鈴木真理子, 応用物理, 第 85 巻 第 3 号, pp.218-222, 2016.
- [5] 半導体集積回路の ESD 保護回路およびその ESD 保護素子, 特開 2012-174740.

5. 主な発表論文等

〔雑誌論文〕 計0件

〔学会発表〕 計3件（うち招待講演 0件 / うち国際学会 2件）

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------